

次世代大容量通信用電源向け 低耐圧パワー MOSFET 技術

Low-Voltage Power MOSFET Technologies for Next-Generation Large-Capacity Communication Systems

加賀野井 啓介 KAGANOI Keisuke 新井 雅俊 ARAI Masatoshi 可知 剛 KACHI Tsuyoshi

動画ストリーミングなどの大容量で通信スピードが要求されるコンテンツの増加に対応した、5G（第5世代移動通信システム）のサービスが開始された。通信量の増大に伴って基地局の消費電力も飛躍的に増え、電源の高効率化が求められている。基地局では、AC（交流）-DC（直流）電源によって商用電圧から通信用電源電圧の-48 Vが、DC-DC電源によって-48 Vから高周波アンプやシステムコントロールに必要な電圧が生成されるので、これら電源用の80 V耐圧や150 V耐圧の低耐圧パワーデバイスの効率向上が必要になっている。

東芝デバイス&ストレージ(株)は、基地局電源の高効率化のため、オン抵抗、ゲート電荷量、及び逆回復電荷量特性を飛躍的に向上させた、U-MOS X-H 80 Vプロセスのパワー MOSFET（金属酸化膜半導体型電界効果トランジスター）を開発した。また、同構造をベースに150 Vプロセスの製品化も進めている。

Commercial operation of fifth-generation (5G) mobile communications commenced in Japan in March 2020 in response to the increasing volume of contents requiring large-capacity and high-speed communication capability such as video streaming services. As increased data traffic volumes lead to a dramatic increase in the power consumption of base stations for mobile communications, it has become necessary to further improve the efficiency of power supply units in these base stations. Highly efficient low-voltage power devices with a drain-source voltage of 80 V or 150 V are required not only for AC-DC converters to convert the AC voltage fed from a commercial power supply into the -48 V DC reference potential used in base stations but also for DC-DC converters to convert the -48 V DC into the various voltages necessary for high-frequency amplifiers and system controllers.

Toshiba Electronic Devices & Storage Corporation has developed 80 V power metal-oxide-semiconductor field-effect transistor (MOSFET) products featuring superior on-resistance, gate charge, and reverse recovery charge characteristics by utilizing its proprietary U-MOS X-H process. We are also developing 150 V power MOSFET products based on the same device structure.

1. まえがき

情報通信の分野では、動画ストリーミングをはじめとした高速通信が要求されるコンテンツの増加により、通信量は2025年まで年率1.2～1.4倍の増加が見込まれている。

この高速通信の要求をカバーする規格として注目される5Gは、高周波・広帯域化とMIMO (Multiple Input Multiple Output)^(注1) 対応によって実現される。既存のLTE (Long Term Evolution)と比較すると、高周波化によって、信号の伝達距離が短くなりノイズ耐性も弱くなることから、多アンテナによるビームフォーミングで伝達距離を稼ぐ手法が採られる。図1に示すように、既存の4G（第4世代移動通信システム）やLTE基地局のRU (Radio Unit) では、2T (transmitter) 及び2R (receiver) 構成が採用されている。それに対して5Gにおいては、一つ一つの出力は小さいものの、64T及び64R、あるいはそれ以上の数のアンテナを1

(注1) 複数アンテナによるデータ同時送受信で伝送速度を向上させる技術。

台のRUに収めることで高周波化に対応している。一方で、アンテナ数の増加や複雑な制御により、RUトータルの消費電力は増える。更に、基地局数そのものの増加も重なって電源自体の消費電力低減は喫緊の課題であるため、使用される低耐圧パワー MOSFETには高効率化が求められている。

東芝デバイス&ストレージ(株)は、これら情報通信用電源向けに、電力損失を低減した第10世代の80 V耐圧 MOSFETを開発した。また、150 V耐圧 MOSFETも開発中である。ここでは、開発した低耐圧 MOSFETについて、情報通信用電源の技術動向とともに述べる。

2. 情報通信用電源の動向

通信基地局の電源には、固定電話の開始から現在に至るまで、DC-48 Vが基準電圧として使用されている。-48 Vという負電圧が使用される理由は、固定電話回線に由来した長尺配線による銅線のイオン化を防ぐためである。そのよ

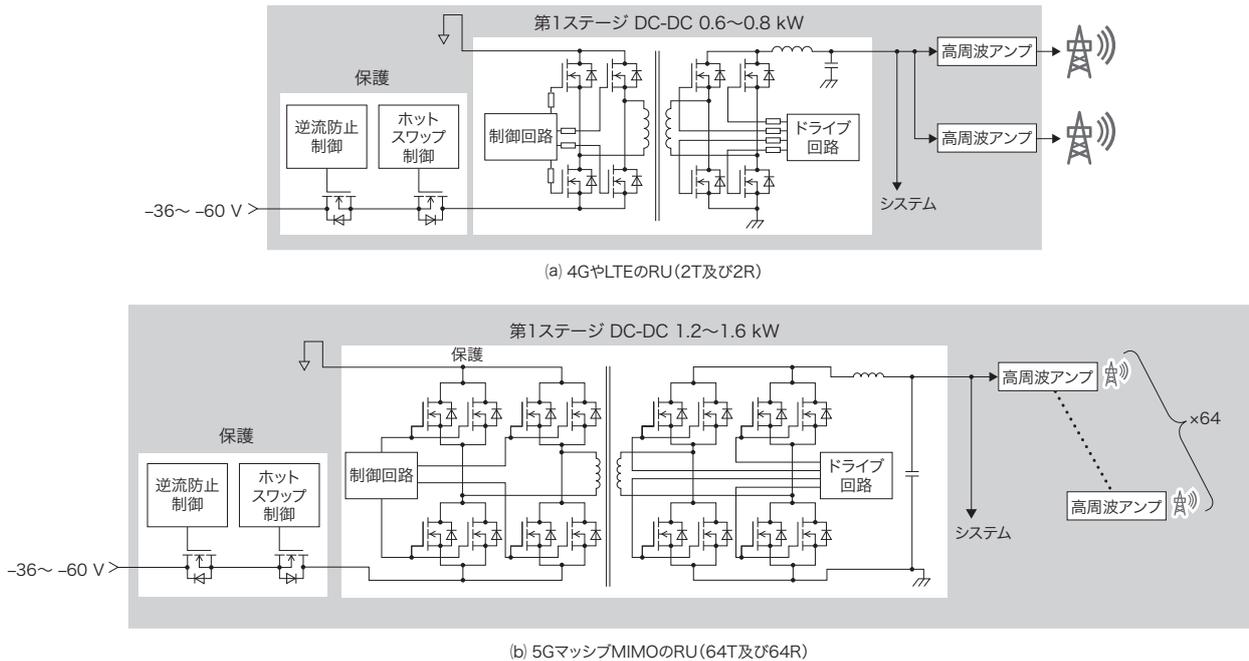


図1. 5G RUの電源構成

64T及び64Rなどをはじめとした多アンテナ構成では、アンテナがRU一体型となるほか、内部電源出力も倍増する。

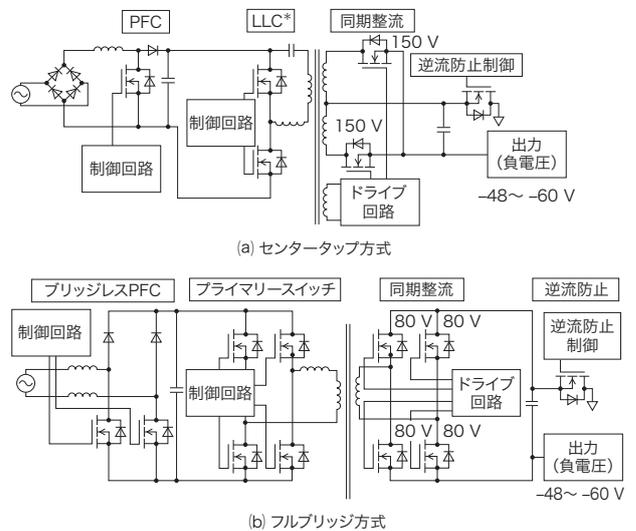
Configuration of power supply for 5G radio unit (RU)

うな経緯から、現在の無線基地局を含めた通信インフラの電源にも、引き続きDC-48Vが使用されている。基地局には、商用交流電源のAC200~240VからDC-48Vを生成するAC-DCスイッチング電源が設置される。

RU内には、このAC-DCスイッチング電源で生成された-48Vから、トランスミッターの高周波アンプに必要なDC52~56Vや送受信コントロールなどのシステムに必要な5~12Vといった電圧に変換するDC-DCコンバーターが組み込まれている。10年ほど前までは、MOSFETの性能が十分ではなく、また通信の需要面から無線基地局電源の出力もそれほど高いものが要求されなかったため、これらスイッチング電源の整流回路はダイオードの使用が主流であった。近年では、制御技術の向上とともにMOSFETの特性が向上したことにより、特に高効率が要求される通信基地局では、そのほぼ全てに同期整流回路が使用されるようになった。

図2は、DC-48Vの基準電圧を出力するAC-DCコンバーター回路の構成例である。図2(a)はセンタータップ方式と呼ばれ、出力電圧の2倍の電圧が整流素子に印加されるため、150V耐圧の素子を使用される。図2(b)はフルブリッジ方式と呼ばれ、出力電圧と同等の電圧が整流素子に印加されるため、80V耐圧の素子を使用される。

一方、図3は、-48Vを受けるDC-DCコンバーター回路



PFC: 力率改善
*二つのインダクター(L)とコンデンサー(C)で構成された共振回路

図2. AC-DCコンバーターの代表的な回路構成

要求される耐圧は、センタータップ方式が出力電圧の2倍以上で、フルブリッジ方式は出力電圧と同等で、センタータップ方式の1/2の耐圧素子可以使用できる。

Examples of typical AC-DC converter topologies

の構成例である。図3(a)はフルブリッジ方式と呼ばれ、入力電圧に2倍以上の許容範囲を持たせるなどの理由から、

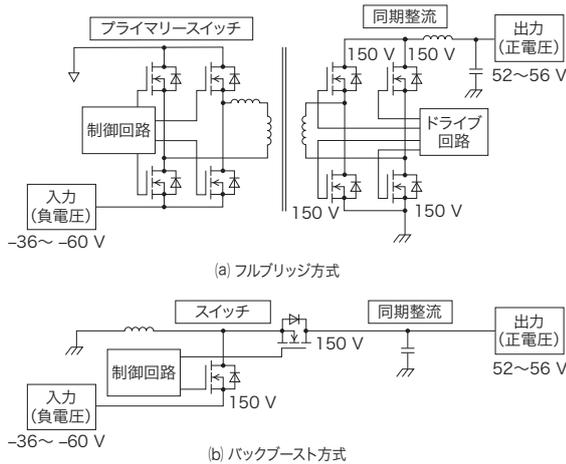


図3. 初段DC-DCコンバーターの代表的な回路構成

フルブリッジ方式とバックブースト方式があり、専有面積や、効率、コストなどを考慮して選択される。

Examples of typical first-stage DC-DC converter topologies

150 V 耐圧の素子が使用される。図3(b)はバックブースト方式と呼ばれ、入力電圧と出力電圧の差が印加されるため、150 V 耐圧の素子が使用される。

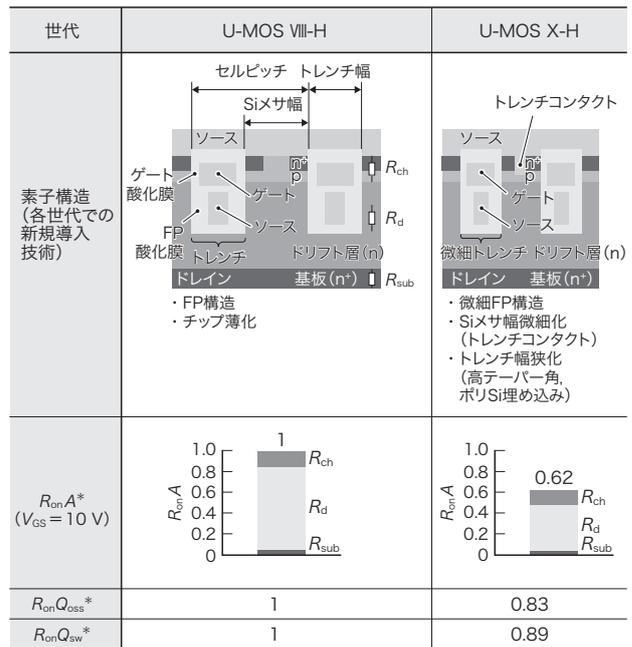
これら回路の高効率化には、デバイスのオン状態における導通損失と、オン/オフ切り替え時のスイッチング損失の低減が必要である。MOSFET の特性に対応させると、導通損失にはオン抵抗 (R_{on}) が影響する。プライマリスイッチ側のスイッチング損失にはゲート入力電荷量 (Q_g) やゲートスイッチ電荷量 (Q_{sw}) が、同期整流側のスイッチング損失には逆回復電荷量 (Q_r) が、主に影響する。このためこれら特性の向上が不可欠である。

3. 80 V 耐圧 MOSFET の導通損失低減

通常、パワー MOSFET のシリコンチップは縦方向に電流を流す縦型構造を採用している。導通損失の低減には、微細化によるチップの MOSFET 集積度の向上が有効であるが、パワー MOSFET 特有の縦型構造・段差構造により、微細加工が難しいという問題がある。

導通損失につながる R_{on} は、チップ表面 MOSFET 部のチャネル抵抗 (R_{ch})、ドリフト抵抗 (R_d)、及び基板抵抗 (R_{sub}) の各成分で主に構成されている。

当社は、単位面積当たりのオン抵抗 ($R_{on}A$) 低減に向け、トレンチ構造 MOSFET である U-MOS シリーズをリリースしている。旧世代の U-MOS VII-H までは、微細加工プロセス技術の導入によりトレンチゲート構造のセルピッチを縮小し、チャネル密度を向上させることによって R_{ch} 低減を図ってきた。その後、前世代の U-MOS VIII-H からは、トレンチ



p: p型半導体 n: n型半導体
n⁺: 不純物濃度の高いn型半導体
V_{GS}: ゲート-ソース間電圧
*U-MOS VIII-Hの値を1として規格化

図4. 80 V 耐圧 MOSFET の新旧プロセスの構造比較と $R_{on}A$ 特性の比較

最新世代の U-MOS X-H は、微細 FP 構造の採用と設計因子の最適化で、旧世代の U-MOS VIII-H と比較して $R_{on}A$ を 38% 低減した。

Comparison of structure and on-resistance characteristics of 80 V MOSFETs fabricated using previous and new processes

フィールドプレート (FP) 構造の採用によりドリフト層の高濃度化 (低抵抗化) を実現し、 R_d を大幅に低減した。加えて、 R_{sub} 低減のために薄ウエハー化技術を適用し、チップ厚を従来の 1/2 以下である 50 μm 程度まで薄化した。最新世代の U-MOS X-H では、FP 構造においてセルピッチを更に微細化した。図4に、80 V 耐圧 MOSFET の世代間の構造と特性の比較を示す。FP 構造のトレンチ形成部分は、オン状態の電流導通時には無効な領域のため、セルピッチに占めるトレンチ幅は狭い方が望ましい。このため、U-MOS X-H では FP トレンチ幅の狭化 (高テーパ角, ポリ Si (シリコン) 埋め込み) を行った。トレンチ幅が狭くなると高アスペクト比となるため、内部のポリ Si 電極形成が難しくなるが、新たにポリ Si 埋め込み技術を導入し課題を克服した。また、Siメサ幅も、タングステンを用いたトレンチコンタクト構造とすることで微細化を行った。加えて、上記構造に合わせたドリフト層濃度プロファイル及び複数の設計因子を最適化することで、従来の U-MOS VIII-H に比べ、 $R_{on}A$ を 38% 低減した。

4. 80 V耐圧MOSFETのスイッチング損失低減

一方、微細化でチップのMOSFET集積度が向上すると、接合容量が増大することで Q_{sw} や出力電荷量(Q_{oss})が増加し、スイッチング損失の悪化を招く。そのため、 R_{on} 低減と合わせて Q_{sw} や Q_{oss} の低減を図ってきた。当社は、U-MOS VIII-HのFP構造において、トレンチ内部ゲート電極の下にソース電極を埋め込んだ構造にすることで、 Q_{sw} を大幅に低減した。最新世代の80 V耐圧U-MOS X-Hでは、設計の最適化により、U-MOS VIII-Hに比べ、導通損失とスイッチング損失の特性指標である $R_{on}Q_{sw}$ を17%低減し、導通損失と出力チャージ損失の特性指標である $R_{on}Q_{oss}$ を11%低減した。

スイッチング時の過渡的なドレイン-ソース間のサージ電圧 V_{DSpeak} は、機器の安定性や信頼性に影響する。U-MOS X-Hでは、内部ゲートとソース配線抵抗を最適化して V_{DSpeak} を低減している。図5に示すように、300 A/ μ sの駆動条件では、一般的で代表的な他社従来品と比較して V_{DSpeak} が26%低減されており、機器の信頼性向上が図れる。また、同じ V_{DSpeak} で比較すると駆動条件を高速化でき、スイッチング損失の低減に有効である。

パワー MOSFETは、ソース-ドレイン間にpn (p : p型半導体, n : n型半導体) ダイオードが存在し、このpnダイオードに電流を流している状態で逆方向に電圧を反転させると、pnダイオードは逆回復動作になり、残存しているキャリアが掃き出されることで逆方向電流が流れる。このときのキャリア Q_{rr} が大きいと、逆回復損失としてスイッチング損失の悪化要因となる。U-MOS X-Hでは、セルピッチの微細化とドリフト層濃度プロファイルの最適化の効果

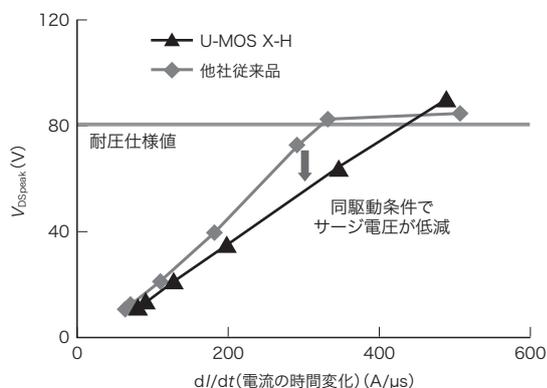


図5. 80 V耐圧MOSFETの V_{DSpeak}

内部配線抵抗の最適化で、300 A/ μ sの駆動条件において、U-MOS X-Hは、他社従来品と比較して V_{DSpeak} を26%低減できている。

Surge voltage at time of switching of 80 V MOSFETs

で、図6に示すように、300 A/ μ sの駆動条件において他社従来品と比較して12%低い Q_{rr} を達成した。

図7には、300 W DC-DCコンバーターのフルブリッジ整流回路の実機評価結果を示す。各種特性改善の結果、U-MOS X-Hは、他社従来品と比較して電力変換効率が全出力電流領域で同等以上となり、ピーク電力変換効率94.83%を達成した。以上のとおり、導通損失及びスイッチング損失の低減と、実機の電力変換効率向上の効果を確認して、80 V耐圧U-MOS X-H製品として2020年3月にリリースした。

5. 150 V耐圧MOSFETへの展開

80 V耐圧MOSFETの構造をベースに、150 V耐圧MOSFETへの展開も実施中である。展開にあたっては、特に高耐圧化による R_{on} 増加を抑制することに注力した。セル

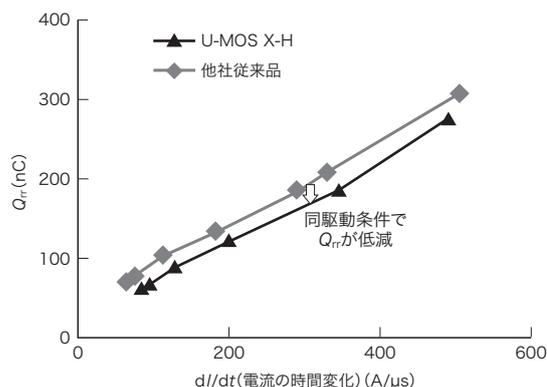


図6. 80 V耐圧MOSFETの Q_{rr} 特性

セルピッチの微細化とドリフト層濃度プロファイルの最適化で、300 A/ μ sの駆動条件において、U-MOS X-Hは、他社従来品と比較して Q_{rr} を12%低減できている。

Recovery charge characteristics of 80 V MOSFETs

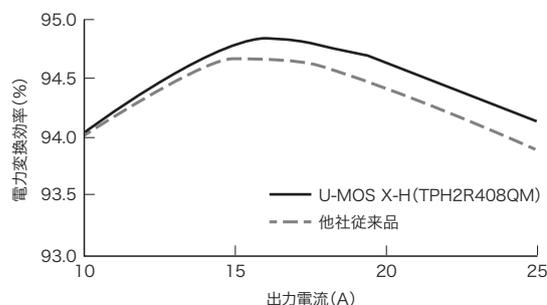


図7. 80 V耐圧MOSFETの電力変換効率

U-MOS X-H (TPH2R408QM)は、他社従来品に対して同等以上の性能で、ピーク電力変換効率は94.83%を達成した。

Power conversion efficiency of 80 V MOSFETs

構造の変更点を図8に示す。高耐圧化のためには、ドリフト層(n)を厚くし、それに合わせてトレンチを深くしなくてはならない。一方、低 R_{on} を実現するポイントは、セルピッチを極力小さくし、セルアスペクト比(=トレンチ深さ/セルピッチ)を大きくすることである⁽¹⁾。そのために、プロセスの要素技術も、80 V耐圧MOSFETに加えて新たな技術が必要となる。一例として、高アスペクト比のトレンチ形状を制御するエッチング技術や、トレンチ溝内に厚くてばらつきの少ない絶縁膜を形成する技術を開発し、セルピッチ幅を抑制することで低 R_{on} を実現していく。

図9は、150 V耐圧U-MOS X-Hの R_{on} 性能を、従来のU-MOS VIII-Hと比較したものである。前述の構造最適化に

より、 R_{on} を従来の56%に低減できる見込みである。

この技術を適用した150 V耐圧U-MOS X-H製品は、2021年4月にリリース予定である。

6. あとがき

大容量モバイル通信用の基地局に必要な、消費電力の低減に貢献する80 V耐圧U-MOS X-Hを開発した。従来世代のFP構造を基に、導通時とスイッチング時の両方の電力損失低減を狙い、素子構造の見直しとプロセス技術の改善による微細化で、効率の特性指標 $R_{on}Q_{sw}$ の17%低減を達成した。この技術をベースに、Siメサのアスペクト比を高めた150 V耐圧MOSFETも開発中である。

今後も、更なる高効率化で消費電力の低減要求に応え、省エネ社会の実現に貢献するため、これらの技術を発展させたパワーデバイス製品の提供を図っていく。

文献

- (1) Saito, W. "Comparison of theoretical limits between superjunction and field plate structures". 2013 25th International Symposium on Power Semiconductor Devices & IC's (ISPSD 2013). Kanazawa, 2013-05, IEEE. 2013, p.241-244.

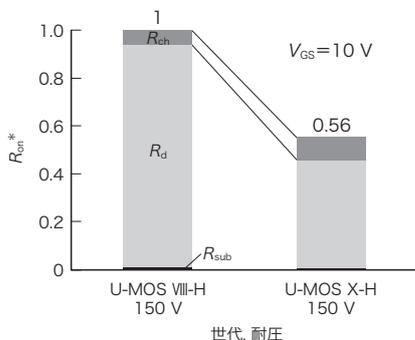
世代, 耐圧	U-MOS X-H 80 V	U-MOS X-H 150 V
素子構造		
セルピッチ*	1	1.8
トレンチ幅*	1	2.1
トレンチ深さ*	1	1.9
FP絶縁膜厚*	1	2.1

*U-MOS X-H 80 Vの値を1として規格化

図8. 80 V耐圧と150 V耐圧のMOSFET構造の比較

セルピッチに比べ、トレンチの幅と深さが大きく、トレンチ間のSiメサ部分が高アスペクト比になっている。

Comparison of cell dimensions of 80 V and 150 V MOSFETs



*U-MOS VIII-H 150 Vの値を1として規格化

図9. 150 V耐圧MOSFETの R_{on} 特性の比較

R_d の大幅な低減により、旧世代と比較して、 R_{on} を56%に低減できる見込みである。

Comparison of on-resistance characteristics of 150 V MOSFETs fabricated using previous and new processes



加賀野井 啓介 KAGANOI Keisuke
東芝デバイス&ストレージ(株)
半導体事業部 ディスクリット応用技術センター
Toshiba Electronic Devices & Storage Corp.



新井 雅俊 ARAI Masatoshi
東芝デバイス&ストレージ(株)
半導体事業部 パワー半導体開発技術部
Toshiba Electronic Devices & Storage Corp.



可知 剛 KACHI Tsuyoshi
東芝デバイス&ストレージ(株)
半導体事業部 先端ディスクリット開発センター
Toshiba Electronic Devices & Storage Corp.