

## MacEtch 法を適用した Si キャパシタ－の高容量化技術

Technology Using Metal-Assisted Chemical Etching (MacEtch) Process to Fabricate Silicon Capacitors with High Capacitance

小幡 進 OBATA Susumu 佐野 光雄 SANO Mitsuo 樋口 和人 HIGUCHI Kazuhito

シリコン (Si) 基板上に誘電体膜を形成した Si キャパシタ－は、従来の積層セラミックキャパシタ－ (MLCC) に比べて、高耐熱、低インダクタンス、及び薄型であることから、近年、注目されている。Si キャパシタ－の大容量化には、Si ウエハーにトレンチ構造を形成して、表面積を拡大する必要があるが、加工コストが高いという問題があった。

東芝は、高容量の Si キャパシタ－製造法として、MacEtch (Metal-assisted Chemical Etching) 法と呼ばれる、貴金属触媒を用いた異方性ウェットエッチング技術の開発に取り組んでいる。今回、金 (Au) 触媒を用いて Si ウエハーに深さ 100  $\mu\text{m}$ 、幅 1  $\mu\text{m}$  の垂直トレンチを形成したチップを作製し、静電容量密度が 200 nF/mm<sup>2</sup> 以上になることを確認した。

Silicon (Si) capacitors with a dielectric film formed on a silicon substrate have been attracting attention as a replacement for conventional multi-layer ceramic capacitors (MLCCs) in recent years due to their advantageous features including high heat resistance, low inductance, and thinness. Although Si capacitors with high capacitance are required in the field of automotive electronics, fabrication is costly due to the need to form a trench structure on the Si wafer in order to expand the surface area.

Toshiba Corporation has been engaged in the development of a metal-assisted chemical etching (MacEtch) technology applying anisotropic wet etching of Si using noble metal catalysis, which makes it possible to chemically process the entire surface of a Si wafer. Experiments on a prototype Si capacitor chip with vertical trenches formed on a Si wafer of 100  $\mu\text{m}$  in depth and 1  $\mu\text{m}$  in width using gold (Au) catalysis have verified that it achieves a capacitance density of more than 200 nF/mm<sup>2</sup>.

### 1. まえがき

近年、自動車のエレクトロニクス化の進展に伴い、車載 ECU (電子制御ユニット) では、制御 IC やモジュールの電源回路に、幅広い周波数領域でインピーダンスを下げ、EMC (電磁両立性) 性能を向上させるために、周波数特性が異なる多数のキャパシタ－を並列接続して用いる必要がある<sup>[1]</sup>。しかし、高容量の MLCC では、主にチタン酸バリウム (BaTiO<sub>3</sub>) などの強誘電体を用いられており、温度や電圧で比誘電率が大きく変化するとともに、周波数依存性があることから、使いにくい場合がある。

一方、キャパシタ－の一種として Si 基板上に誘電体膜を形成した Si キャパシタ－がある。一般に、Si キャパシタ－は、反応性イオンエッチング (RIE) 法を用いて Si ウエハーにトレンチ構造を形成し、表面積を拡大することで、温度や電圧による比誘電率の変化が小さい常誘電体を用いても大きな容量を得ることができる。図 1 に Si キャパシタ－の断面構造を示す。Si キャパシタ－の特長は低インダクタンスや、高耐熱、薄型化可能などであり、近年、MLCC に代わるキャパシタ－として注目されている<sup>[2]</sup>。ここで、平面方向のサイズを

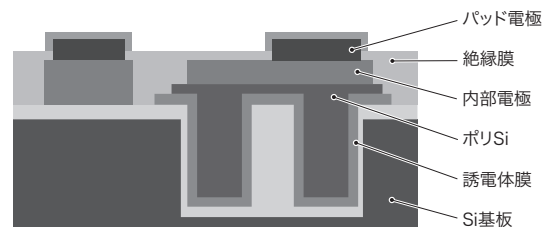


図 1. Si キャパシタ－の断面構造

Si キャパシタ－は MIM (Metal-Insulator-Metal) タイプのキャパシタ－であり、トレンチ構造とすることで表面積を拡大している。

Cross-sectional structure of Si capacitor

保ったまま、大きな容量を得るためには、高アスペクト比のトレンチ構造を形成する必要があるが、ドライエッチング加工で高アスペクト比のトレンチ構造を得る場合、加工コストが高いという問題がある。

これを解決するため、東芝は、Si キャパシタ－の表面積を低コストに拡大する加工法として、新たに MacEtch 法の適用を検討した。ここでは、その検討結果と試作した Si キャパシタ－の評価結果について述べる。

## 2. MacEtchのメカニズム

MacEtchは、貴金属触媒を用いたウェットプロセスによるSiの異方性エッチング技術である。図2に示すように、Au、銀(Ag)などの貴金属をSiに接触させた状態で、フッ化水素(HF)の水溶液(フッ酸)と過酸化水素(H<sub>2</sub>O<sub>2</sub>)水との混合溶液に浸漬(しんせき)すると、触媒となる貴金属直下のSiだけが選択的に溶解する。この溶解に伴い、貴金属触媒が図中の下側に移動し、異方性を持った加工がなされる<sup>(3)</sup>。

Siの異方性加工として用いられるRIEなどのドライエッチングプロセスは、ウエハーごとに処理する枚葉処理であるが、MacEtch法は、複数のウエハーを同時に処理するバッチ処理が可能であり、生産性が高く、加工コストを大幅に抑制できる。更に、MacEtch法は、異方加工性に優れ、ドライエッチングに比べて、より高アスペクト比のトレンチ加工が可能である。

現在提唱されているMacEtchの反応機構は、貴金属をカソード、Siをアノードとする電気化学的な腐食機構として捉えられている<sup>(3)-(7)</sup>。すなわち、貴金属表面では、式(1)に示すH<sub>2</sub>O<sub>2</sub>の還元反応が生じ、これに伴って生成されたホール(h<sup>+</sup>)によって、式(2)に従って貴金属との接触界面のSiが酸化され、HFの作用により水溶性のヘキサフルオロケイ酸(H<sub>2</sub>SiF<sub>6</sub>)となって溶解する。その溶解後のくぼみに貴金属触媒が落ち込むことで反応を繰り返し、結果として高アスペクト比の垂直加工が進行する。

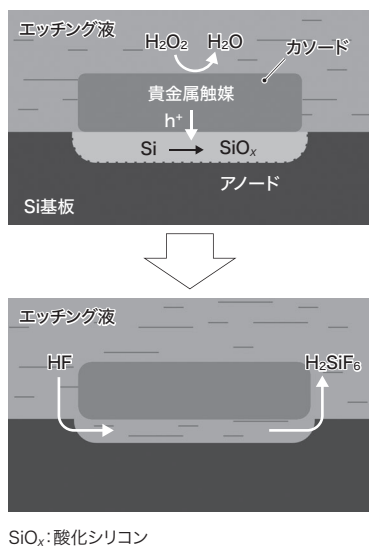
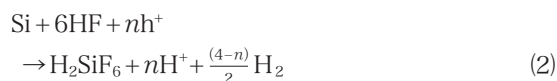
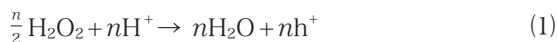


図2. MacEtchプロセスの原理

貴金属触媒直下のSiが選択的に酸化され、この部分がフッ酸に溶解することでエッチングが進行する。

Mechanism of MacEtch process



$n$  : Siの価数に対応した係数 ( $n=1, 2, 3, 4$ )

$\text{H}^+$  : 水素イオン

$\text{H}_2\text{O}$  : 水

$\text{H}_2$  : 水素

この機構から導かれる触媒に求められる機能は、式(1)の反応を加速させるためにエッチング液と接する大きな表面積を持つこと、式(2)の反応を進めるためにエッチング液を供給すること、及び反応生成物の排出を阻害しないことである。当社は、これらの要件を満足する触媒形成法として、形成条件によって析出する触媒の形態を制御することができ、3次元的でポーラスな形態も可能となる、無電解置換めっき法を採用した。析出物の形態を、析出量と被覆状態で整理し、これらとトレンチ加工の直進度との関係を明確化することで、MacEtchの適正化を試みた。

## 3. 実験方法

### 3.1 MacEtch加工

抵抗率10~20 Ωcmで結晶方位(100)面のn型Siウエハーを基板として用い、フォトレジストで幅1 μm、長さ100 μm、ピッチ2 μmのSi露出パターンを形成した。これをフッ酸とAu塩を含む溶液に浸漬し、無電解置換めっき法により、時間や温度などのめっき条件をパラメーターとして、上記のSi露出領域にAu触媒を形成した。このウエハーを、フッ酸とH<sub>2</sub>O<sub>2</sub>を混合したエッチング液に浸漬してエッチングした。以上の工程により、Au触媒直下のSiが選択的かつ異方的にエッチングされ、Siウエハーには、2 μmピッチのトレンチが形成される。

### 3.2 MacEtch加工の評価方法

Si表面に無電解置換めっき法で形成したAu触媒に対し、その形態を走査型電子顕微鏡(SEM)で観察した。またAu析出量を、蛍光X線分析法(XRF)により定量測定した。MacEtchの加工直進性については、MacEtchでSiに形成したトレンチの断面SEM観察を行い、ウエハー表面でのトレンチ本数 $N_t$ と、深さ $h$ でのトレンチ本数 $N_h$ の比率で表されるトレンチの完全性 $N_h/N_t$ で評価した。トレンチの直進性が劣る場合、ある深さで隣り合うトレンチ同士が重なることでトレンチの本数が減少することから、 $N_h/N_t$ が1から減少し、深さ $h$ が大きく、 $N_h/N_t$ が1に近いほど直進性に優れる。

### 3.3 Siキャパシターの作製

図3にMacEtch法によりトレンチを形成したSiキャパシターの作製フローを示す。初めに、MacEtch法によりSiウエハーに幅1 μm、ピッチ2 μmのトレンチ構造を形成した。酸処理によりAu触媒を除去し、形成したトレンチ全体をドーピングして低抵抗化した。次に、誘電体膜を形成し、ポリSiでトレンチを埋めた後、ポリSiと誘電体膜をパターンニングして、アルミニウム電極を形成し、パッシベーション膜を成膜した。最後に電極パッドを形成し、裏面研削の後ダイシングにより個片化し、電気特性評価を行った。

## 4. 実験結果

### 4.1 触媒形態と加工の直進度との関係

図4に、それぞれ異なるめっき条件で析出させたAu触媒のSEM像を示す。Au触媒析出量が60 μg/cm<sup>2</sup>と多い条件では、粒子同士がネッキングして3次元的な立体構造となっているのに対し、析出量が32 μg/cm<sup>2</sup>以下では、Au触媒粒子が平面状に点在する面構造となっている。

図5に、トレンチ断面のSEM像を示す。Au触媒析出量が32 μg/cm<sup>2</sup>以下と少ない場合、トレンチ形状が崩れ、針状のSiを大量に生じた。Au触媒析出量の増加に伴ってトレンチの形状が安定化し、47 ~ 60 μg/cm<sup>2</sup>では、針状の

Siも減少した。SEM画像を解析した結果、Au触媒析出量が32 μg/cm<sup>2</sup>より少ないと $N_h/N_l$ が40%未満となり直進度が低い。一方、Au触媒析出量が47 ~ 60 μg/cm<sup>2</sup>では、 $N_h/N_l$ が100%となり、個々のトレンチがトップからボトムまで完全に分離形成された。ただし、Au触媒析出量が60 μg/cm<sup>2</sup>を大幅に超えると、 $N_h/N_l$ が再び低下し、トレンチの直進度が悪化した。触媒析出量が少ない場合は、触

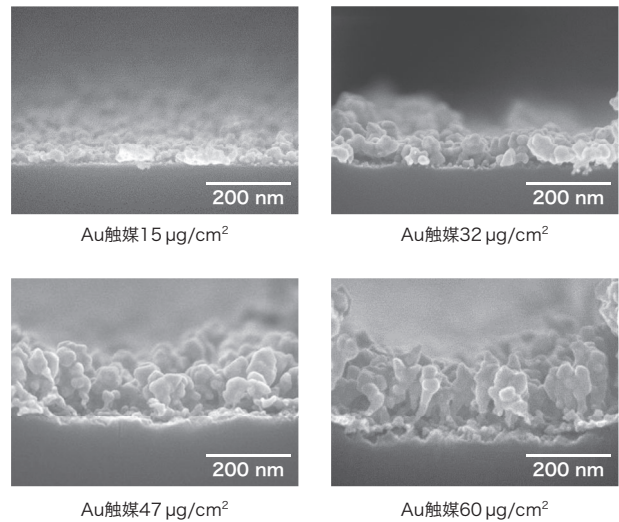


図4. Au触媒の断面SEM像

使用した無電解めっき条件により、Au触媒の析出量・形状が変化する。

Cross-sectional scanning electron microscope (SEM) images of as-deposited Au particles

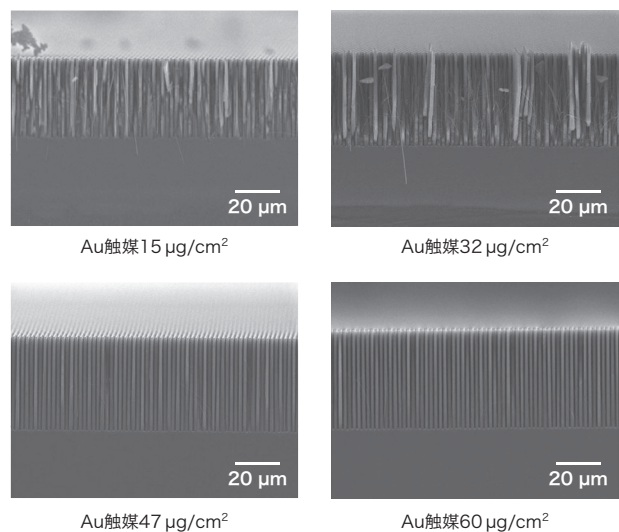


図5. 異なるAu触媒密度でエッチングしたトレンチの断面SEM像

Au触媒の析出密度により、トレンチのエッチング形状が大きく変化する。

Cross-sectional SEM images of trenches formed with various Au mass densities

図3. Siキャパシターの作製フロー

MacEtchで形成したトレンチ内に、MIM構造のキャパシターを形成する。

Flow of fabrication of Si capacitor applying MacEtch process

媒の粒子間隔が広いと、MacEtchが個々の粒子で独立して生じる。一方、触媒析出量が多い場合は、触媒が膜状に近づき、式(2)で示す酸化シリコン( $\text{SiO}_x$ )溶解の際に発生する $\text{H}_2$ ガスによりSiと触媒の密着性が悪化し、接触面がずれることでエッチング加工が湾曲して直進性が低下したと考えられる。

これらの結果から、無電解めっきにより形成したAu触媒を用いた場合、直進性が良く深いトレンチを形状の完全性を保ったまま形成するためには、Auの析出量と被覆状態に最適領域が存在することを明らかにした。適正条件で形成したAu触媒を用いた場合の、MacEtch後のトレンチ構造を、図6に示す。ドライエッチングで形成困難な幅1  $\mu\text{m}$ 、ピッチ2  $\mu\text{m}$ 、深さ100  $\mu\text{m}$ 、アスペクト比100という高アスペクト比のトレンチ加工が実現できた。

#### 4.2 MacEtchを適用したSiキャパシタの特性

図7に作製した3216サイズ(3.2×1.6 mm)のSiキャパシタチップ試作品を示す。容量測定の結果、Siキャパシタチップの上面から見たポリSi電極の投影面積3.9  $\text{mm}^2$

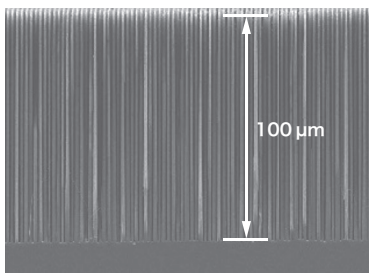


図6. MacEtchで形成したトレンチの断面SEM像

6インチウエハの全面に幅1  $\mu\text{m}$ 、ピッチ2  $\mu\text{m}$ 、深さ100  $\mu\text{m}$ のトレンチ構造を形成した。

Cross-sectional SEM image of trenches formed by MacEtch process

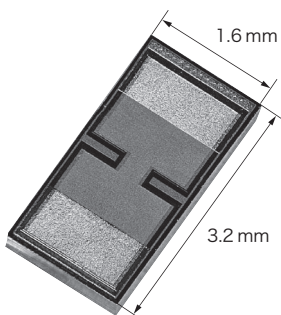


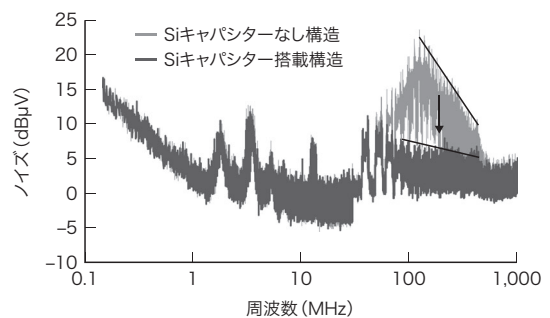
図7. Siキャパシタチップ試作品

幅3.2 mm、長さ1.6 mm、厚さ0.4 mmの基板実装用Siキャパシタチップを試作した。

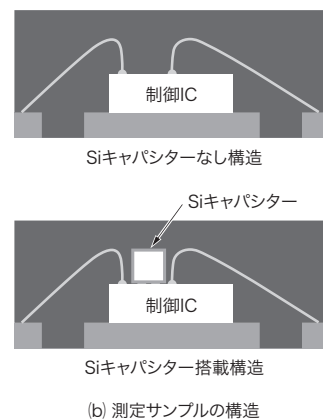
Prototype Si capacitor chip

に対して、最大で静電容量824 nFが得られた。この場合の静電容量密度は、Siキャパシタとしては極めて大きい210  $\text{nF}/\text{mm}^2$ に達する。また、SiキャパシタとMLCCの容量の温度依存性を比較した結果、MLCCが150  $^{\circ}\text{C}$ 以上で50%以上の容量変動を生じるのに対して、Siキャパシタは200  $^{\circ}\text{C}$ で8%以下と、容量変動率が小さいことが確認できた。

作製したSiキャパシタ試作品をモーター制御ICのデカップリングコンデンサとして適用した例を図8に示す。Siキャパシタは線膨張係数が制御ICと等しく、容量の温度依存性も小さいため、制御ICの直上に搭載することができる。パッケージ内のチップ直上、5Vロジック電源のデカップリングコンデンサとして1608サイズ(1.6×0.8 mm)のSiキャパシタをフリップチップ実装で搭載した場合と、搭載しない場合の電源端子ノイズレベルを比較した。Siキャパシタを搭載した場合、50～500 MHzの周波数帯においてノイズが大きく減少し、更にスペクトラム拡散クロック発振



(a) 放射ノイズ測定結果



(b) 測定サンプルの構造

図8. Siキャパシタチップ試作品のEMC抑制効果

150  $\Omega$  (VDE (ドイツ電気技術者協会)) 法により、コイルのインダクタンス  $L$  と負荷抵抗  $R$  から成る  $LR$  負荷の駆動状態で、放射ノイズ測定を行った。PCBには、全て外部キャパシタを接続した。

Electromagnetic interference noise suppression achieved by prototype chip used as decoupling capacitor



器 (SSCG) によるノイズ抑制機能を併用することで、同じ周波数帯の全域にわたりノイズが約 20 dB $\mu$ V 抑制された。低インダクタンスな Si キャパシターを、フリップチップ実装により最短の配線経路でパッケージ内に搭載することで、従来 PCB (プリント回路基板) 上のデカップリングコンデンサーではノイズ抑制効果が十分に得られなかった高周波領域において、大幅なノイズ抑制効果が得られることを確認した。

## 5. あとがき

MacEtch の触媒形状を制御することで、垂直加工性を向上でき、幅 1  $\mu$ m、深さ 100  $\mu$ m、アスペクト比 100 という高アスペクト比のトレンチ構造の形成が可能となった。また、Si ウエハー表面にこのトレンチを形成することで、200 nF/mm<sup>2</sup> 以上の大きな静電容量密度の Si キャパシターを可能とした。この技術により、大容量の Si キャパシターを半導体パッケージやモジュール内に搭載することが容易となり、電気特性の向上に大きく貢献できる。

## 文 献

- (1) 岡野資睦, ほか. 半導体製品の耐ノイズ設計を支援する EMC 評価・実装シミュレーション技術. 東芝レビュー. 2016, **71**, 6, p.8-11. <[https://www.toshiba.co.jp/tech/review/2016/06/71\\_06pdf/a03.pdf](https://www.toshiba.co.jp/tech/review/2016/06/71_06pdf/a03.pdf)>, (参照 2020-06-02).
- (2) Murray, F. et al. "Silicon Based System-in-Package : a new technology platform supported by very high quality passives and system level design tools". Proceedings of 2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (IEEE-SiRF 2007). Long Beach, CA, 2007-01, IEEE. 2007, p.149-153.
- (3) Li, X.; Bohn, P. W. Metal-assisted chemical etching in HF/H<sub>2</sub>O<sub>2</sub> produces porous silicon. Appl. Phys. Lett., 2000, **77**, 16, p.2572-2574.
- (4) Huang, Z. et al. Metal-Assisted Chemical Etching of Silicon: A Review. Adv. Mater. 2011, **23**, 2, p.285-308.
- (5) Asano, Y. et al. "A novel wafer dicing method using metal-assisted chemical etching". Proceedings of 65th Electronic Components and Technology Conference (ECTC 2015). San Diego, CA, 2015-05, IEEE. 2015, p.853-858.
- (6) 浅野佑策, ほか. 貴金属触媒エッチングによりシリコンウエハー全面の一括加工を可能にするケミカルダイシング技術. 東芝レビュー. 2016, **71**, 2, p.31-34.
- (7) 松尾圭一郎. MacEtch 反応機構に基づいた高アスペクト比の Si 垂直加工技術. 東芝レビュー. 2018, **73**, 4, p.56-57. <[https://www.toshiba.co.jp/tech/review/2018/04/73\\_04pdf/r01.pdf](https://www.toshiba.co.jp/tech/review/2018/04/73_04pdf/r01.pdf)>, (参照 2020-06-02).



**小幡 進** OBATA Susumu  
生産技術センター  
電子機器・実装・制御技術領域 実装技術研究部  
応用物理学学会会員  
Electronics Parts Assembly Technology Research Dept.



**佐野 光雄** SANO Mitsuo  
生産技術センター  
電子機器・実装・制御技術領域 実装技術研究部  
日本化学会会員  
Electronics Parts Assembly Technology Research Dept.



**樋口 和人** HIGUCHI Kazuhito  
生産技術センター  
電子機器・実装・制御技術領域 実装技術研究部  
エレクトロニクス実装学会会員  
Electronics Parts Assembly Technology Research Dept.