

基板実装・製品組立工程における 静電気測定技術の高度化

Sophistication of Technology to Measure Static Electricity in PCB and Product Assembly Processes

板垣 達也 ITAGAKI Tatsuya

半導体デバイスは、微細化や高集積化に伴って、静電気放電(ESD：Electro-Static Discharge)耐圧が低下している。半導体デバイスを基板に実装する工程や製品を組み立てる工程では、ESDによる半導体デバイスの損傷が、工程内での不良や市場で製品が不良となる要因の一つになっている。しかし、従来の静電気測定手法では、各工程の、特に製造装置内でのESDの発生原因を特定することが困難であった。

東芝は、半導体デバイスを取り扱う基板実装工程や製品組立工程において、特定の配線パターンの電荷量を測定することで、動作中の製造装置内に実装基板が投入されている場合でも、容易にESDの発生原因を特定できる静電気測定手法を開発した。これにより、原因特定に掛かる時間や対策に必要なコストが大幅に削減されるとともに、工程品質の安定化が期待できる。

Accompanying the ongoing trend toward greater integration and miniaturization of semiconductor devices, the breakdown voltage of internal circuits against electrostatic discharge (ESD) continues to decrease. Damage to semiconductor devices caused by ESD in the printed circuit board (PCB) and product assembly processes is therefore becoming an increasingly significant factor in the incidence of defects in products in process or after shipment. However, it is difficult to identify the cause of ESD occurrence in PCB and product assembly processes using conventional electrostatic measurement methods, particularly inside operating equipment.

Toshiba Corporation has developed a novel electrostatic measurement method that makes it possible to easily identify the cause of ESD occurrence through measurement of the electric charges on a specific printed wire of a PCB, even when it is located in operating equipment. This method is expected to contribute to the realization of stable in-process quality as well as the reduction of investigation time and the costs of countermeasures.

1. まえがき

近年、半導体デバイスでは、微細化や高集積化が進むにつれて、ESD耐圧が低下している。そのため、半導体デバイスを取り扱う基板実装工程や製品組立工程では、ESDによって半導体デバイスが損傷し、工程歩留まりが低下する要因の一つとなっている。また、ESDによって損傷した半導体デバイスを、工程内の検査で見逃し、市場に製品が出てから不良が発見されるケースも増えている。これらのことから、半導体デバイスを取り扱う基板実装工程や製品組立工程では、静電気対策の重要性が増している。

従来の静電気対策は、IEC（国際電気標準会議）の国際規格であるIEC 61340-5-1^(注1)ののっとり実施されてきた（図1）。しかし、ESD耐圧が低下した半導体デバイスの損

傷を防ぐには、IEC 61340-5-1の対策では不十分となってきている。このような状況から、半導体デバイスへ損傷を与えるESDの発生原因を特定する新たな手法の開発が求められている。

東芝は、半導体デバイスを取り扱う基板実装工程や製品組立工程において、定量的に帯電量を測定し、ESDの発生原因を特定する手法を開発し、工程へ適用した。ここでは、開発した静電気測定手法の概要、測定及び改善事例について述べる。

2. 一般的な半導体デバイスにおけるESDによる破壊モデル

ESDによる半導体デバイスの破壊モデルは、大きく三つに分類されている。

- (1) HBM（Human Body Model：人体帯電モデル）
人体からのESDによる破壊モデル

(注1) IEC 61340-5-1を基に、国内では、一般財団法人 日本電子部品信頼性センター（RCJ）が我が国に適した団体規格RCJS-5-1⁽¹⁾を発行し、適用。

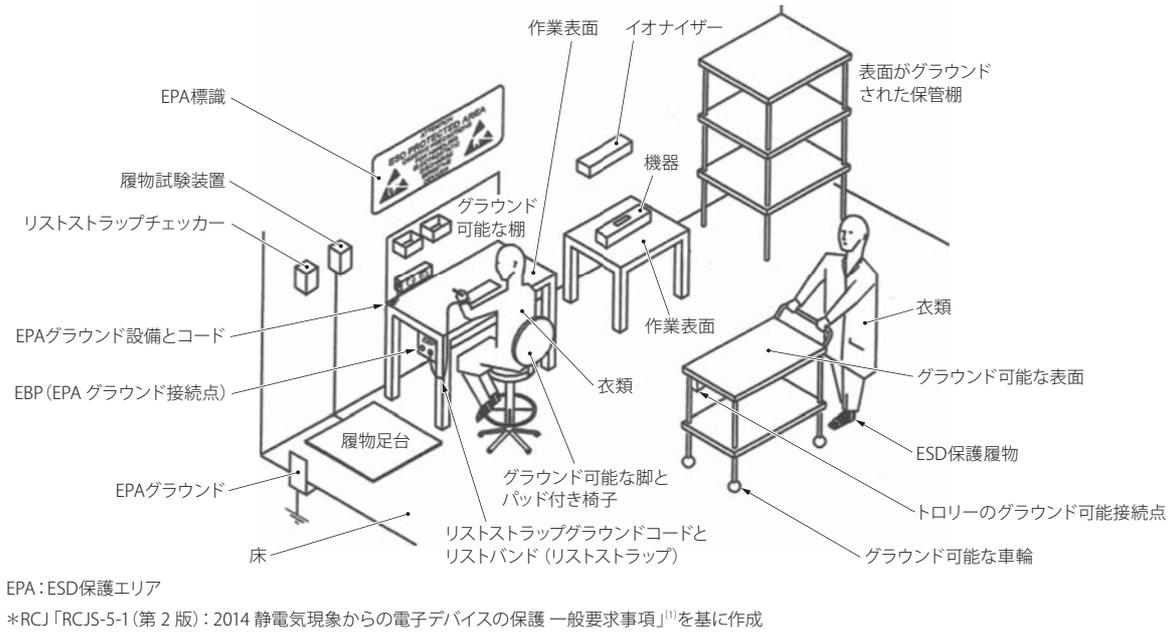


図1. ESD保護エリアの例

ESDによって損傷するおそれのあるデバイスを取り扱うことができるエリアの例である。エリア内で使用するESD管理用アイテムは、個々に要求事項が定められている。

Example of area protected from ESD

- (2) MM (Machine Model : マシンモデル)
 金属フレームなどからのESDによる破壊モデル
- (3) CDM (Charged Device Model : デバイス帯電モデル)
 半導体デバイス自身が帯電し、半導体デバイスから外部へのESDによる破壊モデル

HBM及びMMは、リストストラップの着用や導電靴の着用と導電床の設置など、IEC 61340-5-1に規定されている対策を実施することにより予防できる。一方で、CDMは、半導体デバイスのESD耐圧の低下により、注目されつつある。これまでは、CDMのESD耐圧が±500V以上であれば、ESD破壊が発生する危険性は低かった。しかし、CDMのESD耐圧が±125V程度まで低下すると、従来問題なかった工程や作業でも、ESD破壊が発生する危険性が高まる。そのため、近年のESDによる半導体デバイスの破壊モデルは、CDMが主流であると言われている。

3. 半導体デバイスのESDによる破壊モデルの分析

東芝グループ内の基板実装工程及び製品組立工程で発生した不良を解析した結果、ESDによる半導体デバイス不良の多くは、特定の配線パターン(以下、特定配線と略記)間に形成されている保護回路の破壊であった(図2)。このことか



図2. ESDによる半導体デバイスの不良例

不良解析を行った結果、特定配線間に形成されている保護回路で破壊痕を確認した。

Example of defect in semiconductor device caused by ESD

ら、このESDによる破壊モデルはCDMであり、帯電しやすい配線で特異的に発生していると推測した。そのため、特定配線の帯電量を測定すれば、ESDの発生原因が特定できる。

4. 静電気測定手法のベンチマーキング

特定配線の帯電量を測定するため、測定手法のベンチマーキングを行った。

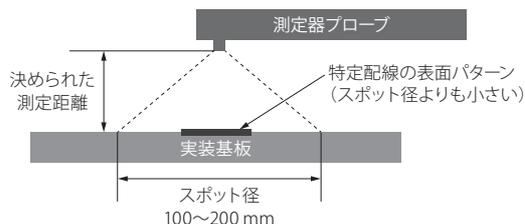


図3. 一般的な表面電位計のスポット径

特定配線の表面パターンは、一般的な表面電位計のスポット径よりも小さく、表面電位測定は、正確な測定には不向きである。

Spot diameter of commonly used surface potential meter

一般的な帯電量の測定手法には二つの方式がある。

まず、表面電位計を用いた方式である。表面電位測定は、非接触式であり、測定量は電圧(V)である。半導体デバイスのESD耐圧と同じ単位であるため、管理しやすいことがメリットである。表面電位計は、図3に示すように、測定器プローブを中心としてスポット径100～200mmの範囲全体の平均電位を測定するものが主流である。一方で、実装基板の特定配線の表面パターンは、大きくても数十mmであることが多い。特定配線の表面パターンより測定スポット径が大きい場合、周囲の帯電していないエリアと平均化されるために、表面パターンより小さい電位が測定されてしまう。また、スポット径が小さい表面電位計は、測定距離を短くする必要があり、部品を搭載した実装基板の測定には不向きである。

もう一つの手法は、電荷量測定器を用いた方式である。電荷量は、プローブを配線の表面パターンへ直接接触させることで測定できるため、特定配線の帯電量を測定するには、表面電位測定よりも電荷量測定の方が有利である。ただし、測定量は電荷量(C)であるため、半導体デバイスのESD耐圧から良否を判定するには、測定で得られた電荷量を電圧へ変換する必要がある。

5. 電荷量測定の課題とその解決方法

4章に述べたベンチマーキングの結果、電荷量測定器を用いる方式が有利である結果となったが、測定で得られた電荷量を電圧へ変換する課題があった。また、製造装置内においても測定する必要がある。これらの課題の解決方法について、以下に述べる。

5.1 電荷量から電圧への変換

電荷量 Q を電圧 V へ変換するには、式(1)を用いる。

$$V = Q / C \quad (1)$$

しかし、 V を求めるには、あらかじめ静電容量 C を知る必要がある。 C は、直流電源で既知の電圧を特定配線へ印加後、電荷量測定器で特定配線の Q を測定することで算出できる。

一方で、特定配線の C は、実装基板が置かれている場所や製品に組み込まれた状態などで大きく変動する。これは特定配線と周囲の導体との間に生じるコンデンサー効果のためである。したがって、正確に特定配線の V を求める場合は、実際の工程で、実装基板を用いて C を測定する必要がある。

5.2 連続的な電荷量の測定

表面実装工程では、多くの装置が存在する(図4)。そのため、実装装置の動作中に連続して Q を測定すれば、ESDの発生原因となる装置とその動作を特定できる。そこで、ケーブルを用いて特定配線の表面パターンと電荷量測定器のプローブ先端を配線した実装基板を装置へ投入し、 Q の

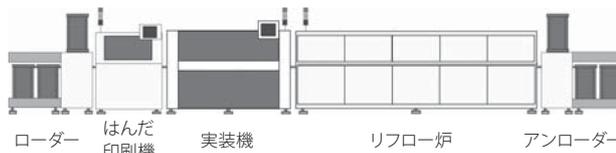


図4. 代表的な表面実装ライン

表面実装部品をプリント基板に実装し、はんだ付けを行う工程の代表的なライン構成である。

Typical electronic component mounting line equipped with surface mounter

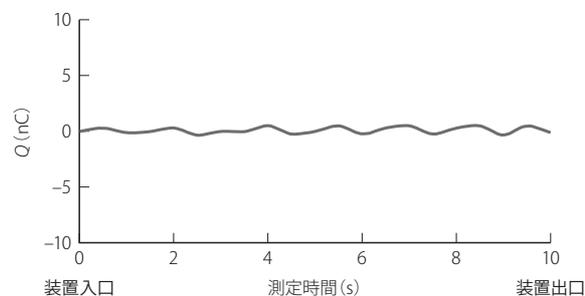


図5. 接触式プローブによる特定配線上の Q の測定結果例

製造装置の動作中において、連続して特定配線の Q が測定できることを確認した。

Example of result of measurement of electric charges on specific printed wire using contact probe

測定を行った。測定結果の例を図5に示す。装置や実装基板などにより、 Q は大きく変わるので、縦軸の数値は参考値である。特定配線の表面パターンと電荷量測定器のプローブ先端をケーブルで配線することにより、連続的な電荷量測定が可能であることを確認した。

6. 表面実装工程での測定結果及び改善事例

実装基板に搭載されていた半導体デバイスが、ESDにより不良となった表面実装工程のはんだ印刷機において、連続して Q を測定することで、静電気発生リスクの高い動作の特定を試みた。その結果の例を図6に示す。はんだ印刷機内で半導体デバイスのESD耐圧を超える静電気発生が確認でき、そのタイミングは、印刷機のクランパーが実装基板か

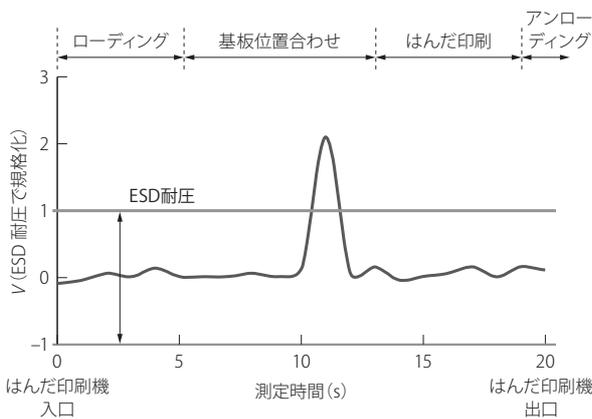


図6. はんだ印刷機内の静電気電圧の測定結果例

クランパーが実装基板から剥離するときに、ESD耐圧を超える静電気発生を確認した。

Example of result of measurement of electrostatic voltage inside solder printing machine

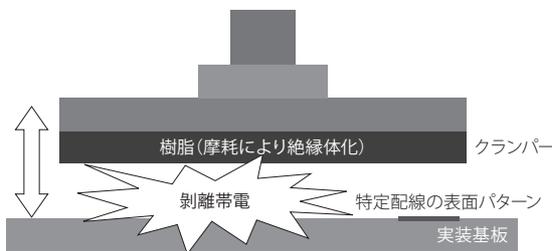


図7. 導電加工されたクランプ用樹脂の摩耗によって生じた特定配線の帯電

ESD耐圧を超える静電気は、摩耗で絶縁体になったクランパーが原因であった。

Electrification of specific printed wire due to abrasion of conductive-resin-coated clamp

ら剥離する時間帯であった。原因として、図7に示すように、実装基板と接触するクランパーが絶縁体(樹脂)であったため、樹脂と実装基板の剥離によって特定配線の表面パターンが大きく帯電し、ESDにより半導体デバイスの破壊が発生したと推測される。本来、クランプ用樹脂の表面は導電加工されているが、摩耗により内部の絶縁体が露出していた。そこで、クランプ用樹脂の全体を導電性樹脂に交換する対策を実施したところ、剥離時の帯電を大幅に抑制できた。

7. あとがき

連続的に特定配線の Q を測定することで、製造装置内においても定量的に実装基板の静電気を測定できることが確認できた。これにより、容易にESDの発生原因が特定でき、半導体デバイス不良の原因特定に掛かる時間や対策に必要なコストを大幅に削減できるとともに、工程内品質の安定化が期待できる。

文献

- (1) RCJS-5-1 (第2版):2014. 静電気現象からの電子デバイスの保護 一般要求事項. RCJ.



板垣 達也 ITAGAKI Tatsuya
 研究開発本部 生産技術センター
 実装技術研究部
 Electronic Packaging & Assembly Technology Research Dept.