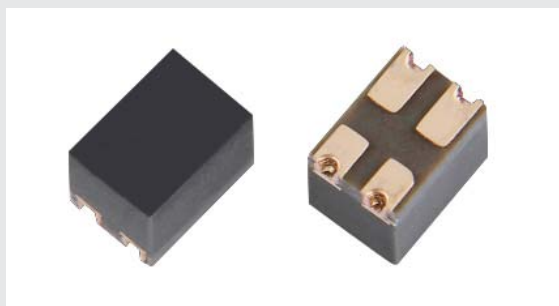


電子デバイス事業領域では、情報化（ビッグデータ）社会と省エネ社会への貢献を目指し、車載領域のほか、産業領域や、メモリー・ストレージ領域などに向け、新しい半導体製品やストレージ製品の先端開発を進めています。超小型フォトリレーや、モータードライバー IC、3次元フラッシュメモリー、エンタープライズ向け SSD などの開発に取り組んでいます。

### ■ 高周波に対応した超小型 S-VSON フォトリレー TLP3440S



高周波に対応可能で実装面積が業界最小のフォトリレー TLP3440S

TLP3440S photorelay for high-frequency signal applications with small mounting area

業界最小<sup>(注)</sup>となる S-VSON4 パッケージのフォトリレー製品を開発した。テスター用途に開発した既存品の VSON4 パッケージと比べて実装面積で約 22.5% の削減を実現し、更に、動作温度保証の最大温度を既存品の 85℃ から 110℃ へと拡張した。

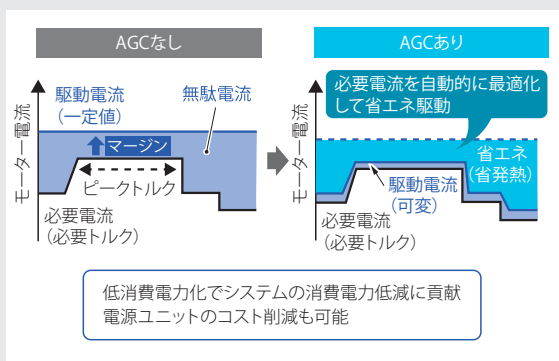
S-VSON4 パッケージの製品では、1.5 A/30 V、1 A/60 V、0.65 A/100 V の大電流制御が可能な TLP3406S、TLP3407S、TLP3409S と、リレー接点オン時の通過特性を向上させた TLP3475S をラインアップ化している。

今回新たに、出力端子間のオフ容量を低減できるラテラル MOS（金属酸化膜半導体）を小型パッケージ用に開発し、接点オフ時の高周波信号によるリーク特性を向上させた、TLP3440S をラインアップに加えた。テスターボードの小型化やフォトリレー搭載員数の増加で集積密度向上に貢献できる。

(注) 2017年11月現在、フォトリレーとして、当社調べ。

東芝デバイス&ストレージ(株)

### ■ 次世代の脱調防止ステッピングモータードライバー IC



AGCによる脱調防止技術

Active gain control (AGC) technology to reduce drive current of stepping motor according to load

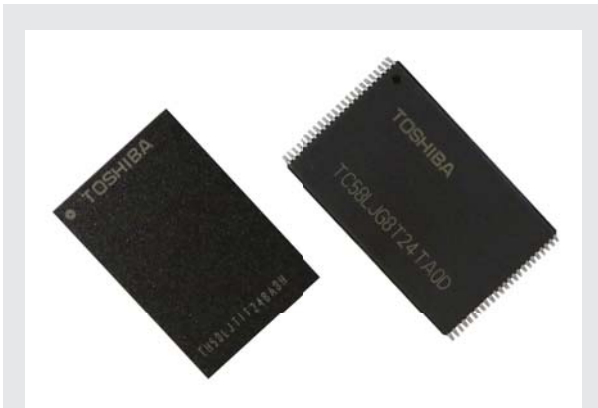
OA や産業機器で多用されるステッピングモーターは、速度帰還回路なしに指令どおりの速度でモーターを駆動できることから、多くの分野で採用され、年々需要が増加している。しかし、帰還がないと、入力パルス信号とモーター回転とが同期しなくなる脱調と呼ばれる問題があり、これを避けるにはピークトルクに応じた一定の駆動電流が必要のため、電力消費を下げられないという課題があった。

今回、AGC (Active Gain Control) と呼ばれるオリジナルの高効率駆動技術を搭載したドライバー IC として、TB67S289 シリーズを製品化した。誘起電圧のリアルタイム検出処理により駆動電流の制御を自動化することで、脱調を回避し、低負荷状態の AGC オン時にモーターで消費される駆動電流を、AGC オフ時と比較して最大 40% まで低減した。これによりユーザーは、電源ユニットのコストも低減できる。

関係論文：東芝レビュー. 72, 2, 2017, p.53-56.

東芝デバイス&ストレージ(株)

## ■ 96層積層プロセスを用いた第4世代3次元フラッシュメモリー BiCS FLASH™



96層積層プロセスを用いた3次元フラッシュメモリー  
BiCS FLASH™  
BiCS FLASH™ three-dimensional (3D) flash memory fabricated  
using 96-layer stacking process

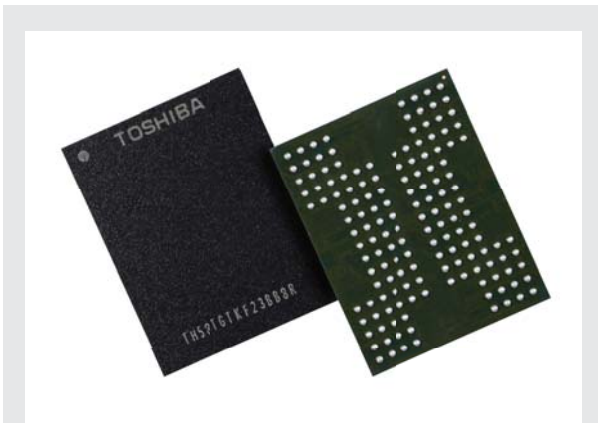
96層の積層プロセスを適用したTLC (Triple Level Cell : 3ビット/セル) から成る256 Gビット (32 Gバイト) の3次元フラッシュメモリー BiCS FLASH™を試作し、基本動作を確認した。

回路技術やプロセスを最適化してチップサイズを小型化し、64層の積層プロセスを用いたBiCS FLASH™と比べて単位面積当たりのメモリー容量を約1.4倍に大容量化した。また、チップサイズの小型化により1枚のシリコンウエハーから生産されるメモリー容量を増やし、ビット当たりのコスト削減を実現した。

2018年に量産を開始するとともに、今後は512 Gビット (64 Gバイト) をはじめ、QLC (Quad Level Cell : 4ビット/セル) のBiCS FLASH™などの製品化も行い、データセンター向けエンタープライズSSD (ソリッドステートドライブ) や、PC (パソコン) 向けSSD、スマートフォン、タブレット、メモリーカードなどを中心に、市場のニーズに合わせた製品展開を進めていく。

東芝メモリ (株)

## ■ 3次元フラッシュメモリー BiCS FLASH™を大容量化するQLC技術



QLC技術を用いた3次元フラッシュメモリー BiCS FLASH™  
768 Gbit four-bit-per-cell (quadruple-level cell: QLC)  
BiCS FLASH™ 3D flash memory

3次元フラッシュメモリーは、近年、データセンター用SSDなどに向けた需要が高まり、メモリーの大容量化、小型化がますます求められている。こうしたニーズに応えるため、QLC技術を用いた3次元フラッシュメモリー BiCS FLASH™チップを世界で初めて<sup>(注1)</sup>試作し、基本動作を確認した。

QLCでは、従来のTLCより、メモリーセルに記憶されるビット数が1ビット増えるので、より大容量のメモリー製品を低コストで実現できる。

フラッシュメモリーは、メモリーセルに蓄える電子数を制御してデータを記憶する。QLCは、TLCの2倍の精度で電子数を制御する必要があるが、サンディスク社と共同開発した先進的な制御回路技術で、精度の高い制御を可能にした。

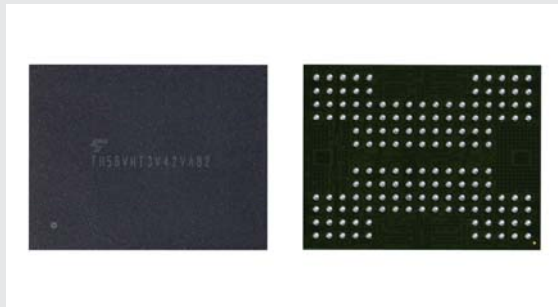
また、一つのパッケージ内に768 Gビットのチップを16段積層し、業界最大容量<sup>(注2)</sup>の1.5 T (テラ : 10<sup>12</sup>) バイトを実現するパッケージ製品のサンプル出荷を、2017年8月から開始した。今後も、3次元フラッシュメモリー技術を進化させ、競争力を強化していく。

(注1) 2017年10月時点、当社調べ。

(注2) 2017年10月現在、当社調べ。

東芝メモリ (株)

## ■ 3次元フラッシュメモリー BiCS FLASH™への適用で電力効率向上と大容量化の両立を実現するTSV技術



TSV技術を用いた3次元フラッシュメモリー BiCS FLASH™  
BiCS FLASH™ 3D flash memory fabricated using through-silicon via (TSV) technology

TSV (Through Silicon Via) 技術を世界で初めて<sup>(注1)</sup>3次元フラッシュメモリー BiCS FLASH™へ適用し、2017年6月からサンプル<sup>(注2)</sup>出荷を開始した。

TSV技術は、複数のチップの内部を、垂直に貫通する多数の電極で接続することで、データ入出力の高速化と消費電力の低減を可能とする。

今回、48層積層プロセス3次元フラッシュメモリーにTSV技術を適用することで、電力効率を向上させるとともに、512 Gビットのチップを一つのパッケージ内に16段積層した総容量1 Tバイトの大容量を実現した。また、書き込みバンド幅と消費電力性能の向上に成功し、同世代の3次元フラッシュメモリーとの比較で約2倍の電力効率を実現した。

(注1) 2017年7月時点、当社調べ。

(注2) 機能評価用のサンプル。量産時のサンプルとは仕様異なる。

東芝メモリ(株)

## ■ 業界で初めて64層積層プロセスによる3次元フラッシュメモリーを搭載したエンタープライズ向けSSD



エンタープライズSSD PM5/CM5 シリーズ  
PM5/CM5 series solid-state drives (SSDs) for enterprise applications

業界で初めて<sup>(注)</sup>64層3次元フラッシュメモリー BiCS FLASH™を搭載したエンタープライズ向けSSDとして、12 Gビット/sのSAS (Serial Attached SCSI (Small Computer System Interface)) に対応した“PM5シリーズ”と、NVMe Express™ (NVMe™) に対応した“CM5シリーズ”を製品化した。当社製BiCS FLASH™は積層プロセスによりメモリーの集積度を向上させており、従来以上の大容量・低コスト化を実現している。

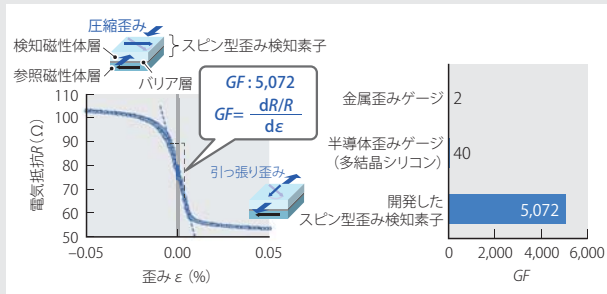
PM5シリーズは、業界初<sup>(注)</sup>のMultiLink SASアーキテクチャーを搭載し、高性能を実現した。また、データ属性を基にSSDへのデータ記録位置を仕分けして管理するマルチストリームライト技術の搭載で、性能、寿命、及びQoS (Quality of Service) を向上させた。

CM5シリーズは、当社の次世代エンタープライズ向けNVMe™ SSDとして初となるデュアルポート PCIe® Gen3 x4に対応するとともに、PM5シリーズと同様に、マルチストリームライト技術も搭載している。

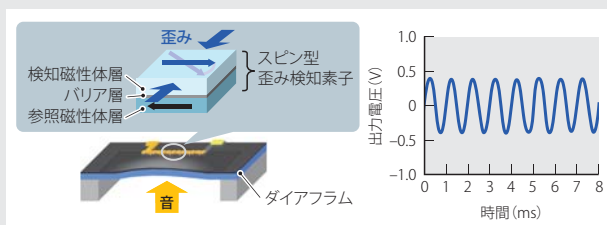
(注) 2017年8月時点、当社調べ。

東芝メモリ(株)

## ■ スピンMEMS技術による超高感度歪み検知素子の実現とマイクロホンの動作実証



開発したスピン型歪み検知素子と従来の歪みゲージとの性能比較  
Comparison of performance of conventional strain gauges and spintronic strain-gauge sensor element



スピンMEMSマイクロホンによる音検出の動作実証  
Demonstration of sound detection by means of prototype spintronic microelectromechanical systems (MEMS) microphone

スマートフォンや、車載機器、IoT (Internet of Things) デバイス向けに、小型化・大量生産が可能なMEMS (Micro Electro Mechanical Systems) 技術を用いたセンサーの市場規模が急速に拡大しており、高感度化に対する要求が高まっている。

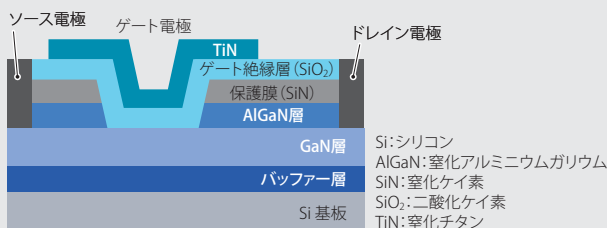
当社は、高感度なMEMSセンサーを実現するため、ハードディスクドライブ (HDD) や磁気ランダムアクセスメモリー (MRAM: Magnetoresistive RAM) で培ってきたスピントロニクス技術とMEMS技術を融合したスピンMEMS技術を開発した。高磁歪 (じわい) 材料であるアモルファス鉄・ホウ素合金を用いることで、金属歪み (ひずみ) ゲージに比べ2,500倍、半導体歪みゲージに比べ100倍以上の極めて高い歪み検知感度 (GF: Gauge Factor) を持つスピン型歪み検知素子を実現した。また、このスピン型歪み検知素子をMEMSダイアフラム上に搭載した、スピンMEMSマイクロホンによる音の検出に世界で初めて<sup>(注)</sup>成功した。

(注) 2017年6月にTransducers 2017で発表, 当社調べ。

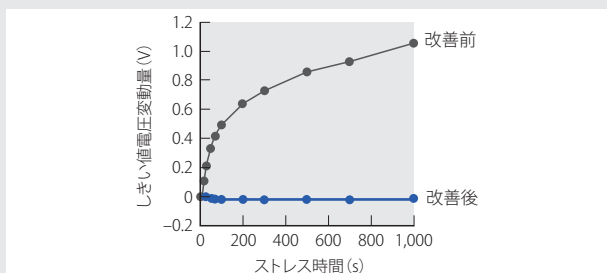
関係論文: 東芝レビュー. 73, 1, 2018, p.44-48.

研究開発センター

## ■ MOS型 GaN パワーデバイスのゲート信頼性を向上させるプロセス技術



MOS型トランジスタの断面構造  
Cross-sectional structure of gallium nitride metal-oxide-semiconductor field-effect transistor (GaN-MOSFET)



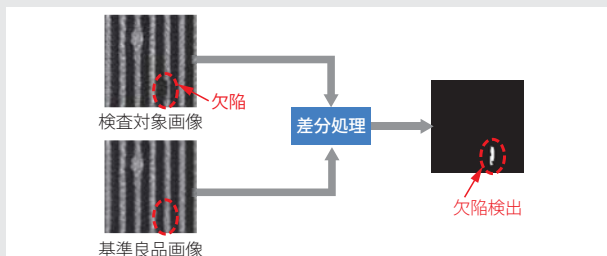
信頼性評価におけるしきい値電圧の変動特性  
Changes in threshold voltage in reliability tests before and after process improvement

GaN (窒化ガリウム) 半導体を用いた電界効果トランジスタは、高耐電圧性や高速性を有しており、電源などの電力変換素子として利用すると高い変換効率を得られる。特にゲート構造を、金属電極/絶縁層/半導体から成るMOS型にすれば、より高速性に優れた構造になる。しかしこれまで、MOS型トランジスタは、信頼性評価においてしきい値電圧が変動して時間とともに特性が変化するという問題があった。そこで、変動要因の解明に取り組み、電気特性や光学応答の解析から、ゲート絶縁層の電子トラップが原因であることが分かった。この対策として、ゲート絶縁層の成膜後に高温下での熱処理時間を延ばすことで、絶縁層内のトラップに関わる不純物を除去し、しきい値電圧の変動を抑制できることを見いだした。これにより、ゲート信頼性に優れたGaN半導体のMOS型トランジスタを実現する基盤技術が得られた。

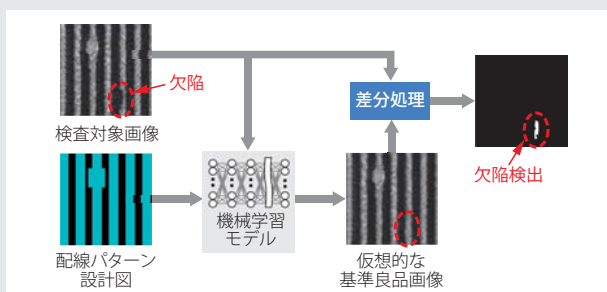
研究開発センター



## SEM 画像での機械学習を用いた良品比較検査技術



従来の良品比較検査  
Conventional comparative inspection of defects in wiring patterns



機械学習モデルを用いた良品比較検査  
Comparative inspection using machine learning model

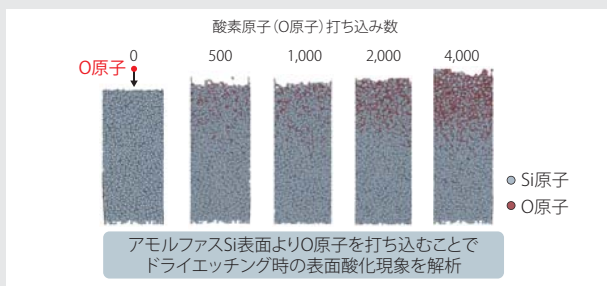
走査型電子顕微鏡（SEM：Scanning Electron Microscope）の画像から、機械学習を用いて、半導体配線パターンのよれや倒壊などの不良判定を自動的に行う良品比較検査技術を開発した。

従来、SEM画像による配線パターンの不良判定は、基準良品画像と比較することで検査していたが、この方法ではあらかじめ基準良品画像を計測しておくことが必要であった。

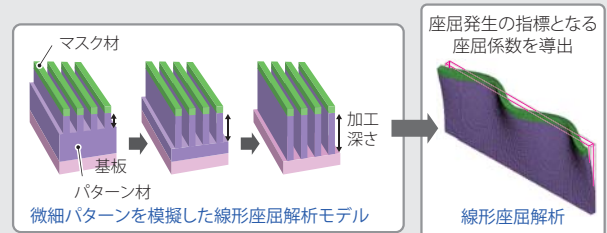
そこで今回、配線パターン設計図とSEM画像の対応関係を事前に学習した機械学習のモデルを用いることで、設計図からの仮想的な基準良品画像の生成に成功した。これにより、基準良品画像の計測が不要になり、計測時間を短縮して効率的に検査できるようになった。

生産技術センター

## 分子動力学法を用いた座屈不良解析の高精度化



分子動力学法を用いたアモルファスSiの表面酸化解析  
Molecular dynamics simulation of oxidation of amorphous silicon surface



有限要素法を用いた線形座屈解析  
Linear buckling analysis using finite element method

半導体デバイスの微細化に対応した応力シミュレーション技術を開発した。

半導体デバイスでは、微細化に伴って機械的強度が低下し、微細パターンが波状に変形する座屈不良という新たな問題が顕在化している。微細パターンのドライエッチング時に、表面酸化に伴って発生する応力が、座屈不良の原因となっているが、膜厚が数nmしかない表面酸化層の応力測定は困難であった。

そこで、分子動力学法を用いて表面酸化層に発生する応力を定量的に解析し、得られた応力値を有限要素法の座屈解析に反映させることで、座屈不良の発生を高精度に予測する手法を開発した。

この技術を用いて、次世代半導体デバイスのプロセス構築に適用した。開発の初期段階で、座屈の危険性が高い工程を抽出して不良を低減するための指針を提示することで、開発コスト低減と歩留まり向上に寄与している。

関係論文：東芝レビュー. 73, 1, 2018, p.30-34.

生産技術センター