

クロスバー型アンチヒューズメモリーを用いた高集積FPGA回路技術

High-Density FPGA Circuit Technology Using Pure-CMOS Crossbar Antifuse Memory

安田 心一 小田 聖翔 松本 麻里

■ YASUDA Shinichi ■ ODA Masato ■ MATSUMOTO Mari

東芝は、クロスバー構造のアンチヒューズメモリーを用いた、高集積FPGA (Field Programmable Gate Array) 回路技術を開発した。

標準CMOS (相補型金属酸化膜半導体) プロセスで形成したアンチヒューズメモリーを用いてクロスバー配線を構成し、低電圧ロジックトランジスタと隣接させて直接接続することで、回路面積の大幅低減と配線接続の柔軟性向上を実現した。また、このアンチヒューズメモリーは標準のデザインルールに準拠して作製できるため、混載FPGA回路として他の回路と同一チップに作製することも容易である。65 nmプロセスを用いて試作したテストチップでは、1 mm²当たりルックアップテーブル (LUT) 1,835個のロジック密度を達成し、同一プロセスでの比較でもっとも高集積^(注1)なFPGAが実現できることを確認した。

Toshiba has developed a high-density field-programmable gate array (FPGA) circuit technology using a novel crossbar antifuse memory.

This technology makes it possible to drastically reduce the circuit area and to increase the routability through the crossbar architecture by means of an antifuse memory, which is fabricated using a pure complementary metal-oxide semiconductor (CMOS) process, adjacently integrated into low-voltage logic transistors. In addition, as the crossbar antifuse technique is based on the standard design rule of the advanced CMOS process, it can facilitate the development of user-customizable embedded logic in a system on a chip (SoC). Experiments on a prototype chip fabricated using 65 nm CMOS process technology have verified that it achieves a higher logic density of 1,835 look-up tables (LUTs)/mm² compared with other FPGA technologies fabricated using the same 65 nm CMOS process.

1 まえがき

IoT (Internet of Things) の普及に伴って、少量多品種の生産に対応できるSoC (System on a Chip) が求められている。特に、ユーザー独自開発のアルゴリズムを組み込んだアクセラレーターなどを用途ごとに実現する場合、混載FPGAの利用は消費電力当たりの性能面からもっとも有効な解である。これまで様々な混載FPGAや標準CMOSベースのFPGAが提案されているが⁽¹⁾⁻⁽³⁾、それらの回路面積は依然大きく、コスト面の制約からSoCへの適用は少量のゲート規模に限られている。更に組み込み用途では、回路上の使用していないエリアを電源遮断して低消費電力化するため、不揮発であることが望まれる。新規のメモリー技術によるクロスバー配線アーキテクチャーを用いた小面積FPGAも提案されているが⁽⁴⁾、新規のメモリー技術をSoC上の混載FPGAに直ちに用いることは難しい。

ここでは、CMOSトランジスタベースのアンチヒューズメモリーを用いた、標準CMOSプロセス準拠のクロスバー配線アーキテクチャーと、それを用いた高集積FPGA回路技術について述べる。従来のアンチヒューズFPGAとは異なり^{(5), (6)}、

(注1) 2016年6月にSymposia on VLSI Technology and Circuitsで発表、当社調べ。

構築したFPGAは標準の論理CMOSプロセスのデザインルールに従って構成可能であり、先端CMOSプロセスにも利用できる。またスタンドアロンFPGAだけでなく、高集積度のFPGAブロックと他の回路とを混載したSoCにも使用できる。

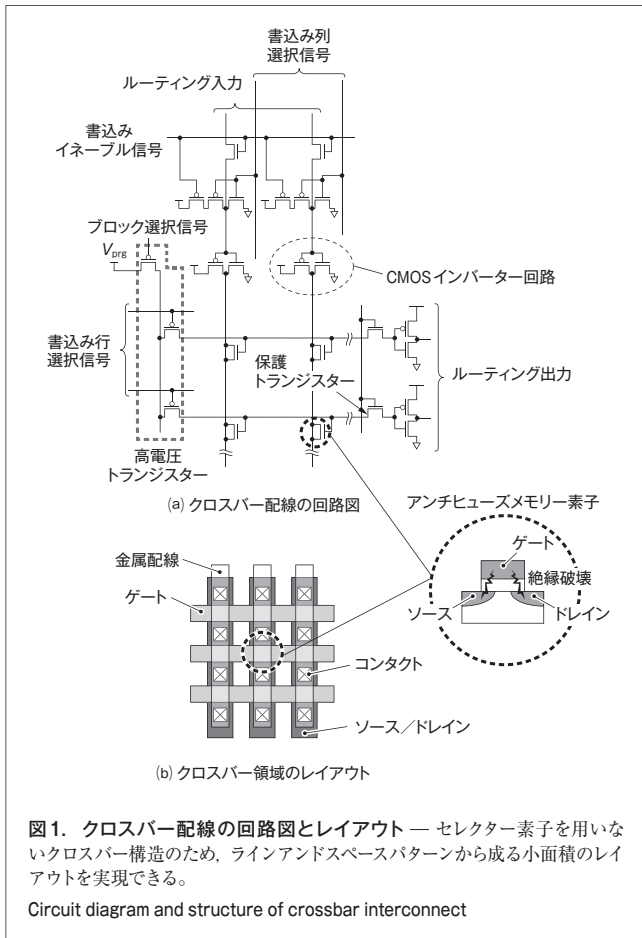
2 クロスバー配線アーキテクチャー

FPGAは、基本的な論理演算を行う多数のロジックブロックと、ロジックブロックやI/O (Input/Output) 信号の接続の切り替えを行うスイッチブロック (SB) で構成される。SBは多数のマルチプレクサー回路から成るため、従来のCMOS回路ではチップ内で大きな回路面積を必要としていた。

今回SBとして適用可能な、アンチヒューズメモリー素子を利用したクロスバー配線を開発した。開発したクロスバー配線は、ルーティング入力につながる複数の列方向の配線と、ルーティング出力につながる複数の行方向の配線で構成される。列と行の配線の交点には、二つを接続するかしないかを設定するために、アンチヒューズメモリー素子を配置する。

2.1 アンチヒューズメモリー素子を用いたクロスバー配線回路

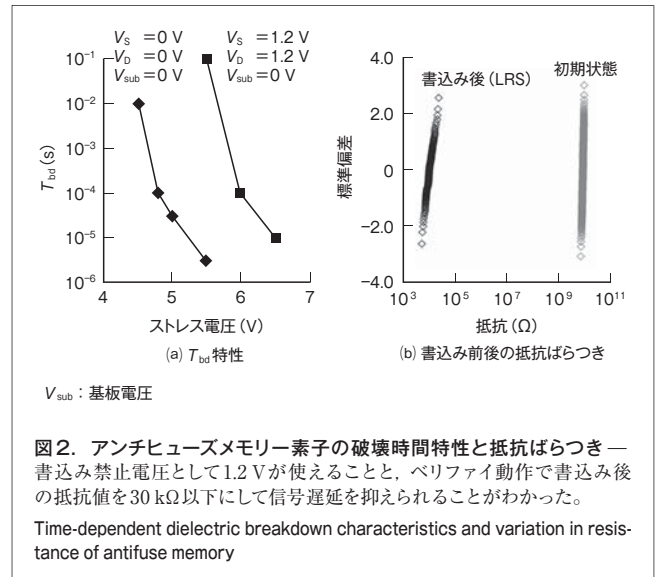
アンチヒューズメモリー素子とその周辺回路を含むクロスバー配線の回路図を図1(a)に示す。アンチヒューズメモリー素



子への書き込み（接続）は、ゲート端子に書き込み電圧 (V_{prg}) を印加することで行う。ゲートと、少なくともソース又はドレインとの間で絶縁破壊を起こすことで、列方向の配線と行方向の配線を電氣的に接続する。

アンチヒューズメモリー素子は標準の低電圧ロジックトランジスタであり、通常使われるセレクター素子を用いていない。論理信号は、列方向の配線から行方向の配線へ、書き込んだアンチヒューズメモリー素子を経由して伝導する。ただし論理信号の向きは、列方向から入力し行方向へ出力するように固定される。同一行では一つのアンチヒューズメモリー素子だけが書き込み可能になるように制限することで、セレクター素子がなくても任意のアンチヒューズメモリー素子に書き込むことができ、回路面積の縮小につながる。

列方向の配線に接続されるCMOSインバーター回路は、論理信号の駆動と、アンチヒューズメモリー素子の書き込み時の電流引込みとの両方に用いられる。高電圧トランジスタは V_{prg} を印加する部分だけに使用している。高電圧トランジスタに V_{prg} のストレスが掛かるのは、行ごとに書き込みパルスが印加される、短時間である。そのため、ここにはI/O向けに標準で用意されている高電圧トランジスタを使用しても、実使用時に影響を与えるほど劣化することはない。その他の回



路は全て低電圧ロジックトランジスタであるため、回路を高密度に作製できる。アンチヒューズメモリー素子と周辺回路を構成するトランジスタは同じ素子であるため、アンチヒューズメモリー素子を書き込む際に誤って破壊しないようにしなければならない。そこでルーティング出力の直前にあるCMOSインバーター回路を保護するために保護トランジスタを挿入する。

アンチヒューズメモリー素子に書き込む際、表面ポテンシャル差により蓄積状態のソース-ドレイン間のオーバーラップ領域が、反転状態のチャネル領域よりも先に破壊されるため、ゲートから基板へは低電流状態が維持される。これにより、クロスバーを構成する各素子が基板を通じて導通することがないため、図1(b)に示すような、ラインアンドスペースパターンから成る高密度クロスバーが作製可能になる。

2.2 書き込み後のアンチヒューズメモリー素子の特性

65 nmプロセスで試作したアンチヒューズメモリー素子の破壊時間 (T_{bd}) 特性を図2(a)に示す。ソース電圧 (V_S) とドレイン電圧 (V_D) として電源電圧1.2 Vを印加した場合の T_{bd} は、 V_S と V_D を0 Vにした場合の T_{bd} に比べて、同一のストレス電圧に対して4桁以上長い。一つのアンチヒューズメモリー素子に書き込む際に、同じ行の他の素子に印加する書き込み禁止電圧として、電源電圧1.2 Vが十分に使用可能であることがわかる。

アンチヒューズメモリー素子の抵抗ばらつきを図2(b)に示す。論理信号は書き込み済みのアンチヒューズメモリー素子を通して伝搬するため、特に書き込み後のアンチヒューズメモリー素子の抵抗 (LRS: Low Resistance State) はFPGAの動作性能に直結する。書き込み後に電流値を読み、抵抗値が30 kΩよりも高い場合には再書き込みを行うベリファイ動作により、LRS抵抗値を30 kΩ以下に抑えることができる。ワースト値が30 kΩであれば、FPGAの動作遅延が従来のCMOS回路ベースの配線と同等レベルになることをシミュレーションで確

認しており、ベリファイ動作で、素子抵抗による信号遅延を最小限にできる。

高抵抗状態（非接続）は書き込み前の絶縁状態である。試作した回路ではアンチヒューズメモリー素子ごとにセレクター素子を設けていないので、素子の高抵抗状態で回り込み電流を抑える必要があるが、絶縁状態であるため十分な抵抗値が得られている。

クロスバー配線では、論理信号が書き込み済みのアンチヒューズメモリー素子を通し続けるため、FPGA動作中は、素子は常に読出し状態になる。これは通常のメモリーとは異なる動作であり、読出しディスタープのリスクが増加する。しかし、アンチヒューズメモリー素子では、書き込み済みの素子は不可逆的に絶縁破壊されており、ディスタープについては問題ないと考えられる。実際、読出し電圧1.2Vを通電したままで60時間以上放置しても、抵抗値に変化は見られなかった。

また、このアンチヒューズメモリー素子の基本回路は28nmプロセスでも問題なく書き込めること、及び列方向と行方向の配線が電氣的に接続され論理信号を伝搬できることを確認した。 V_{prg} は微細化とともに低下し、低消費電力での書き込みが可能になる。

2.3 周辺トランジスタの信頼性確認

アンチヒューズメモリー素子と直接接続される周辺の低電圧ロジックトランジスタは、書き込み時の電圧や書き込み後の突入電流に対して耐性を持たなければならない。行方向の保護トランジスタは、アンチヒューズメモリー素子の書き込み時に、ソース側に高電圧ストレスが印加されるが、その際は保護トランジスタの破壊を防ぐためにゲートに保護電圧を印加する。図3(a)は、書き込みストレス印加後の保護トランジスタと、ストレスを印加していないトランジスタの T_{bd} 特性を比較したものである。書き込みストレスの有無による特性の差は見られず、ゲート電圧に適切な保護電圧を与えることで、書き込み電圧によるダメージを無視できるレベルに抑えられる。

同様に、書き込み時に電流が引き込まれる側の、列方向に配置されるn型MOS（金属酸化膜半導体）トランジスタ（以下、引込みトランジスタと呼ぶ）の T_{bd} を図3(b)に示す。引込みトランジスタには、書き込み後に突入電流が流れることになり、その際に絶縁膜に高エネルギーのキャリアがトラップされ劣化が起きることが懸念された。しかし、図3(b)に見られるように T_{bd} に目立った変化はなく、突入電流によるダメージは保護トランジスタと同様に無視できることがわかる。

また行方向と異なり、同一列では複数のアンチヒューズメモリー素子に書き込みが行われる可能性があり、引込みトランジスタはそのたびにストレスを受ける。図3(c)に、書き込み回数とゲートしきい値電圧の関係を示す。繰返し書き込みによるゲートしきい値電圧の変動は見られず、書き込みによるダメージは無視できるレベルにあることがわかる。

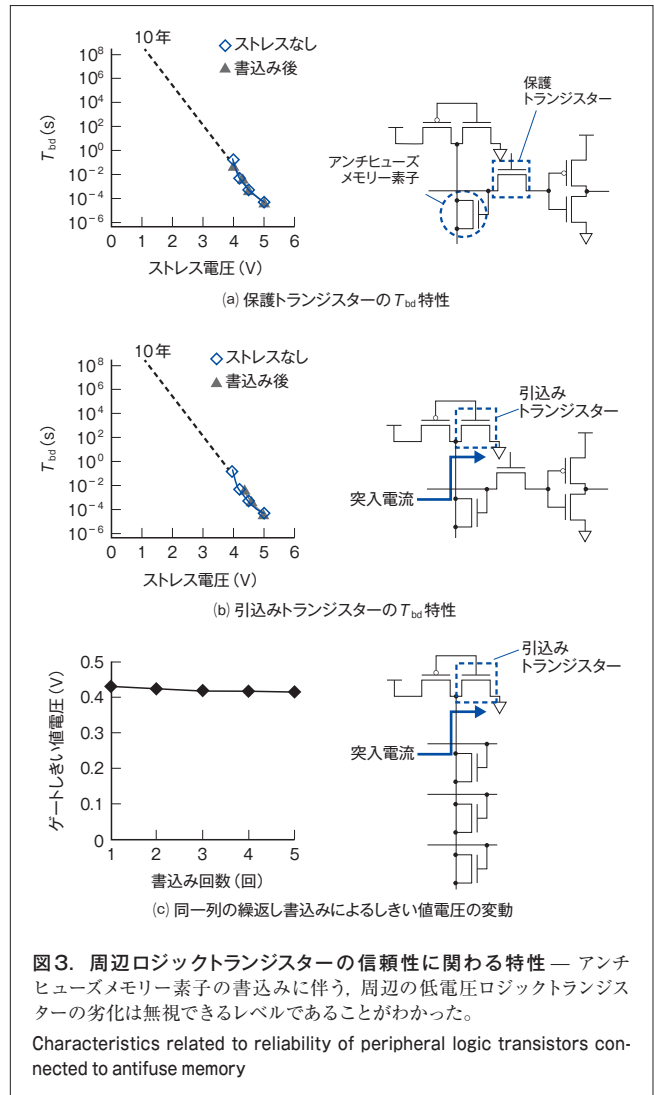


図3. 周辺ロジックトランジスタの信頼性に関する特性 — アンチヒューズメモリー素子の書き込みに伴う、周辺の低電圧ロジックトランジスタの劣化は無視できるレベルであることがわかった。

Characteristics related to reliability of peripheral logic transistors connected to antifuse memory

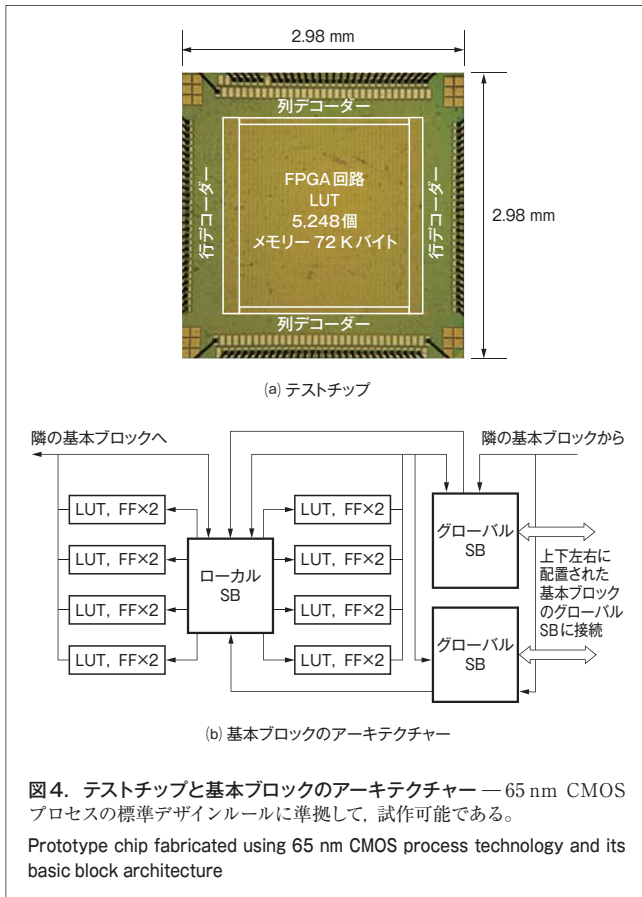
これらにより、アンチヒューズメモリー素子の書き込みストレスによる周辺の低電圧ロジックトランジスタへのダメージは問題ないことが確認できた。

3 FPGAテスト回路

アンチヒューズメモリー素子を用いたクロスバー配線を、SBとして使用してFPGAテスト回路を試作し、動作を確認した。

65nmプロセスで試作したテストチップの写真と、基本ブロックのアーキテクチャーを図4に示す。図4(a)のテストチップは4入力LUTが5,248個と合計72KバイトのRAMを備えている。図4(b)に示す一つの基本ブロックは、8個のLUT、16個のフリップフロップ (FF)、二つのグローバルSB、及び一つのローカルSBを持つ。基本ブロックサイズは $95.8 \times 45.5 \mu\text{m}^2$ で、RAMを除いたロジック密度として $1,835 \text{ LUT}/\text{mm}^2$ の集積度を実現した。

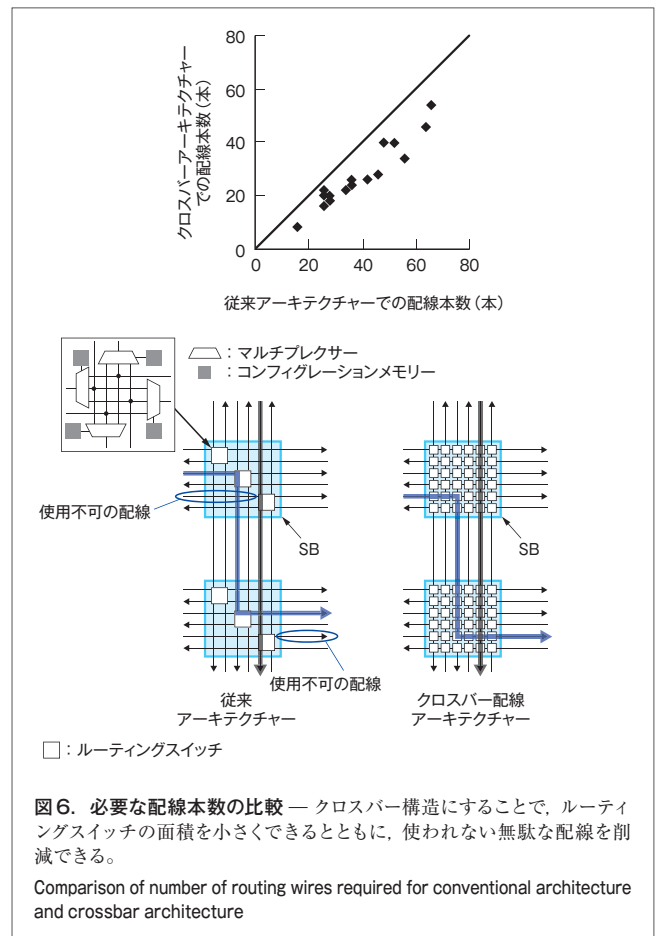
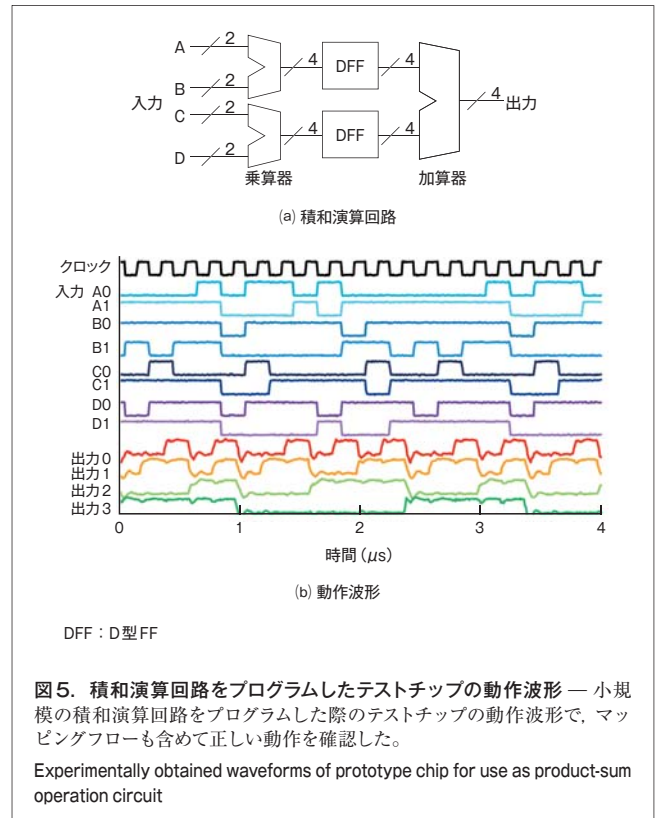
試作した回路が設計したとおりの機能を持つことを確認す

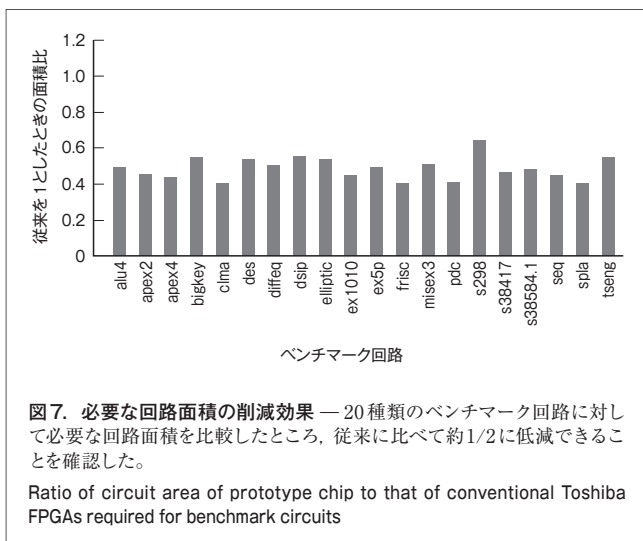


るために、いくつかの基本的な回路を書き込んで動作確認を行った。図5は、小規模な積和演算をテストチップに書き込み、動作させたときのオシロスコープ出力波形を示したものである。回路として設計どおりの動作をしていることを確認した。

図6は回路をFPGAにマッピングする際に必要となる配線数を、独自の配置配線アルゴリズムを用いて計算したものである。従来アーキテクチャーのコンフィグレーションメモリとマルチプレクサーによる配線ではルーティングスイッチの面積が大きいので、必要最小限の箇所にしかルーティングスイッチを配置できない。また、一つのルーティングスイッチを複数の論理信号線が共有するため、回路構成によっては使用不可となる配線が生じることがあった。これに対して、クロスバー配線アーキテクチャーでは、ルーティングスイッチがアンチヒューズメモリー素子一つであり、小さいので全ての交点に配置して任意に配線できるため、ルーティングの自由度が増し、配線の使用効率を向上できる。必要配線数が削減できれば、それに付随して必要な回路も減らせるため、よりいっそう回路の小型化及びロジック密度の高集積化に寄与できる。

図7は、いくつかのベンチマーク回路に対して配置配線アルゴリズムを用いてマッピングした後の面積を比較した結果である。削減効果に大小はあるが、面積は従来の先端FPGA回路に対して約1/2に低減できることがわかった。





- (3) Wang, C. C. et al. "27.5 A multi-Granularity FPGA with hierarchical interconnects for efficient and flexible mobile computing". Dig. Tech. Papers 2014 IEEE International Solid-State Circuits Conference (ISSCC 2014). San Francisco, CA, USA, 2014-02, IEEE. 2014, p.460 - 461.
- (4) Miyamura, M. et al. "First demonstration of logic mapping on nonvolatile programmable cell using complementary atom switch". IEDM Tech. Dig. 2012 International Electron Devices Meeting. San Francisco, CA, USA, 2012-12, IEEE.2012, p.10.6.1 - 10.6.4.
- (5) Rockett, L. et al "Radiation Hardened FPGA Technology for Space Applications". Proceedings of 2007 IEEE Aerospace Conference. Big Sky, MT, USA, 2007-03, IEEE. 2003, p.1 - 7.
- (6) Kang, C. W. et al. "Technology mapping and packing for coarse-grained, antifuse based FPGAs". Proceedings of the Asia and South Pacific-Design Automation Conference (ASP-DAC) 2004. Yokohama, Japan, 2004-01, IEEE. 2004, p.209 - 211.

5 あとがき

標準CMOSプロセスで作製可能であり、SoCへの混載が容易なFPGA技術を開発した。標準の低電圧ロジックトランジスタを用いたアンチヒューズメモリーと、それを用いたクロスバー配線は、回路面積とFPGAの必要配線数を削減することができる。また、65 nm CMOSプロセスを用いてテスト回路を試作し、これまでで最大のロジック密度を達成した。更にクロスバー配線を用いた回路が、FPGAとして実動作可能であることを確認した。

文献

- (1) Ahmed, S. Z. et al. "Exploration of Power Reduction and Performance Enhancement in LEON3 Processor with ESL Reprogrammable eFPGA in Processor Pipeline and as a Co-Processor". Proceedings of Design, Automation & Test in Europe 2009. Nice, France, 2009-04, EDAA 2009, p.184 - 189.
- (2) Cuppini, M. et al. "Soft-core eFPGA for Smart Power applications". Proceedings of 2014 International Symposium on System-on-Chip (SoC), Tampere, Finland, 2014-10, IEEE. 2014, p.1 - 4.



安田 心一 YASUDA Shinichi

技術統括部 研究開発センター LSI基盤技術ラボラトリー 主任研究員。半導体ナノデバイスを用いた回路及びアーキテクチャーの研究・開発に従事。IEEE会員。
Advanced LSI Technology Laboratory



小田 聖翔 ODA Masato

技術統括部 研究開発センター LSI基盤技術ラボラトリー。半導体ナノデバイスを用いた回路及びアーキテクチャーの研究・開発に従事。電子情報通信学会会員。
Advanced LSI Technology Laboratory



松本 麻里 MATSUMOTO Mari

技術統括部 研究開発センター LSI基盤技術ラボラトリー 研究主務。システムLSI用半導体ナノデバイスの研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Laboratory