

半導体部品向け超小型パッケージのローコスト化技術

Technologies to Reduce Manufacturing Cost of Super-Small Package for Semiconductor Devices

岩上 泰之 飯田 昭男 竹内 修
 ■IWAGAMI Yasuyuki ■IIDA Akio ■TAKEUCHI Osamu

タブレットやウェアラブル端末などの通信技術の進歩や多機能化に伴って、半導体部品の点数が増加し、小型・薄型化による高密度実装が求められている。東芝は、半導体部品の超小型パッケージとして0.62 (幅) × 0.32 (長さ) × 0.3 (高さ) mmのSC2 (以下、従来品と呼ぶ)を開発した。

更なる市場要求に応えるために、新たに従来品と同じサイズのローコストパッケージSL2を開発した。SL2は、超小型パッケージでの実用が難しいとされるスタンピングリードフレームを用いているのが特徴で、当社がこれまでに培った技術の導入と新規技術の開発により、従来品に比較して33%のローコスト化を実現した。

With the increase in the number of parts installed in tablets and wearable devices accompanying the progress of telecommunication technologies and expanding multifunctionality, demand has been growing in recent years for higher density packages to reduce the size and thickness of such products. Toshiba released the SC2 super-small package for semiconductor devices, with dimensions of 0.62 mm in width, 0.32 mm in length, and 0.3 mm in height, in 2004 to cater to this demand.

Going to a step further, we developed the SL2 package, a new low-cost super-small package with the same dimensions as the SC2, in September 2014. Through the application of a stamped lead frame to the SL2 based on our accumulated technologies in addition to newly developed technologies, the SL2 package realizes a 33% reduction in manufacturing cost compared with the SC2.

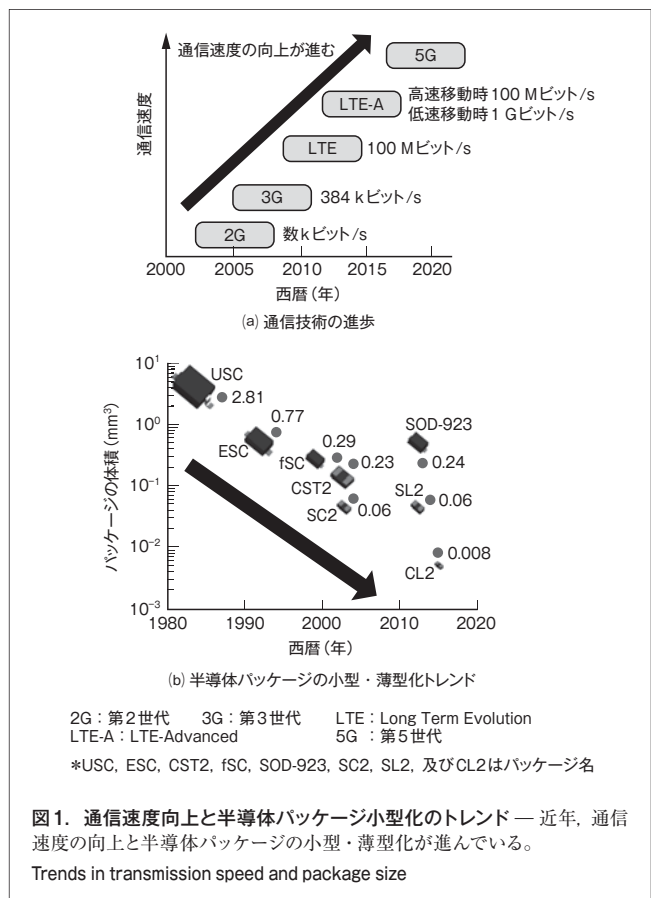
1 まえがき

半導体パッケージは、家電製品や、パソコン、車載機器などの様々な電子機器で使用されている。小信号デバイスとしては、特にタブレットやウェアラブル端末での需要が拡大しているが、その市場だけでも世界で年に1,000億円近くの規模が見込まれている。

近年、通信速度の向上などネットワークの継続的發展に伴い、電子機器での通信技術の進歩と、高機能化や多機能化により、使用される電子部品の部品点数が増加している。また、バッテリーの長時間化も求められバッテリー容量が増加し、電子部品を実装するスペースも限られてきている。このような背景のなかで、プリント回路基板の縮小化が加速し、半導体パッケージの小型・薄型化が進んでいる(図1)。

市場全体では、1.0 (幅) × 0.6 (長さ) mmサイズのパッケージが主流であるが、更なる高密度実装が求められて0.6 (幅) × 0.3 (長さ) mmサイズ(0603)への移行が加速し、東芝は2004年に従来品を量産化した。

更なる市場要求に応えるために、当社は、超小型ローコストパッケージSL2を開発し、2014年9月から量産を開始した。ここでは、このSL2を実現した技術について述べる。



2 SL2の概要

開発した超小型ローコストパッケージSL2は、従来品のコスト競争力を高めたパッケージと位置づけた。ターゲットコストは、他社ベンチマークと将来の価格下落予測から、従来品の価格より33%低く設定した。直接材料費に占める割合がもっとも高い電気鋳造基板を、より低コストのスタンピングリードフレームに変更して、パッケージを開発することを方針とした。

従来品は、0.3 mmのパッケージ高さを実現するために、電極部の厚みが薄い電気鋳造基板を用いた組立プロセスフローを採用することで、薄型パッケージ内にチップとワイヤをレイアウトしていた。また、材料効率を上げる目的で、モールドアレイパッケージ (MAP) 形態の一括成形方式のモールドプロセス (以下、MAPモールドと略記) を採用しており、ダイシングプロセスで個片化して最終製品とする。これに対し、ローコストパッケージのSL2は、スタンピングリードフレームと個片成形方式のモールドプロセス (以下、個片キャビティモールドと略記) を用いた製品である。

従来品とSL2のパッケージ比較を図2に示す。

SL2のパッケージと電極部は、従来品と同じ実装ランドパターンで使用できるサイズにする必要がある。SL2ではスタンピングリードフレームを採用するため、従来品に比べて電極部の厚みが約3倍になる。電極の上にボンディングするチップの高さは同じなので、チップ上面と隣の電極を結ぶワイヤデザイ

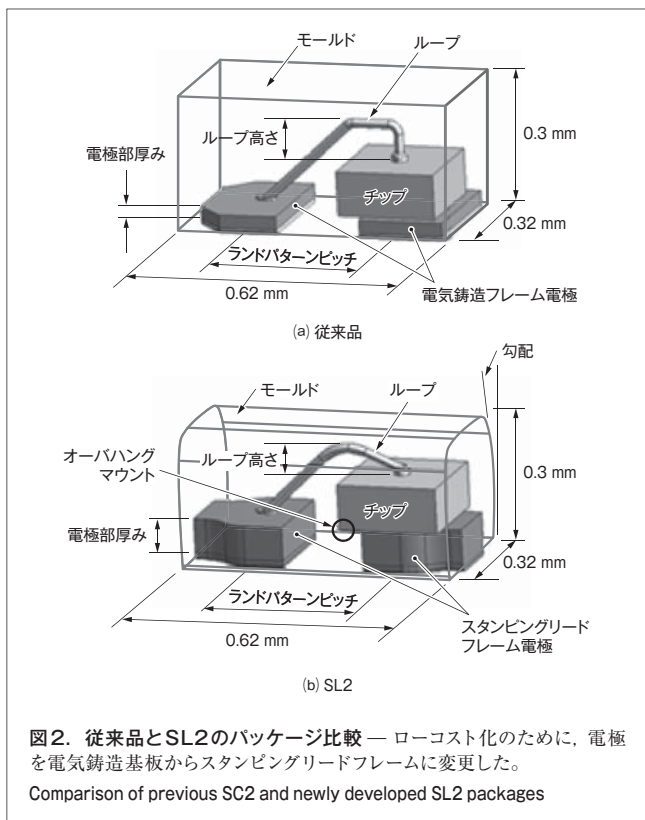


図2. 従来品とSL2のパッケージ比較 — ローコスト化のために、電極を電気鋳造基板からスタンピングリードフレームに変更した。
Comparison of previous SC2 and newly developed SL2 packages

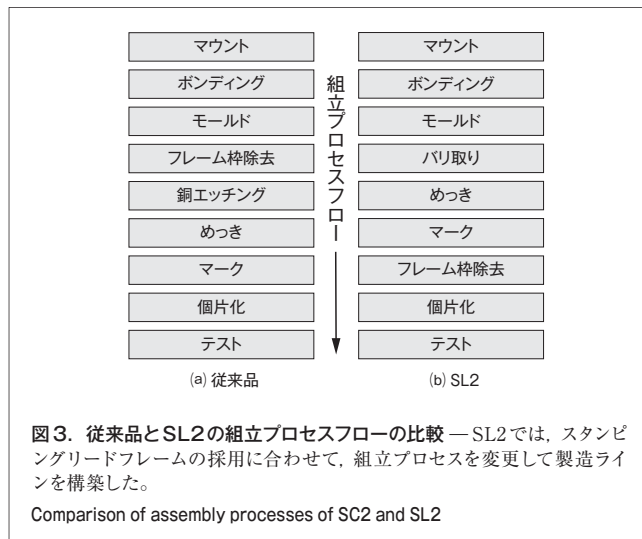


図3. 従来品とSL2の組立プロセスフローの比較 — SL2では、スタンピングリードフレームの採用に合わせて、組立プロセスを変更して製造ラインを構築した。

Comparison of assembly processes of SC2 and SL2

ンに低ループボンディング技術を採用し、ループの最高部の高さを抑えた。また、従来品がダイシングでパッケージ形状を作るMAPモールドであるのに対し、SL2では個片キャビティモールドを採用したため、パッケージの長手両側面が勾配形状になる。これにより内部のスペースが小さくなるので、より高い組立精度が要求される。

部材を電気鋳造基板からスタンピングリードフレームに変更することに合わせて、組立プロセスフローも変更した。従来品とSL2の組立プロセスフローを図3に示す。SL2の組立プロセスフローは、当社で他の製品にスタンピングリードフレームを用いるときの組立プロセスフローをベースとした。

SL2の開発ではそれぞれの組立プロセスで多くの課題が生じ、次のような組立技術により解決した。

- (1) 超小型パッケージ向けスタンピングリードフレーム技術
- (2) 狭ピッチ対応ワイヤボンディング技術
- (3) 低ループボンディング技術
- (4) 個片キャビティモールド成形技術
- (5) 超小型パッケージのモールド充填 (じゅうてん) 技術
- (6) 高精度ダイボンディング技術
- (7) 超小型パッケージの搬送・測定・包装技術

次の章で、これらの中でSL2実現のため特に重要な(1), (3), (4), 及び(6)の技術について説明する。

3 ローコストパッケージング技術

3.1 スタンピングリードフレーム技術

リードフレームには、金型の打抜き加工によるスタンピングリードフレームと、薬品処理によるエッチングリードフレームがある。SL2では、よりローコスト化の可能性が高いスタンピングリードフレームを採用した。0603のような超小型パッケージにスタンピングリードフレームを使用することは、当社としても初

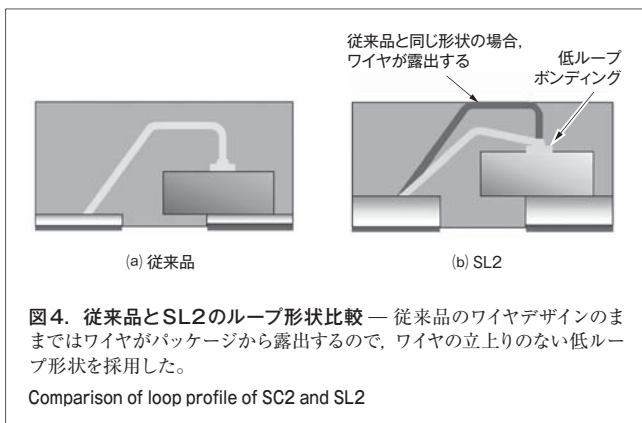
の取組みである。当社では面実装パッケージでスタンピングリードフレームを多く用いており、これまでに培った技術と新たに開発した新規技術で、スタンピングリードフレームの超小型パッケージへの適用を実現した。

スタンピングリードフレームは、打抜き加工で製作されるため、電気鋳造基板に比べて変形が生じやすい。特に、小型パッケージではリードが細く、打抜き加工時の押さえ代が十分に確保できないため、ねじれの変形が生じやすくなる。リードにねじれが生じると、ダイボンディング装置やワイヤボンディング装置での画像認識が安定しないため、超小型パッケージに必要なダイボンディングとワイヤボンディングでの高い位置精度が確保できない。そこで、打抜き加工時の金型構造の見直しと加工プロセスの最適化により、変形ばらつきを抑制し、後工程への影響を低減した。

また、図2で示したように、チップを搭載するダイボンディングではオーバハンクマウントを採用しており、打抜きで発生するバリがダイボンディングの接合不良の原因になるため、バリを平らにするフラットニング工程を追加する必要がある。しかし、フラットニング工程の追加によって、リードが根元から先端(チップマウント部)にかけて浮き上がってしまうことがわかった。リードの浮き上がりは、モールド工程に影響を与え、パッケージ裏面側に多量の樹脂漏れを生じさせる原因となる。リードが浮き上がった原因は、フラットニング加工によるリードのスプリングバックと、リードの強度不足であった。この対策として、リードの浮き上がり量を考慮したフラットニングパンチを採用し、リードの浮き上がりを解決した。

3.2 低ループボンディング技術

スタンピングリードフレームの採用により電極部分が厚くなるため、チップ上面と隣の電極を結ぶループ状ワイヤの高さが制約され、低ループ化が必要になった。しかし、これまでのループ形成方法で低ループにすると、ループ形成時にワイヤの立上り部分に過度のストレスが掛かり、ワイヤへのダメージが発生する。そこで、ループの立上り部分を押し潰したワイヤ形成方法を新規に採用した(図4)。また、電極側からループを



作ることで低ループが形成できる、バンプボンディングによる低ループ化も検討したが、スループットが低下するため、SL2ではワイヤの立上りのない低ループ形状を選択した。

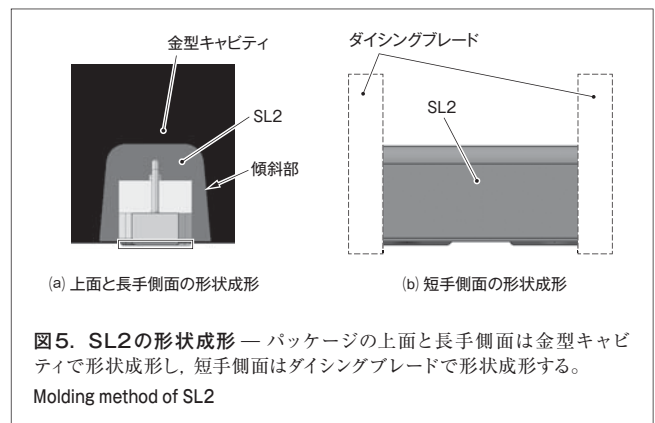
低ループ化することにより市場で発生が懸念される品質事故として、ワイヤループがチップのエッジに接触するショート不良が考えられる。この対策として、ループ高さ変動が発生する全ての要素を抽出してそれぞれのばらつきを予測し、ワイヤループがチップエッジに接触する限界を評価した結果に基づいて、材料公差管理と製造装置パラメータの範囲設定を行っている。また、異常検出のために、ワイヤループの最高部がチップエッジの位置と同じになる高さを判定基準に設定し、製品の品質管理でループ高さを調整することで、エッジとワイヤの距離を確認できるようにした。

3.3 個片キャビティモールド成形技術

従来品では、電気鋳造基板とMAPモールドの組合せで製品を樹脂封止している。また、パッケージの裏面は、成形後に裏面基板部分を剝離し除去することで電極面を露出させている。このため、MAPモールドを採用する際は、パッケージの裏面側にモールドの樹脂が漏れ出さない基板を用いることが条件になる。それに対し、SL2パッケージでは、採用しているスタンピングリードフレームに樹脂が漏れ出す貫通エリアが存在する。このような場合、通常は、ポリイミドシートをリードフレームの裏に貼り付けてからモールドをすることで、裏側への樹脂の漏れ出しを防止する。しかし、ポリイミドシートを使用すると間接材料費が増加するためコストアップにつながる。

そこで、SL2のモールド成形には、パッケージごとにキャビティ部を連続ゲートで連結させた個片キャビティモールドを用いた。この金型の特徴は、上型が個片キャビティで下型が平面形状の片面モールド成形になることである。また離型性を向上させるために、パッケージ形状に傾斜部分を設けている。パッケージ上面と長手側面は金型によって形状を成形し、短手側面はダイシングプロセスで最終形状を成形する(図5)。

この個片キャビティモールド成形を採用すると、フレーム浮きを抑制する金型のフレーム押さえ代が十分に確保できない



ため、樹脂バリが発生する。これを抑えるため、金型に新たな押さえ設計を追加した。また、型締め平坦（へいたん）度を見直すことで、型締め力過大によるフレーム変形を抑制した。

これらの施策により、ポリイミドシートを用いることなく電極面を露出させることができ、個片キャビティモールド成形を採用できた。

3.4 高精度ダイボンディング技術

SL2では、チップ搭載エリアよりもチップ面積のほうが広くなるため、ダイボンディング工程にオーバハンクマウントを採用している。オーバハンクマウントの組立時の問題として、チップ搭載位置がシフトすることによるチップ傾き、リードフレーム端部でのチップ下面への応力集中、リードフレーム表面性状による接合性不良、及び接合用メタルの垂れによる信頼性低下があり、それぞれ装置及び材料選定の最適条件を導き出した。特に、チップ搭載位置は、3.3節で述べたように、パッケージ外形に金型の抜き勾配があるため、チップ搭載位置精度が許容できる範囲は狭い。

SL2でチップ搭載位置がシフトした場合の不具合例を図6に示す。特にワイヤのチップエッジへの接触やパッケージ外部へのチップ露出は、製品の品質上で重大な不具合になるおそれがある。そこで、ダイボンディング工程では、従来パッケージよりも高いチップ搭載位置精度が要求される。

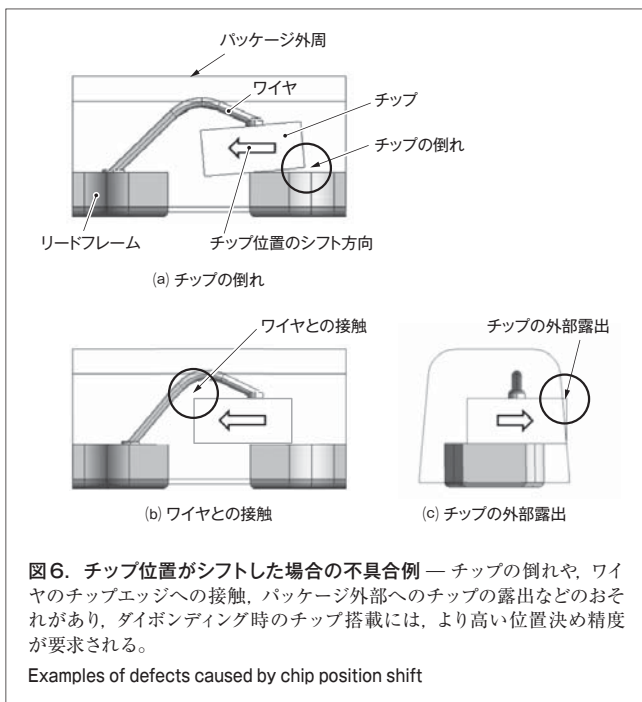
SL2で採用したダイボンディング装置は、ダイレクトピックアップ方式による高スループットを特徴としている。しかし、SL2の組立要求精度は、ダイレクトピックアップのスペックを超えるものであった。そこで、高スループットと高い位置決め精度の両立に取り組んだ。まず、ダイレクトピックアップする移載

ノズルの移動及び停止時の挙動を変位センサとハイスピードカメラで確認し、移載ノズル軌跡を最適化した。次に、チップの受渡し時の衝撃によって発生する位置ばらつきを防止するため、チップのピックアップ時及び搭載時のソフトタッチシーケンスを追加した。また、金属共晶結合によるダイボンディングのために、ヒータユニットと不活性雰囲気ガス機構を設けているが、これにより発生するかげろうが画像認識カメラの精度を低下させていることがわかった。そこで、かげろう除去機能を強化して画像認識精度を向上させた。これら以外にも、移載ノズルとワーク検出カメラのキャリブレーション機能の強化や、チップのピックアップニードルの動作条件最適化などを行い、SL2パッケージの組立てに要求される位置決め精度を達成した。

4 あとがき

ここでは超小型ローコストパッケージSL2を量産化するために新たに開発したローコスト化技術について述べた。コスト削減策として、電極を電気鋳造基盤からスタンピングリードフレームへ変更し、これに合わせた組立プロセスを採用することで、ターゲットコストを達成できた。

今後は、急速に変化していく市場要求に応えるため、今回確立した技術を活用し、更なるコスト競争力を追求したパッケージの開発及び多ピンパッケージへの展開を進めていく。



岩上 泰之 IWAGAMI Yasuyuki

ストレージ&デバイスソリューション社 ディスクリット半導体事業部 小信号半導体開発技術部主務。小信号半導体の製品開発に従事。

Discrete Semiconductor Div.



飯田 昭男 IIDA Akio

ストレージ&デバイスソリューション社 ディスクリット半導体事業部 ディスクリット応用技術センター主務。小信号半導体の応用技術開発に従事。

Discrete Semiconductor Div.



竹内 修 TAKEUCHI Osamu

ストレージ&デバイスソリューション社 ディスクリット半導体事業部 組立生産技術部主務。半導体の組立技術及びパッケージ技術の開発に従事。

Discrete Semiconductor Div.