

モバイルPCの薄型・軽量化と高品質化を実現するBGAパッケージ実装技術

Soldering Technology for BGA Packages on PCBs for High-Quality Thin and Lightweight Mobile Notebook PCs

菅井 崇弘

平元 修二

林山 晋也

■ SUGAI Takahiro

■ HIRAMOTO Shuji

■ HAYASHIYAMA Shinya

モバイルPC（パソコン）に内蔵されるプリント回路板には高密度実装技術が求められる。とりわけ、プリント配線板に実装される基幹部品であるCPUは、高密度化と多機能化に伴いはんだ付け部が狭ピッチ化しており、はんだ付け性^(注1)及びはんだ接続信頼性の確保が難しくなっている。

東芝は、高密度及び高信頼性を実現するBGA (Ball Grid Array) パッケージ実装技術を開発し、これまでにない狭ピッチの多ピンBGAパッケージにも対応可能にしたことで、薄型かつ軽量で高品質な2-in-1 デタッチャブルUltrabook™ dynabook R82/Tの商品化を実現した。

Highly reliable high-density soldering technologies to mount electronic parts on printed circuit boards (PCBs) are essential for the development of mobile notebook PCs, in which the soldering of joints plays a critical role in product quality. In particular, advancements in the density and multifunctionality of central processing units (CPUs), which employ a ball grid array (BGA) package and serve as a core component of a PCB, have now reached a stage where it has become difficult to ensure solderability and solder joint reliability with the pitch reduction of solder balls on the BGA package.

Toshiba has responded to this situation by developing a BGA package soldering technology that can be used for multi-pin BGA packages with a narrower pitch than ever before. We have applied this technology to the dynabook R82/T, a high-quality thin and lightweight 2-in-1 detachable Ultrabook™ PC.

1 まえがき

東芝は、1985年に世界初のラップトップPCであるT1100を商品化して以降、最先端の技術とノウハウを生かし、長年にわたり薄型かつ軽量で高品質なモバイルPCを作り続けてきた。モバイルPCには様々なカテゴリーの製品があるが、当社は2013年からタブレットとノートPCの二つの使い方ができる、薄型かつ軽量の2-in-1 デタッチャブルUltrabook™という新しいカテゴリーのモバイルPCを商品化している。

2-in-1 デタッチャブルUltrabook™は、タブレットとキーボードドックを組み合わせることで、一般的なノートPCとタブレットの二つのスタイルを実現するPCである。そのため、高度な薄型・軽量化技術が必要とされ、PCに内蔵されるプリント回路板には高密度実装技術が求められると同時に、堅ろう性の確保も不可欠である。

プリント配線板に実装される部品の中でも基幹部品であるCPUには、多ピン化が可能なBGA (Ball Grid Array) パッケージ構造が採用されている。CPUは高密度化と多機能化に伴いはんだ付け部が狭ピッチ化される傾向にあり、はんだ付け性及びはんだ接続信頼性の確保が難しくなっている。

ここでは、2015年11月に商品化した2-in-1 デタッチャブル

(注1) はんだ付けのしやすさを示す特性。未接続やはんだブリッジなどの不良が起こらないことが望ましい。



図1. dynabook R82/T — 第6世代Intel® Core™ Mプロセッサを搭載した12.5型デタッチャブルUltrabook™である。
dynabook R82/T

Ultrabook™ dynabook R82/T (図1) に搭載されている第6世代Intel® Core™ Mプロセッサの実装技術を例に、高密度及び高信頼性を実現する実装技術について述べる。

2 高密度実装技術

2.1 高密度パッケージ

dynabook R82/Tは薄型、軽量、及び長時間駆動を実現するため、高性能と低消費電力が特長の第6世代 Intel® Core™ M プロセッサを搭載している。このCPUを搭載するには、**図2**に示すように、外形20×16.5 mm、最小ボールピッチ0.4 mm、ボール数1,515ピンと、これまでにない狭ピッチで多ピンの高密度FCBGA (Flip Chip Ball Grid Array) パッケージを採用することになる。

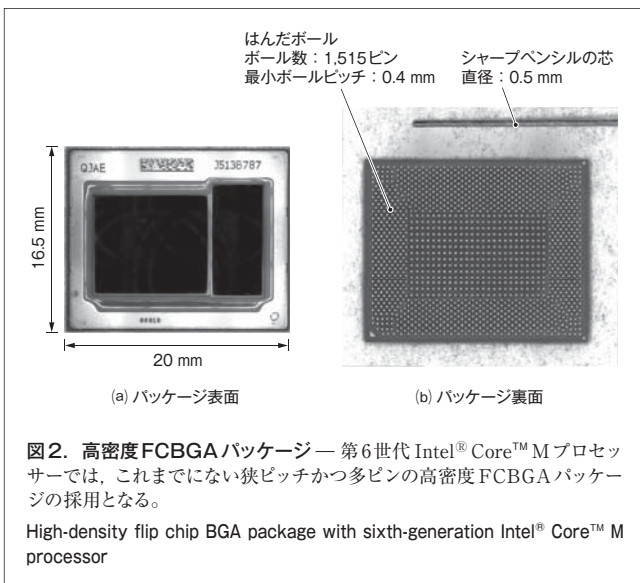
一方、BGAパッケージの高密度化には様々なリスクが伴う。まず、はんだボールの狭ピッチ化により、はんだ付け不良が発生するリスクが高くなる。はんだ付け不良モードとしては、主にはんだブリッジが挙げられ、パッケージの反り挙動を把握し、実装プロセスの最適化を図る必要がある。また、はんだボールサイズの微細化により、プリント配線板との接続面積は縮小する傾向となる。したがって、はんだ接続部に発生する応力は高くなる可能性があるため、はんだ接続信頼性の確保も不可欠である。

2.2 実装プロセスの最適化

BGAパッケージの実装プロセスとはんだブリッジの発生メカニズムを**図3**に示す。

まず、プリント配線板の電極上にはんだペーストを印刷する。次に、印刷されたはんだペースト上にBGAパッケージをマウントする。最後に、はんだが溶融する温度までリフロー加熱することで、BGAパッケージとプリント配線板がはんだ接続される。

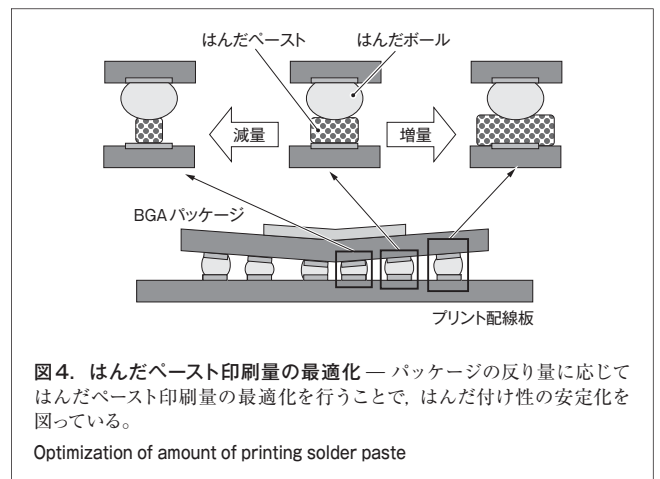
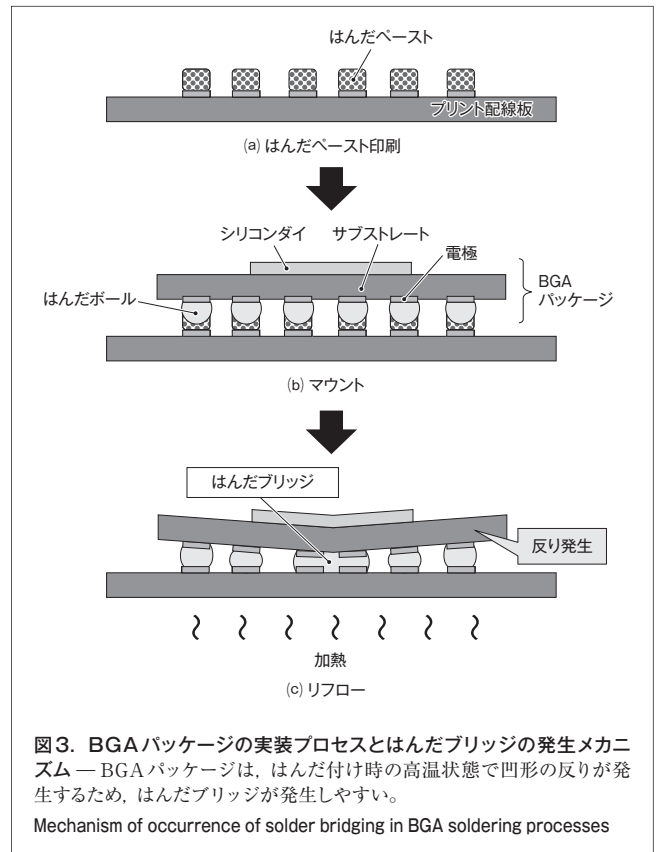
その際、BGAパッケージは構造上、線膨張係数の低いシリコンダイ (Die) がパッケージ上面に接続されているため、リフロー工程の高温状態ではパッケージの下面側のサブストレ



トが比較的膨張しやすく、凹形の反りが発生する。

したがって、**図3**のリフロー工程で示されるように、パッケージ内側のはんだは潰される傾向となり、隣接するピンどうしではんだブリッジが起こりやすい。狭ピッチの場合には特にパッケージ反りの許容範囲が狭く、はんだブリッジ発生のリスクが高くなるため、パッケージの反り量を考慮した実装設計を行う必要がある。

具体的な対策として、**図4**に示すように、加熱時のパッケージ反り挙動を把握し、反り量に応じてはんだペースト印刷量の最適化を行うことで、はんだ付け性の安定化を図っている。



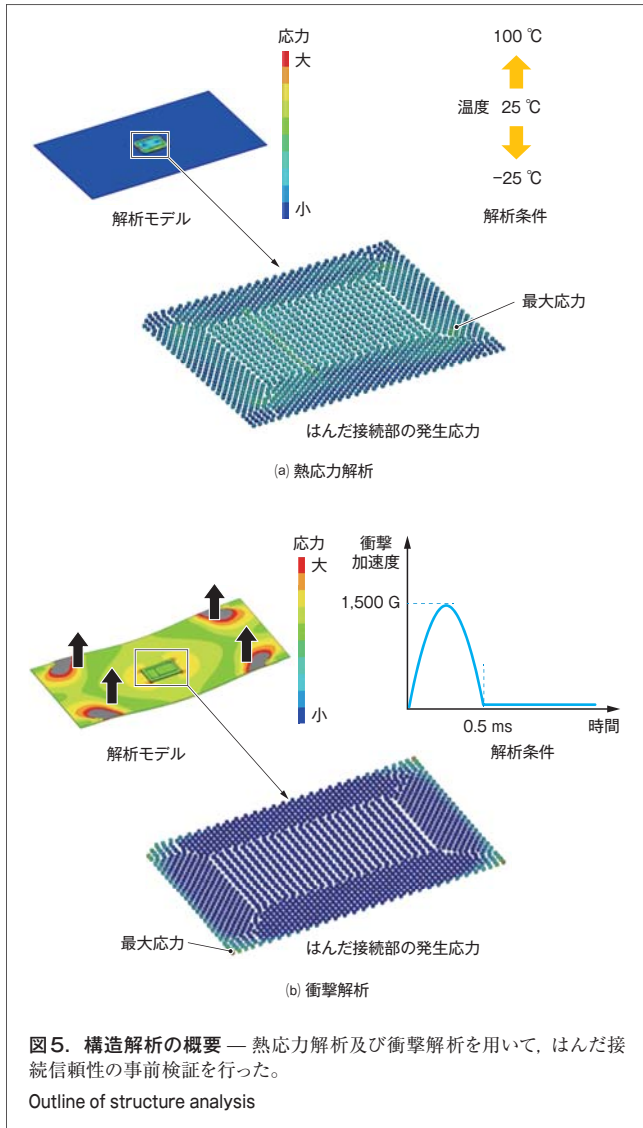
3 高信頼性設計技術

BGAパッケージは、はんだ接続部にダメージを受けやすい構造である。電源オン/オフの繰返しなどによる熱応力や、落下などによる衝撃、圧迫などによる機械的応力といった様々な負荷を想定した高信頼性設計技術が必要である。

3.1 構造解析による事前検証

前述のような様々な負荷に対して、はんだ接続部のどの部分にどの程度リスクがあるかを見積もるため、構造解析を用いて事前検証を行った。構造解析は、後戻り工程の削減や実験による検証評価の効率化に非常に有効な手段である。構造解析の概要を図5に示す。

熱応力解析では、図5(a)で示すように、BGAパッケージを実装したプリント回路板のモデルを作成し、25℃を起点に100℃に加熱したときと-25℃に冷却したときの現象を模擬した。はんだ接続部に発生する応力は、シリコンダイ端部の直下



で最大値となることがわかった。実験では最大応力の発生箇所に着目して検証を行った。

衝撃解析では、図5(b)で示すように、熱応力解析と同様のモデルを用いて、プリント回路板にピーク値1,500 Gで幅0.5 msの正弦半波の衝撃加速度を印加したときの現象を模擬した。はんだ接続部に発生する応力は、コーナ部が最大であった。過去に蓄積したデータを基に作成した寿命予測ツールを用いて、はんだ接続部の寿命予測を行った結果、衝撃加速度1,000 Gのときは約14回、1,500 Gでは約4回と予測することができた。これらの寿命予測については、実験でも検証を行った。

3.2 実験による検証

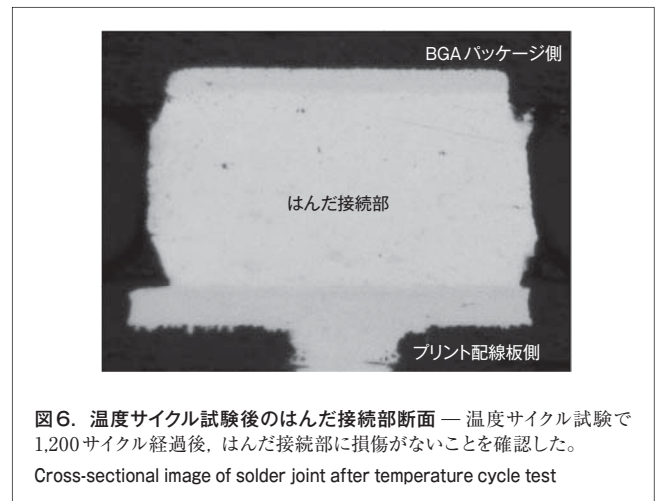
構造解析で作成したモデルと同様のサンプルを作製し、温度サイクル試験及び落下衝撃試験を行った。ここで、BGAパッケージはデジチューン配線となっており、電気抵抗をモニタリングすることで、はんだ接続部の故障検出ができるものである。

温度サイクル試験は、サンプル10枚を用いて-25℃と100℃をそれぞれ30 minのサイクルで繰り返す条件で実施した。いずれのサンプルも、1,200サイクル経過後も故障発生はなかった。1,200サイクル経過後のはんだ接続部断面を図6に示す。はんだ接続部にクラックなどの損傷は見られず、温度サイクル耐性は良好であることが確認できた。

落下衝撃試験は、図7(a)に示す方法で行った。落下台に与えられる衝撃波の波形が幅0.5 msの正弦半波となるように設定し、一定の加速度となるように落下高さを設定後、評価サンプルを落下台に固定して繰り返し自由落下させ衝撃を与えた。落下衝撃試験結果を図7(b)に示す。衝撃解析結果から予測された寿命と同等の結果が得られ、落下衝撃耐性は良好であることが確認できた。

3.3 信頼性向上施策

当社では、主に落下などの衝撃や、圧迫などの機械的負荷への耐性を向上させることを目的として、図8に示すように2通



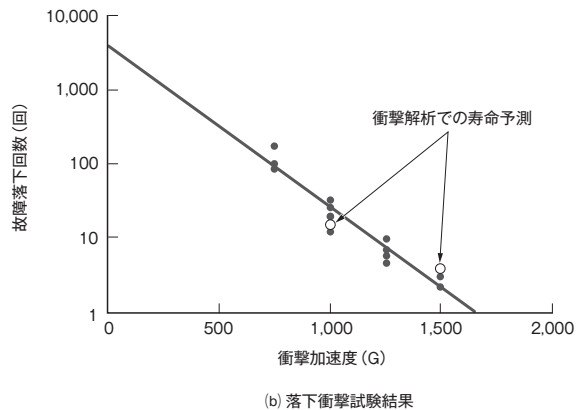
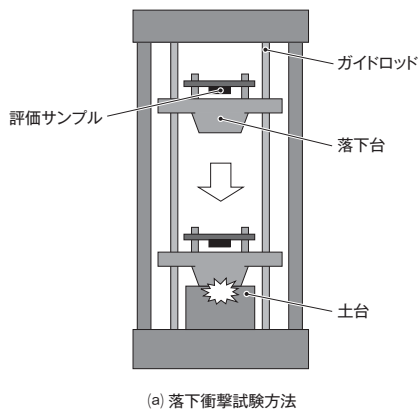


図7. 落下衝撃試験の方法と結果 — 落下衝撃試験を行った結果、衝撃解析の予測寿命と近い結果が得られた。
Configuration and results of drop impact test

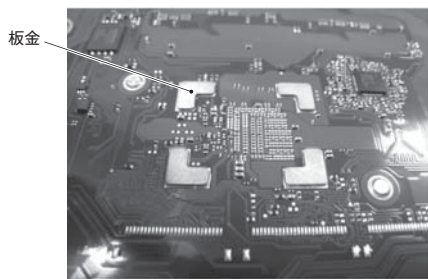
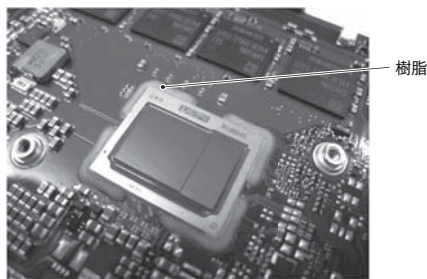


図8. BGAパッケージはんだ接続部の補強構造 — BGAパッケージの補強構造として樹脂補強及び板金補強を採用しており、もっとも壊れやすいコーナはんだ接続部に発生する応力の約70%を低減できる。また、はんだは低Ag(銀)組成(1wt%)を適用しコスト削減を行っている。
Reinforcing structures for solder joint of BGA package

りのBGAパッケージ補強構造を採用している。一つは、BGAパッケージとプリント配線板を樹脂材料で固着させる樹脂補強である。もう一つはプリント配線板の裏面に板金をはんだ付けする板金補強である。

これらの補強構造を採用することによって、もっとも壊れやすいコーナはんだ接続部に発生する応力の約70%を低減できる。製品の薄型・軽量化と堅ろう性強化の両立には欠かせない技術である。

4 あとがき

これまで培ってきた高密度・高信頼性実装技術を駆使して、第6世代 Intel® Core™ Mプロセッサを搭載した2-in-1 デタッチャブルUltrabook™ dynabook R82/Tを商品化した。

今後も市場をリードする製品を商品化していくため、製品の更なる薄型・軽量化と高品質化を実現する実装技術の開発を積極的に進めていく。

• Intel, Intel Core, 及び Ultrabookは、Intel Corporationの米国又はその他の国における商標。



菅井 崇弘 SUGAI Takahiro

技術統括部 ソリューション開発センター 実装&パッケージング技術開発部。実装要素技術の開発に従事。
Electronics Packaging Technology Dept.



平元 修二 HIRAMOTO Shuji

技術統括部 ソリューション開発センター 実装&パッケージング技術開発部主務。実装設計・開発に従事。
Electronics Packaging Technology Dept.



林山 晋也 HAYASHIYAMA Shinya

技術統括部 ソリューション開発センター 実装&パッケージング技術開発部主務。機械系のCAE業務に従事。
Electronics Packaging Technology Dept.