

高信頼かつ低消費電力を実現する 垂直STT-MRAMを用いた不揮発キャッシュメモリ

Advanced Perpendicular STT-MRAM toward Realization of Highly Reliable and Low-Power Nonvolatile Cache Memories for High-Performance CPUs

野口 紘希

池上 一隆

藤田 忍

■ NOGUCHI Hiroki

■ IKEGAMI Kazutaka

■ FUJITA Shinobu

近年、プロセッサに搭載される大容量キャッシュメモリ（以下、キャッシュと略記）を省電力化するため、従来使われていたスタンバイ電力の大きなSRAM（Static RAM）を、不揮発メモリのSTT-MRAM（Spin-Transfer Torque Magnetoresistive RAM）に置き換えることが有効であると期待されている。しかし、従来のSTT-MRAMの性能では十分な省電力効果が得られていない。

そこで東芝は、STT-MRAMを従来よりも高速化、低消費電力化、及び高信頼化する技術を開発した。まず、書込み速度と消費電力を改善するため、低電流での書込みが可能な改良型の垂直磁気記憶素子（ap-MTJ：Advanced Perpendicular Magnetic Tunnel Junction）を開発した。次に、読出し速度を高速化するため、二つのセルトランジスタと二つのap-MTJで構成される2T2MTJ方式のメモリセルを開発した。更に、信頼性向上のため、セル不良を救済可能なデュアルセンス方式という新しい読出し回路を備えたセンスアンプを開発し、従来のエラー訂正コード（ECC）を用いた誤り検出訂正回路と組み合わせ、信頼性を1桁以上改善した。これらにより、STT-MRAMを大容量のラストレベルキャッシュ（LLC）に適用できるめどが立ち、キャッシュ全体の平均消費電力をSRAMで構成したLLCに対して約60%、eDRAMで構成したLLCに対し約37%削減できるシミュレーション結果を得た。

In order to reduce the increasing power consumption of cache memories in micro processors accompanying the increase in their capacity, spin-transfer torque magnetoresistive random-access memories (STT-MRAMs), a type of nonvolatile memory, are expected to contribute to the reduction of power consumption and area as a replacement for current static RAMs (SRAMs), which consume a large amount of power to retain the stored data. However, the performance of current STT-MRAMs is insufficient to replace such SRAM cache memories.

Toshiba has developed technologies to satisfy the performance of STT-MRAMs required for their use as cache memories; namely, fast operation speed, low power consumption, and high reliability. These technologies include an advanced perpendicular magnetic tunnel junction (ap-MTJ) device that achieves high-speed, low-current switching in write operation; a memory cell consisting of two cell transistors and two ap-MTJ devices (2T2MTJ) and a current-integral sensing amplifier that achieve high-speed read operation; and a read-out circuit using a dual-sensing salvage scheme that enhances the reliability of STT-MRAMs by more than 10 times in conjunction with typical error-correcting code (ECC). We have confirmed through cycle-accurate processor simulations that an STT-MRAM-based last-level cache (LLC) can reduce the average power consumption of the total cache by 60% compared with an SRAM-based LLC, and can also reduce it by 37% compared with an embedded dynamic RAM (DRAM)-based LLC, thereby demonstrating the possibility of applying STT-MRAMs to large-capacity LLCs.

1 まえがき

微細化の進展と設計技術の発展により、プロセッサに搭載されるCPUの動作周波数と搭載コア数が向上し、CPUの処理速度は年々改善されている。これに対して、メモリの動作速度の向上は鈍化傾向にあり、CPUの演算処理能力と、演算に必要なデータをメモリから供給する能力とのバランスが崩れ、コンピュータの性能向上の阻害要因となっている。この“Memory wall”と呼ばれる問題を解決するため、高性能なプロセッサは複数階層のキャッシュを持っている。キャッシュは階層に応じ、レベル1（L1）、レベル2（L2）、…があり、主記憶にもっとも近いものをラストレベルキャッシュ（LLC）と呼ぶ。

近年では、ソフトウェア規模の拡大に合わせ、また、プログラムのオブジェクト指向化、マルチスレッド化、及びCPUのマ

ルチコア化により、32 Mバイトを超えるLLCもある。このような大容量LLCでは、面積と消費電力の低減が課題となる。キャッシュは、CPUの処理がメモリアクセスで失速しないよう高速に動作する必要がある。一般に、揮発メモリであるSRAMが使われる。SRAMは高速に動作するが、面積が大きく、また揮発メモリであるため、データ保持のために電力を消費し、大容量化に向かない。最近では、SRAMの代わりに混載DRAM（eDRAM）をLLCに利用する製品もあるが、eDRAMも揮発メモリで、データ保持に大きな電力を消費する。

そこで、不揮発メモリであるSTT-MRAMをキャッシュに応用することで、これらの課題を解決できると期待されている^{(1),(2)}。STT-MRAMは、電源が遮断された状態でデータを保持できるため、揮発メモリのようなデータ保持用の電力が不要である。現在開発されている様々な不揮発メモリの中で、STT-MRAM

がもっともキャッシュ用途に適していると言われている。その理由として、SRAMに匹敵する高速動作性能 (<10 ns)、高い書換え耐久性 (>10¹⁵回)、小さなセル面積 (<50F², Fは配線の最小線幅)、及びCMOS (相補型金属酸化膜半導体) プロセスとの高い親和性が挙げられる⁽³⁾。しかし、従来のSTT-MRAMでは十分な省電力効果が得られなかった。ここでは、キャッシュへの応用を実現するため、STT-MRAMを更に高速化、低電力化、及び高信頼化する技術について述べる。

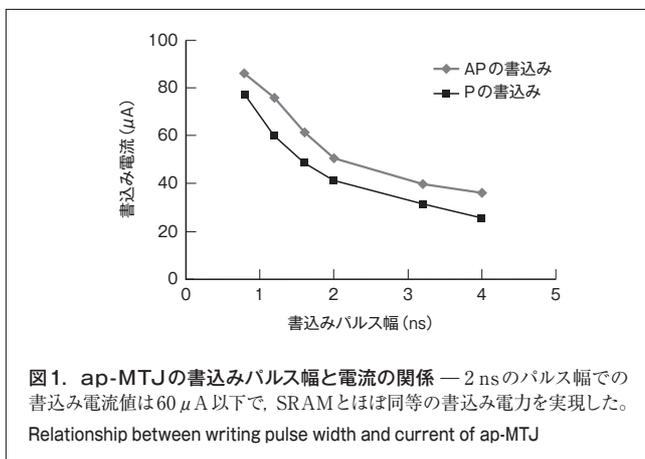
2 STT-MRAMのキャッシュ向け技術

2.1 MTJの改善による書込み動作の高速化と低電力化

STT-MRAMは、磁気記憶素子 (MTJ) の、トンネル磁気抵抗 (TMR: Tunnel Magnetoresistance) 効果で生じる抵抗値の大小 (高抵抗状態 (AP) と低抵抗状態 (P)) で1ビットを記憶する。あるしきい値以上の電流を流すと、スピン偏極した伝導電子が持っているスピン角運動量の一部分がMTJの記憶層と呼ばれる磁性体薄膜の磁気モーメントに転移 (スピン注入) し、磁化が反転してMTJの抵抗状態が変化する。

従来のスピン注入型MTJは、10 nsでの書込みに400 μ A以上の電流を必要としていた⁽⁴⁾。これは、SRAMの50倍以上の書込み電力に相当する。STT-MRAMをキャッシュに応用するには、書込み時間を短くし、書込み電力を少なくともSRAMと同等にする必要がある。

東芝は、MTJに垂直磁気異方性を持つトンネル接合膜を適用した垂直磁気記録素子 (p-MTJ: Perpendicular MTJ)⁽⁵⁾⁻⁽⁷⁾ 及びその改良型であるap-MTJを開発した⁽⁸⁾。これらは微細化しても優れた記憶保持特性を保ち、書込み電流密度が従来よりも大幅に小さい。ap-MTJの書込みパルス幅に対する書込み電流の実測値を図1に示す。2 nsでの書込み電流値を60 μ A以下に削減できており、これはSRAMとほぼ同等の書込み電力に相当する。このように、ap-MTJの採用により、電流値を抑えたまま書込み動作の高速化を実現できた。

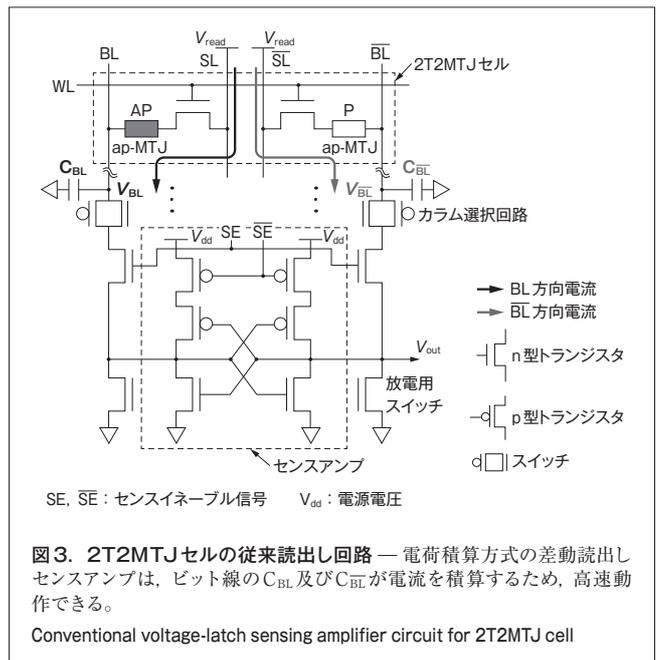
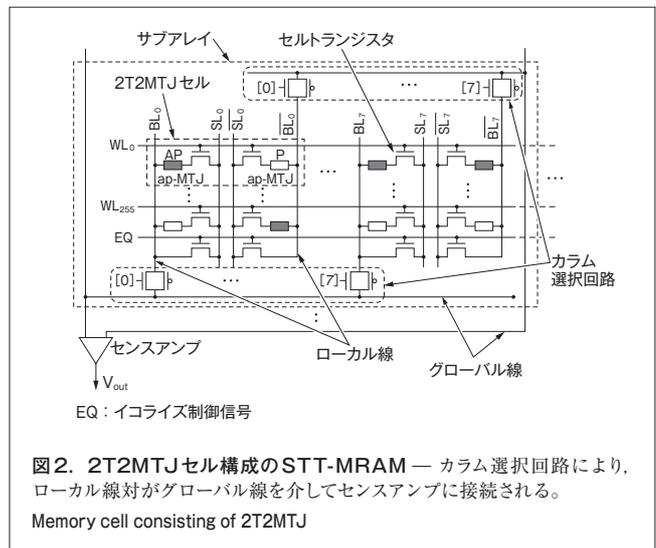


2.2 読出し動作の高速化

STT-MRAMの読出しを高速化するため、当社は、メモリセル、センスアンプ、及びビット線構造の新技术を開発した。

メモリセルは、一つのセルトランジスタと一つのap-MTJで構成した1T1MTJセルをペアで使用使用する2T2MTJセルを開発した⁽⁹⁾ (図2)。それぞれのap-MTJにAPとPを相補的に格納し1ビットを保持する。1T1MTJセルに比べて1ビット当たりの面積は増えるが、読み出す抵抗差が倍になりセンスアンプで増幅する信号差が増大するため、高速に動作する。

開発した電荷積算方式のセンスアンプ回路を図3に示す。積算方式では、ソース線 (SLと \overline{SL}) に読出し電圧 (V_{read}) を印加してワード線 (WL) とカラム選択回路で選択された2T2MTJセルのap-MTJを通してビット線 (BLと \overline{BL}) 方向に電流を流



し、ビット線の寄生容量成分 C_{BL} と $C_{\bar{BL}}$ を充電する（電位はそれぞれ V_{BL} と $V_{\bar{BL}}$ ）。ap-MTJの抵抗値の違いにより、充電する速度に差が生じ、 C_{BL} と $C_{\bar{BL}}$ に電位差として積算される。この電位差を出力電圧 V_{out} として読出し、1ビットの信号とする。従来のセンスアンプ回路では、ap-MTJに流れる瞬間的な電流値を増幅していたのに対し、この方式では、電荷を積算して生じる電位差をセンスアンプに入力するため感度が向上し、より高速に読み出すことができる。

ビット線構造は、動作時のビット線の配線遅延を低減するため、ローカルとグローバルの2段階の階層構造とした。図2に示すカラム選択回路を用いてグローバル線に接続するローカルカラムを選択する。この階層構造により、ビット線の配線遅延を低減でき、動作時に必要な充放電を高速化できる。

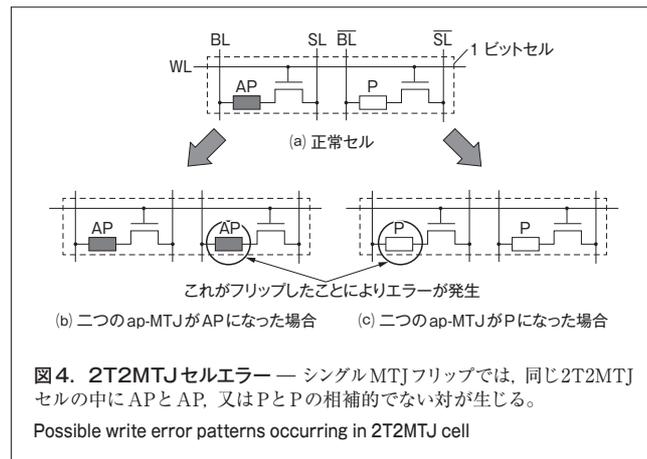
これらの技術を適用した1 MビットSTT-MRAMを65 nmのCMOSプロセスで試作し、4 nsでの高速読出しを確認した^{(9), (10)}。

2.3 STT-MRAMの高信頼化

2.3.1 エラーパターンの分析 メモリ容量が増えるにつれ、ap-MTJの製造ばらつきがキャッシュの信頼性に与える影響が大きくなる。具体的には、書込み電流からスピントルクへの変換効率や、セルの位置や温度、書込み電流、ap-MTJの抵抗値などのばらつきが、読出しエラーの原因となる。

読出しエラーが発生したセルには、図4のように、ap-MTJの抵抗値の片方が反転（フリップ）してAPとAP、若しくはPとPのペアとなったシングルMTJフリップと、ペアの両方がフリップしたダブルMTJフリップがある。主な原因は、抵抗不良による読出しエラー、書込みエラー、又は書込み後にフリップしたりテンションエラーが考えられる。

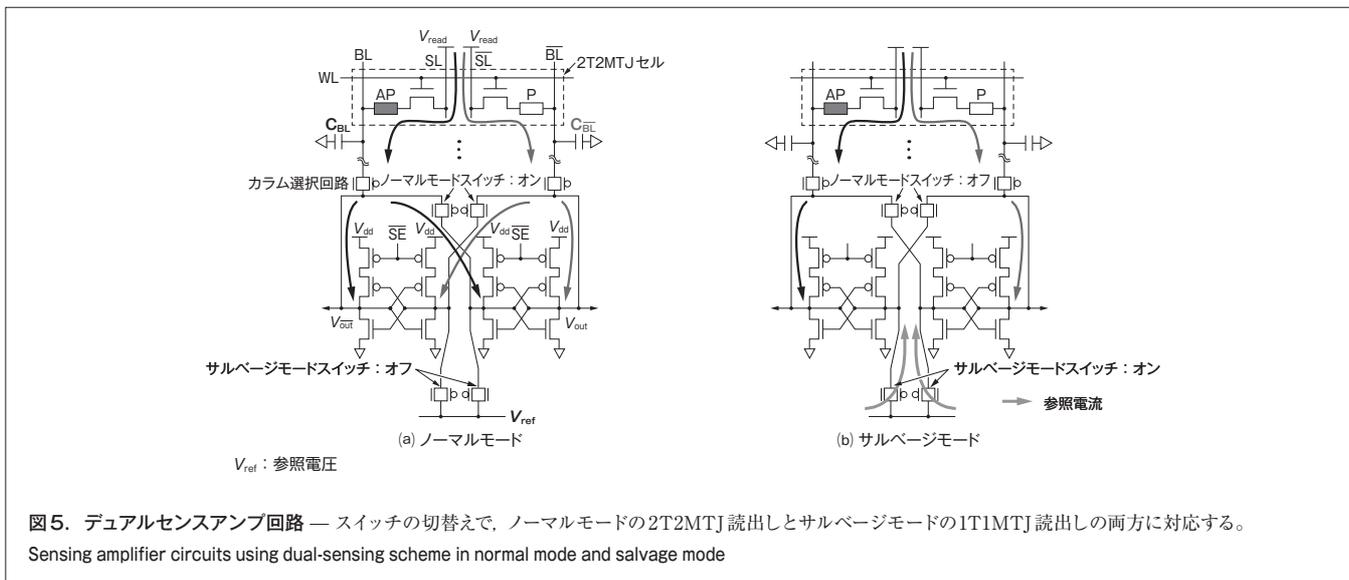
2.3.2 デュアルセンス方式の読出し回路 大容量キャッシュでの読出しエラーは、エラー訂正コード（ECC）によって読出し時に検知される。従来使われている方式は、ハミング符



号を用いたSECCDED (Single-Error Correction and Double-Error Detection) を64ビット単位で付加したものである。しかし、SECCDEDだけでは、STT-MRAMで発生するエラーを検知するのに不十分である。

そこで新たなエラー検知方法として、デュアルセンス方式の読出し回路を開発した。この方式は、従来のSECCDEDでエラービットを特定できない場合に、シングルMTJフリップを検知できるサルベージモードで再度読出しを行うことで、高い確率でエラーを訂正でき、高信頼のSTT-MRAM（以下、ap-STT-MRAMと呼ぶ）を構成できる。

デュアルセンス方式の読出し回路を図5に示す⁽¹⁰⁾。デュアルセンスアンプは、図3に示した従来のセンスアンプ回路⁽⁹⁾をカップリングした構成で、1T1MTJ読出しと2T2MTJ読出しの両方に対応する。SECCDEDで救済できないエラーが発生すると、ノーマルからサルベージに動作モードを切り替え、ペアになっている1T1MTJのそれぞれの抵抗値を独立して読み出す。その結果、図4で示したシングルMTJフリップを特定で



き、ECC回路を利用することでエラービットを訂正できる。

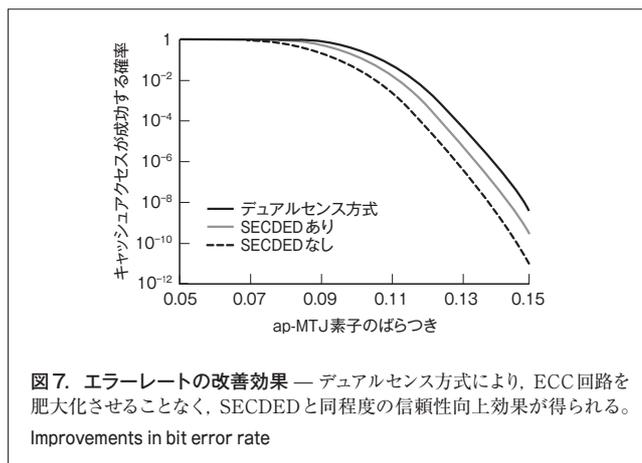
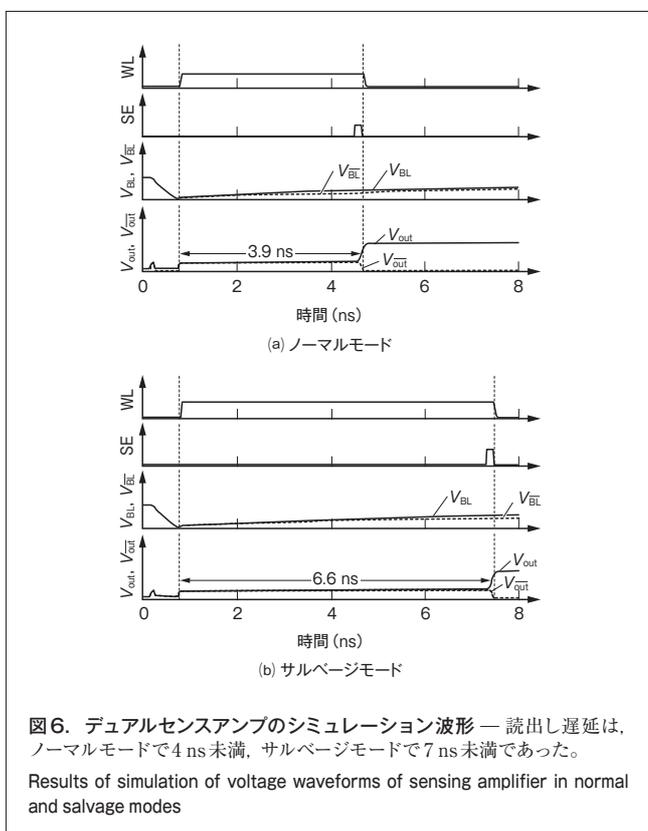
ノーマルモードとサルベージモードの動作波形を図6に示す。ノーマルモードでは、あらかじめ放電された C_{BL} と $C_{\overline{BL}}$ は V_{read} で充電されるが、二つのap-MTJの抵抗値が異なるので、 V_{BL} と $V_{\overline{BL}}$ には電位差が生じる。一定時間が経過した後、WLがオフ、センスイネーブル信号(正論理)SEがイネーブルになってデュアルセンスアンプはビット線と切り離される。同時に出力電圧 V_{out} と $V_{\overline{out}}$ は、 V_{BL} と $V_{\overline{BL}}$ の大小関係に従って V_{dd} あるいは0として出力される。

サルベージモードでは、1T1MTJ読出しで V_{BL} と $V_{\overline{BL}}$ を検出するため、読出し時間がノーマルモードの約4 nsに比べ約7 nsと遅くなる。しかし、サルベージモードは、従来のSECDEDで救済できないエラーが発生したときだけ実行されるため、CPU性能への影響は少ない。

ap-MTJの製造ばらつきに対する、デュアルセンス方式のエラーレートの改善効果を図7に示す。SECDEDによる信頼性向上効果とほぼ同等の信頼性向上効果を、デュアルセンス方式で得られることが分かる。

3 キャッシュ電力とCPU性能の評価

キャッシュ全体の電力とCPUの性能をクロックサイクルベースのCPUシミュレータを用いて評価した。CPUは、8コア、2 GHzのクロック周波数、out-of-order^(注1)、及び4命令同時発



行の構成とした。各コアはSRAMで構成されたプライベートL1及びL2のキャッシュを持ち、L1キャッシュは、命令用とデータ用にそれぞれ32 kバイト、L2キャッシュはコアごとに256 kバイトを想定した。LLCの容量は32 Mバイトとし、SRAM構成のLLC⁽²⁾、eDRAM構成のLLC^{(2), (11)}、従来STT-MRAM構成のLLC^{(2), (12)}、及びap-STT-MRAM構成のLLCの4種で比較した。メモリパラメータを表1に示す。パラメータの見積りには、回路部分の特性は65 nm CMOSでの試作結果^{(9), (10)}を、ap-MTJ部分の特性は図1の結果⁽⁸⁾を用いた。

キャッシュ全体の電力とCPU性能の比較結果を図8に示す。SRAM構成のLLCは、リーク電流の低いCMOSをメモリセルに適用しているが、それでもスタンバイ電力が支配的で4種類のLLCの中でもっとも消費電力が大きい。

eDRAM構成のLLCは、セル面積、スタンバイ電力、ダイナミック電力がSRAM構成のLLCに比べて小さい。しかし、SRAM構成にはなかったリフレッシュ電力が追加で必要となり、全体の約30%を消費する。これはeDRAMのデータ保持時間(20 μ s未滿)がLLC用途には短く、保持データを何度もリフレッシュしなければならないためである。

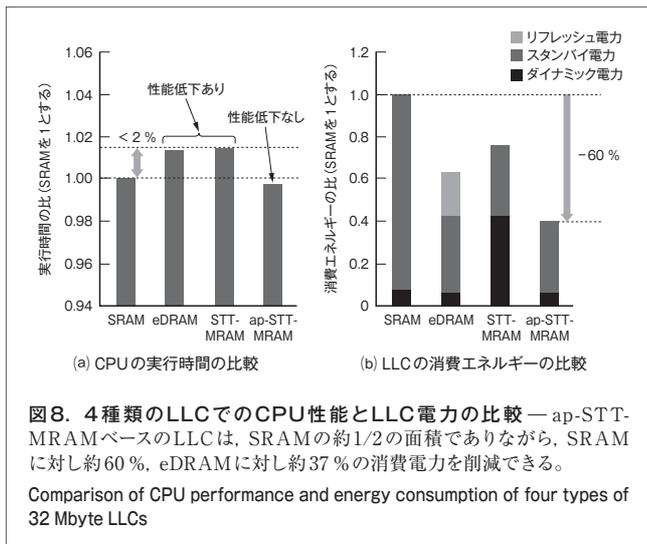
従来の1T1MTJセルのSTT-MRAMで構成したLLCでは、実装面積が今回の4種類の中ではもっとも小さいため、配

表1. 32 Mバイト LLCのメモリパラメータ (32 nm, 75 °C)

Comparison of memory parameters of 32 Mbyte LLCs (32 nm, 75°C)

	SRAM (6T) ⁽²⁾	eDRAM (3T) ^{(2), (11)}	STT-MRAM (1T1MTJ) ^{(2), (12)}	ap-STT-MRAM (2T2MTJ) ^{(8), (10)}
読出し遅延時間 (ns)	4.45	4.29	3.06	4.09
書込み遅延時間 (ns)	4.45	4.29	25.45	2.09
読出しエネルギー (nJ)	2.10	1.74	0.94	1.12
書込みエネルギー (nJ)	2.21	1.79	20.25	2.22
リフレッシュ電力 (mW)	-	600.41	-	-
面積 (mm ²)	80.41	37.38	16.39	40.19

(注1) プログラムの中の命令の並び順に関わらず処理できるものから実行する、高速処理のための手法。



線長を短くすることができ、読出し遅延と読出し電力が小さい。しかし、従来のMTJ^{(4), (12)}は書込みパルス幅が長いので、結果として、LLCの電力性能は低下する。

ap-STT-MRAMで構成したLLCは、高速かつ低電流で書込みを行うことができるため、CPUの実行性能は低下しない。それだけでなく、スタンバイ電力が小さく、リフレッシュが不要なため、4種類のLLCの中でもっとも消費電力が低い。2T2MTJ構成の1ビット当たりの面積は1T1MTJ構成に比べて倍増するが、SRAM構成のLLCと比べると約50%と小さい。この結果、ap-STT-MRAM構成のLLCは、4種類の中でもっとも消費電力が低く、大容量LLCに最適である。

4 あとがき

STT-MRAMキャッシュを実現するため、STT-MRAMを高速化、低消費電力化、及び高信頼化する技術を開発した。デバイス改良により、高速かつ低電流での書込み動作が可能なap-MTJを開発し、電荷積算方式の読出し回路と2T2MTJ構成のセルにより、読出し動作の高速化を実現した。更に、デュアルセンス方式のセンスアンプ回路により、信頼性を向上させた。

これらの技術を導入したap-STT-MRAMをLLCに用いると、SRAMで構成したLLCの約1/2の面積で、平均消費電力をSRAM構成のLLCに対し約60%、eDRAM構成のLLCに対し約37%削減できることを確認した。

この研究成果の一部は、国立研究開発法人 新エネルギー・産業技術総合開発機構 (NEDO) の「ノーマリーオフコンピューティング基盤技術開発」プロジェクトによるものである。また、STT-MRAMを使った新しいプロセッサアーキテクチャに関する研究は、同プロジェクトにおける国立大学法人 東京大学との共同研究で進行中である。

文献

- (1) 野村久美子 他. 高速・低消費電力STT-MRAMキャッシュを用いたRun-time ノーマリーオフプロセッサ. 東芝レビュー. **67**, 9, 2012, p.48-51.
- (2) Chang, M. T. et al. "Technology comparison for large last-level caches (L³Cs): Low-leakage SRAM, low write-energy STT-RAM, and refresh-optimized eDRAM". Proc. 2013 IEEE 19th Int. Symp. High Perform. Comput. Archit. (HPCA 2013). Shenzhen, China, 2013-02, IEEE. 2013, p.143-154.
- (3) Lee, K. et al. "Unified embedded non-volatile memory for emerging mobile markets". Proc. the 2014 ACM/IEEE Int. Symp. Low Power Electron. and Des. (ISLPED 2014). La Jolla, CA, USA, 2014-08, IEEE. 2014, p.131-136.
- (4) Hosomi, M. et al. "A novel nonvolatile memory with spin torque transfer magnetization switching: spin-ram". IEDM Tech. Dig. IEEE Int. Electron. Devices Meet., 2005. Washington DC, USA, 2005-12, IEEE. 2005, p.459-462.
- (5) 奥田博明. 垂直磁化方式のMTJ記憶素子を用いたスピン注入書込みMRAM. 東芝レビュー. **66**, 9, 2011, p.20-23.
- (6) Kitagawa, E. et al. "Impact of ultra low power and fast write operation of advanced perpendicular MTJ on power reduction for high-performance mobile CPU". IEDM Tech. Dig. IEEE Int. Electron Devices Meet., 2012. San Francisco, CA, USA, 2012-12, IEEE. 2012, p.680-683.
- (7) 北川英二 他. 低消費電力のキャッシュメモリを可能にした垂直STT-MRAM. 東芝レビュー. **68**, 6, 2013, p.44-47.
- (8) Saida, D. et al. Low-Current High-Speed Spin-Transfer Switching in a Perpendicular Magnetic Tunnel Junction for Cache Memory in Mobile Processors. IEEE Trans. Magnetics. **50**, 11, 2014, article#: 3401105.
- (9) Noguchi, H. et al. "A 250-MHz 256b-I/O 1-Mb STT-MRAM with advanced perpendicular MTJ based dual cell for nonvolatile magnetic caches to reduce active power of processors". Dig. Tech. Papers 2013 VLSI Symp. VLSI Circuits. Kyoto, Japan, 2013-06, IEEE. 2013, p.C108-C109.
- (10) Noguchi, H. et al. "Highly reliable and low-power nonvolatile cache memory with advanced perpendicular STT-MRAM for high-performance CPU". Dig. Tech. Papers 2014 VLSI Symp. VLSI Circuits. Honolulu, HI, USA, 2014-06, IEEE. 2014, p.97-98.
- (11) Chun, K. C. et al. A 3T Gain Cell Embedded DRAM Utilizing Preferential Boosting for High Density and Low Power On-Die Caches. IEEE J. Solid-State Circuits. **46**, 6, 2011, p.1495-1505.
- (12) Smullen, C. W. et al. "Relaxing non-volatility for fast and energy-efficient STT-RAM caches". Proc. 2011 IEEE 17th Int. Symp. High Perform. Comput. Archit. (HPCA 2011). San Antonio, TX, USA, 2011-02, IEEE. 2011, p.50-61.



野口 紘希 NOGUCHI Hiroki

研究開発統括部 研究開発センター LSI基盤技術ラボラトリー。不揮発メモリを用いた回路及び計算機アーキテクチャの研究・開発に従事。IEEE会員。
Advanced LSI Technology Lab.



池上 一隆 IKEGAMI Kazutaka

研究開発統括部 研究開発センター LSI基盤技術ラボラトリー研究主務。不揮発メモリデバイスの加工・実装技術に関する研究・開発に従事。
Advanced LSI Technology Lab.



藤田 忍 FUJITA Shinobu

研究開発統括部 研究開発センター LSI基盤技術ラボラトリー研究主幹。不揮発メモリ新領域開拓に向けた回路及びシステムの開発に従事。IEEE会員。
Advanced LSI Technology Lab.