

GaNパワーデバイスの 電流コラプスシミュレーション技術

Simulation Technology for Evaluation of Current Collapse in GaN Power Devices

菊地 拓雄 石川 諭 仲 敏行

■ KIKUCHI Takuo ■ ISHIKAWA Satoshi ■ NAKA Toshiyuki

窒化ガリウム (GaN) パワーデバイスは、現行のシリコン (Si) パワーデバイスと比べて優れた電気特性を示すことから、電力変換装置などへの早期適用が期待されている。一方、GaNパワーデバイスの課題として、デバイス内部の結晶欠陥に起因したデバイス動作中のオン抵抗増加 (電流コラプス) があり、所望のデバイス性能が得られない場合がある。したがって、GaNパワーデバイスの設計では、基本的なトランジスタ特性だけでなく、デバイス特性の変動を予測可能な解析技術が求められる。

東芝は、製造プロセスに依存する結晶欠陥及び膜界面のトラップを測定し、シミュレーションモデルに反映させることで、オン抵抗増加の現象を定量的に扱えるデバイスシミュレーション技術を開発した。この技術により、デバイス特性変動の早期発見及び要因分析が容易となり、GaNパワーデバイスの設計及び開発期間の短縮に貢献できる。

Due to the superior electrical characteristics of gallium nitride (GaN) power devices compared with those of currently available silicon (Si) devices, demand has been growing for the early application of GaN power devices to power conversion equipment. However, the development of GaN power devices with the desired performance is hindered by technical issues associated with increased on-resistance as a result of current collapse caused by crystal defects and interface traps in these devices. In this situation, there is a need for simulation technologies that can predict on-resistance degradation over time as well as the basic transistor characteristics in the design phase.

Toshiba has developed a simulation technology to precisely and quantitatively evaluate the on-resistance degradation of GaN power devices by modeling crystal defects and interface traps in a device, which vary according to the manufacturing process, based on measured results using a test element group (TEG) pattern with the same device structure. This technology makes it possible to detect the degradation of device characteristics and failure earlier and with greater certainty, thereby shortening the device development period.

1 まえがき

GaNパワーデバイスは、現行のSiパワーデバイスと比較して低損失、高速、及び高温での動作が可能であり、次世代のパワーデバイスとして期待されている。

一方、GaNパワーデバイス特有の課題として電流コラプスがある。電流コラプスは、デバイスに大電流かつ高電圧のストレスを印加することでオン抵抗が増加する現象である。現時点で、この現象は電圧ストレスによって加速された電子が、デバイス内部の結晶欠陥及び膜界面に存在するトラップに捕獲されることに起因することがわかっており、これらトラップを測定及び解析した報告がなされている⁽¹⁾。しかし、測定されたトラップがデバイス特性に与える影響については定量性を持って十分に調べられておらず、またトラップ生成の位置及び密度は製造プロセスに依存するため、電流コラプスの要因特定及びデバイス設計が困難となる。

今回、東芝はGaNパワーデバイスの電流コラプスを高精度に解析可能なシミュレーション技術を開発した。モデル化では、評価用TEG (Test Element Group) を用いてデバイス内部の各層及び界面のトラップを測定し、その結果をシミュレーションモデルに反映させた。更に、実際の電流コラプス試験

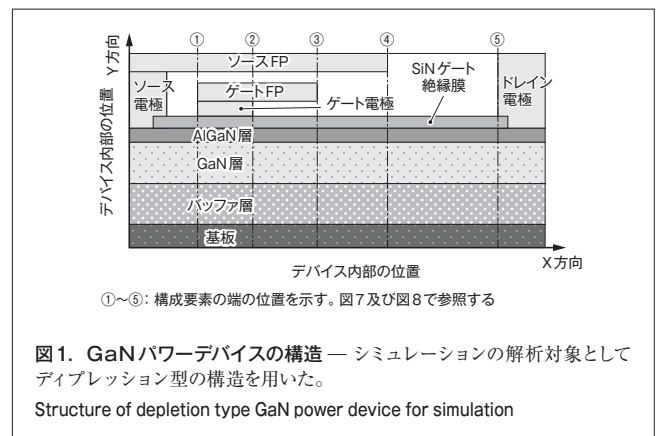


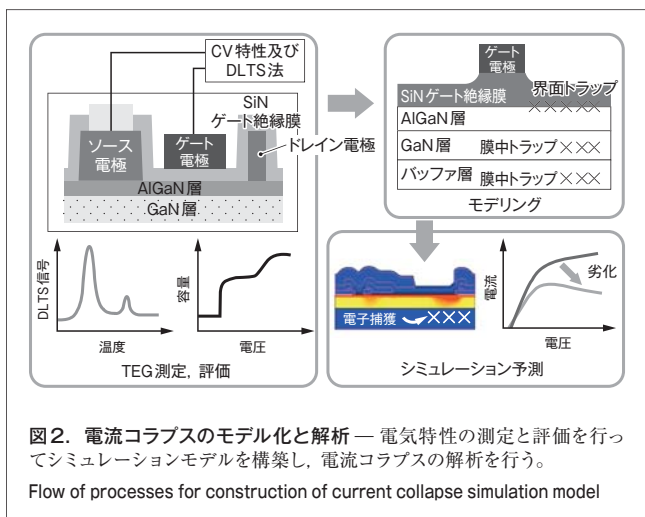
図1. GaNパワーデバイスの構造 — シミュレーションの解析対象としてディプレッション型の構造を用いた。
Structure of depletion type GaN power device for simulation

を模擬したシミュレーションを行い、計算結果を実測と比較するとともに、電流コラプスの要因を解析した。

2 電流コラプスのモデル化と解析

解析対象としたディプレッション型^(注1)のGaNパワーデバイスの構造を図1に示す。このデバイスでは、AlGaN (窒化アル

(注1) MISFET (金属絶縁膜半導体電界効果トランジスタ) で、ゲート電圧が0でも電流が流れる型をいう。



ミニウムガリウム) /GaN界面に2次元電子ガスと呼ばれる伝導電子が発生し、ソース-ドレイン間が導通する。また、ゲート電極及びソース電極にフィールドプレート (FP) を構成し、それぞれゲート端及びゲートFP端の電界を緩和する構造となっている。電極以外のデバイスの膜構成は、裏面側から基板、バッファ層、GaN層、AlGaIn層、及びSiN (窒化シリコン) ゲート絶縁膜である。

シミュレーションモデルの構築とそれを用いた解析の流れを図2に示す。

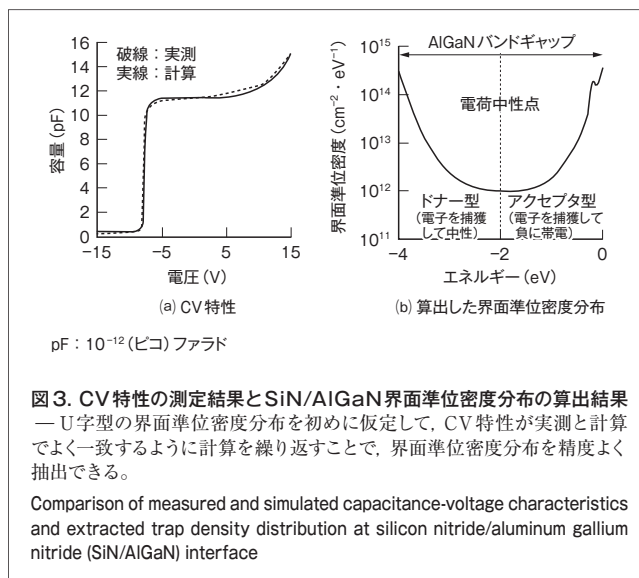
まず、対象デバイスと同一プロセスで作成したTEGパターンを用いて、SiN/AlGaIn界面トラップと、GaN層及びバッファ層にある膜中トラップのエネルギー準位と捕獲断面積を求める。これには、容量-電圧 (CV) 特性とDLTS (Deep Level Transient Spectroscopy) 法の測定を用いる。

シミュレーションによるモデリングでは、プロセスシミュレーションを用いてデバイス構造をモデル化し、基本となる物理パラメータを設定するとともに、前記トラップの測定結果をシミュレーションモデルに反映させる。構築したシミュレーションモデルを用いて電流コラプスの解析を実施し、電気ストレス印加時におけるトラップへの電子捕獲現象を再現するとともに、ストレス前後の電流-電圧特性の評価、及びオン抵抗の経時劣化の要因を解析する。

3 界面・膜中トラップの解析

3.1 SiN/AlGaIn界面トラップの解析

SiN/AlGaIn界面トラップは、CV特性の測定と1次元のCV解析ツール⁽²⁾を組み合わせることで導出した。CV解析ツールでは、界面準位密度分布とその時定数を考慮し、ポアソン方程式を解くことで容量を計算する。まず、TEGパターンを用いてCV特性を測定し、CV解析ツールで界面準位密度分布を変えてCV特性を計算する。界面準位密度分布は、一般的に界面

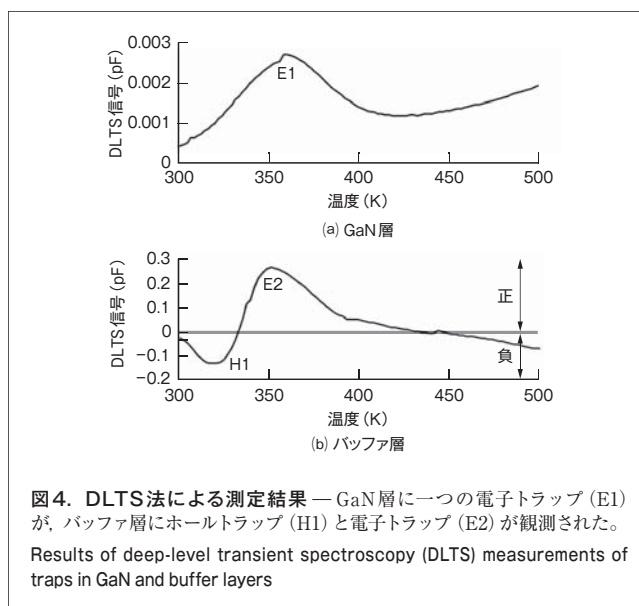


トラップに対して用いられる、AlGaInバンドギャップ中のU字型のエネルギー準位密度分布を初めに仮定した。CV特性の実測と計算結果が一致するように繰り返し計算することで、界面準位密度分布を抽出することができる。

TEGのCV測定結果と、CV解析ツールを用いて求めたSiN/AlGaIn界面の準位密度分布を図3に示す。CV特性は実測と計算でよく一致しており、界面トラップの準位密度分布を精度よく抽出できていると考えられる。

3.2 膜中トラップ解析

GaN層及びバッファ層の膜中トラップのDLTS法による測定結果を図4に示す。



(注2) 一般に、反応速度の温度依存性をプロットしたもの。活性化エネルギーを求めることができ、ここでは、反応速度はトラップからのキャリア (電子及びホール) 放出時定数を意味する。

GaN層では、測定温度範囲(300 ~ 500 K)で一つの電子トラップ(E1)が観測され、アレニウスプロット(注2)から、GaN(バンドギャップ 3.47 eV)の伝導帯の下端から0.80 eV下のエネルギー準位であることがわかった。

バッファ層では、DLTS信号が正負の2種類の膜中トラップが検出された。負の信号がホールトラップ(H1)であり、正の信号が電子トラップ(E2)に対応する。また、DLTS信号の強度がGaN層の約100倍あり、高密度の膜中トラップが存在することがわかる。アレニウスプロットから、H1はGaNの価電子帯の上端から0.76 eV上の準位で、E2は伝導帯の下端から0.80 eV下の準位であることがわかった。

4 電流コラプスシミュレーション

電流コラプスシミュレーションに用いたトラップ測定結果を表1にまとめる。測定により求めたSiN/AlGaIn界面トラップ及び膜中トラップのエネルギー準位をシミュレーションモデルに反映させ、実際のコラプス試験を模擬した計算を行った。計算に用いた主なストレス電圧波形を図5に示す。

電圧ストレス印加前後の電流-電圧特性の計算結果を図6に示す。ストレスによる電流低減が再現されており、ドレイン電流が0.5 Aのときのオン抵抗増加率は1.17倍となった。今回モ

表1. 測定したトラップと測定結果

Measured traps used in simulation model

構造	トラップのエネルギー準位	捕獲断面積
SiN/AlGaIn界面	図3(b)の分布	10^{-16} cm^2
GaN層	0.80 eV (E1)	10^{-15} cm^2
バッファ層	0.76 eV (H1) 0.80 eV (E2)	10^{-16} cm^2 10^{-15} cm^2

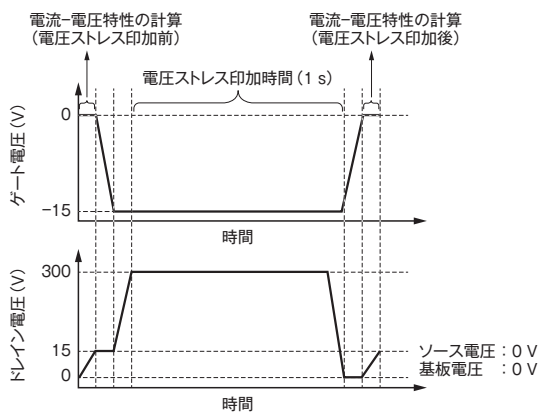


図5. 電流コラプス解析に用いたストレス電圧波形 — 電流コラプス解析では、最初にストレス前の電流-電圧特性を計算し、電圧ストレスを印加した後、ストレス後の電流-電圧特性を計算した。

Stress voltage waveforms used for current collapse simulation

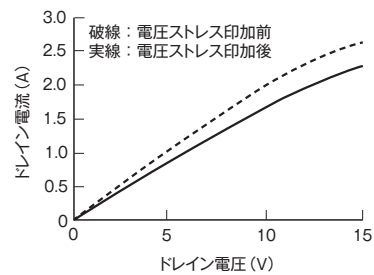


図6. 電圧ストレス印加前後の電流-電圧特性の計算結果 — 電圧ストレス印加後に電流が減少しており、オン抵抗が増大していることがわかる。

Results of simulation of current-voltage characteristics before and after stress voltage application

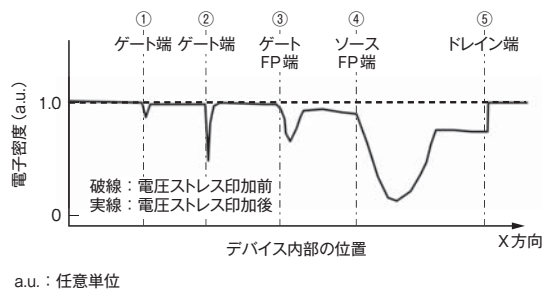


図7. 電圧ストレス印加前後のチャンネル断面の電子密度分布 — 電圧ストレス印加後に、チャンネルの電子密度がゲート端及びゲート・ソースFP端で急傾斜に、ドレイン付近でなだらかに低下する。

Results of simulation of free electron density distribution along channel before and after stress voltage application

デル化に用いた評価用デバイスの実測のオン抵抗増加率が約1.2倍であることから、実測をほぼ再現していると考えられる。

電圧ストレス印加前後のAlGaIn/GaN界面(チャンネル部)の電子密度分布を図7に示す。電子密度は、ゲート端及びゲート・ソースFP端で急傾斜に、またドレイン付近でなだらかに低下していることがわかる。電子密度低下の要因は、これらの箇所の近傍に存在するトラップに電子が捕獲された結果生じた負電荷によるものと考えられる。

5 電流コラプスの要因分析

電圧ストレス印加後のチャンネルにおける電子密度低下の要因を明確にするため、トラップによる電子捕獲の影響を調査した。電圧ストレス印加後のSiN/AlGaIn界面、GaN層、及びバッファ層の中央断面で、トラップへの電子捕獲の結果生じた負電荷密度の分布を計算した結果を図8に示す。

これらの結果と、図7に示した電圧ストレス印加後のチャンネル断面の電子密度分布を比較すると、ゲート端及びゲート・ソースFP端での電子密度低下は、SiN/AlGaIn界面の電子トラップに対応することがわかる。また、ドレイン付近でのなだ

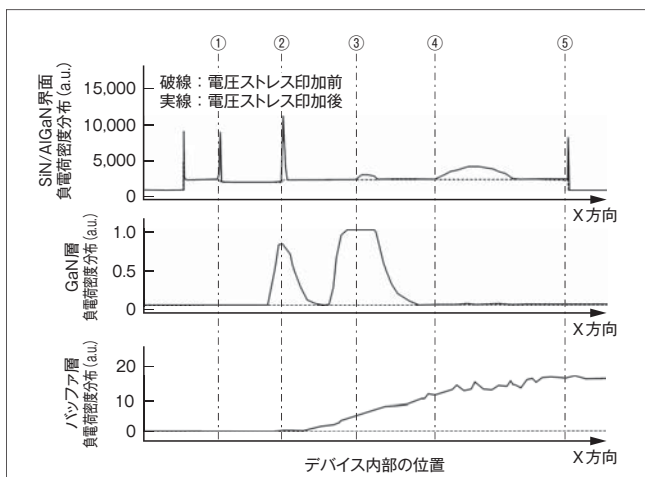


図8. 電圧ストレス印加前後のSiN/AlGaIn界面、GaN層、及びバッファ層の各断面における負電荷密度分布の計算結果 — ゲート端及びゲート・ソースFP端での電子密度低下はSiN/AlGaIn界面の電子トラップに起因し、ドレイン側でのなだらかな電子密度の低下はバッファ層のトラップに起因する。

Results of simulation of negative charge distribution at SiN/AlGaIn interface and in GaN and buffer layers before and after stress voltage application

らかな電子密度の低下は、バッファ層での負電荷密度分布に対応することがわかる。電圧ストレス印加中にSiN/AlGaIn界面トラップへの電子捕獲がゲート端及びゲート・ソースFP端で生じるのは、これらの箇所で電界集中により電子が加速されて、表面側のSiN/AlGaIn界面に注入されたためと考えられる。また、ドレイン付近でバッファ層のトラップ電子密度が高いのは、ドレイン側ほど基板-ドレイン間の電界が大きくなるため、バッファ層のH1からホールが放出されやすくなり、負電荷が増加したためと考えられる。

このように、デバイスの各断面での負電荷密度分布を調べることで、チャンネルの電子密度の低下位置と、この原因となるトラップ位置を対応させることができた。

最後に、SiN/AlGaIn界面、GaN層、及びバッファ層の電子トラップの電流コラプスに対する寄与率を計算した。寄与率は、図7に示した電圧ストレス印加後に低減した電子密度の総量に対する、デバイスのX方向の各位置における電子密度低下量の割合を求めて算出した。電流コラプスへの寄与率を計算した結果を図9に示す。今回モデル化した評価用デバイスでは、GaN層膜中トラップの寄与は小さく、バッファ層膜中トラップとSiN/AlGaIn界面トラップの寄与がそれぞれ約30%及び約70%となり、電流コラプスへの影響度を定量化できた。

6 あとがき

今回、GaNパワーデバイス特有の現象である電流コラプスを高精度に予測するシミュレーション技術を開発した。プロセス依存性の大きい膜中及び界面トラップのエネルギー準位を、

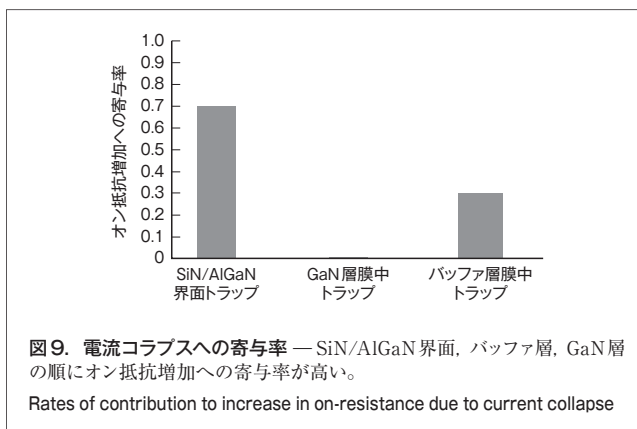


図9. 電流コラプスへの寄与率 — SiN/AlGaIn界面、バッファ層、GaN層の順にオン抵抗増加への寄与率が高い。

Rates of contribution to increase in on-resistance due to current collapse

それぞれDLTS法、CV特性の測定により求め、これらの結果を電流コラプスシミュレーションモデルに反映させた。更に、ドレイン電圧ストレス印加時の電流コラプスを計算した結果、実測のオン抵抗増加率を再現でき、その要因と抵抗増加への寄与率を定量的に示すことができた。これにより、GaNパワーデバイスの設計及び開発期間の短縮が期待できる。

開発したシミュレーション技術は、今回示したような直流電圧ストレス下の電流コラプスの解析に活用できるだけでなく、GaNパワーデバイスを電力変換装置に搭載する際のスイッチング回路における電流コラプスの評価など、より複雑な系での解析にも適用することが可能である。今後ますます重要となるこの技術の適用拡大を推進する。

文献

- (1) 橋詰 保. GaNおよびAlGaInの深い電子準位：電氣的評価結果を中心として. 日本結晶成長学会誌. 36, 3, 2009, p.205-213.
- (2) Miczek, M. et al. Effects of interface states and temperature on the C-V behavior of metal/insulator/AlGaIn/GaN heterostructure capacitors. J. Appl. Phys. 103, 10, 2008, p.104510-1-104510-11.



菊地 拓雄 KIKUCHI Takuo

生産技術統括部 生産技術センター 薄膜プロセス技術研究部 研究主務。パワー半導体素子のシミュレーション技術の研究・開発に従事。応用物理学会会員。

Process Technology Research Dept.



石川 諭 ISHIKAWA Satoshi

生産技術統括部 生産技術センター 薄膜プロセス技術研究部 主任研究員。半導体プロセス技術の開発に従事。電気学会会員。

Process Technology Research Dept.



仲 敏行 NAKA Toshiyuki

セミコンダクター&ストレージ社 ディスクリット半導体事業部 先端ディスクリット素子開発部主務。パワー半導体素子の製品開発に従事。

Discrete Semiconductor Div.