

CMOSトランジスタを用いた 小面積ワンタイムメモリ技術

Small-Sized One-Time Programmable Memory Using Band-to-Band Tunneling in CMOS Transistors

財津 光一郎 小田 聖翔 安田 心一

■ ZAITSU Koichiro ■ ODA Masato ■ YASUDA Shinichi

CMOS (相補型金属酸化膜半導体) トランジスタを用いたワンタイム (OTP: One-Time Programmable) メモリは、特殊な製造プロセスを必要とせず、低コストでロジック製品に混載できる不揮発性メモリとして利用されている。しかし従来のOTPメモリでは、選択したメモリ素子だけに情報を書き込むためには選択トランジスタがメモリセルごとに必要で、チップ面積が増大してしまうという問題があった。

東芝は、従来のOTPメモリとは異なる、バンド間トンネル現象を利用した新たな書き込み方式を開発し、この方式による新しいタイプのOTPメモリを実現した。このOTPメモリを用いると、選択トランジスタをメモリセルごとに配置せず少ない素子数でメモリアレイを実現できるため、ロジックLSI製品に容易に集積できる小面積の混載メモリとして幅広い応用が期待できる。

One-time programmable (OTP) memories based on complementary metal-oxide semiconductor (CMOS) transistors have been used as low-cost nonvolatile embedded memories for logic products because no special manufacturing processes are required. However, conventional OTP memories require additional selectors for random-access programming, resulting in an increase in chip area.

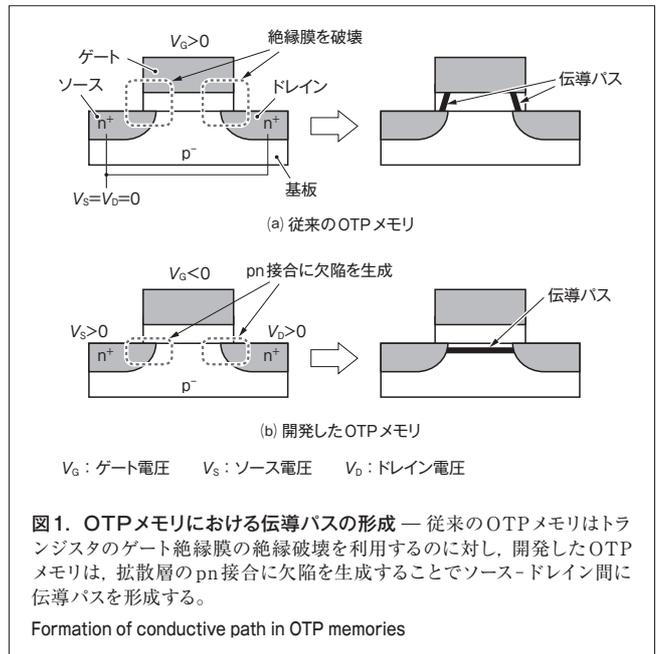
With this as a background, Toshiba has developed a new type of OTP memory by applying a unique programming scheme using the band-to-band tunneling phenomenon. This memory makes it possible to design simple memory circuits without additional selectors, and is expected to be applied to logic products as a high-capacity embedded memory with a small area.

1 まえがき

半導体デバイスのスケールリング則による微細化の進行とともにLSIの製造コストが高騰しており、低コストでロジック回路に混載できる不揮発性メモリが求められている。しかし、ロジック回路に用いられるCMOS (相補型金属酸化膜半導体) トランジスタに比べ、不揮発性メモリではその製造に特殊なプロセスが必要のため、ロジック回路とメモリ回路を一つのチップ内に集積すると製造コストが高くなってしまふ。

そこで、CMOSトランジスタを用い、1回だけ書き込むことができるワンタイム (OTP: One-Time Programmable) メモリの開発が行われている。これは、一般のCMOSトランジスタに特殊な書き込み電圧を印加して素子内部に不可逆的な状態変化を引き起こし、その状態変化をメモリ情報として利用するものである。状態変化は不可逆であるため、一度書き込みを行ったメモリを元の状態に戻すことはできず、データの書換えもできない。しかし、特殊な製造プロセスが必要ないため、ロジック回路と簡便に混載できる安価なメモリとして、あるいはデータの書換えを防止するセキュリティ用のメモリとして、広く利用されている。

従来のOTPメモリの原理は、図1(a)に示すように、トランジスタのゲート絶縁膜の絶縁破壊を利用している⁽¹⁾。ソースとドレインを短絡させた端子とゲートとの間に書き込み電圧を印加



し、ゲート絶縁膜に大きなリークパスを形成する。このようにして書き込まれたOTPメモリは、ソース-ゲート間及びドレイン-ゲート間が電気的に接続された状態になる。

従来のOTPメモリでは、トランジスタのソースとドレインを共通の書き込み端子として用いるため、それぞれのメモリ素子に

において独立に電圧を印加することができる端子は、ソースとドレインの共通端子とゲートの二つだけである。このような2端子構造のメモリでは、後述するように、アレイを設計する際に一つのメモリセルごとにトランジスタやダイオードなどの一つ以上の選択素子を用意しなければならず、メモリ回路の面積が増大してしまうという問題がある。

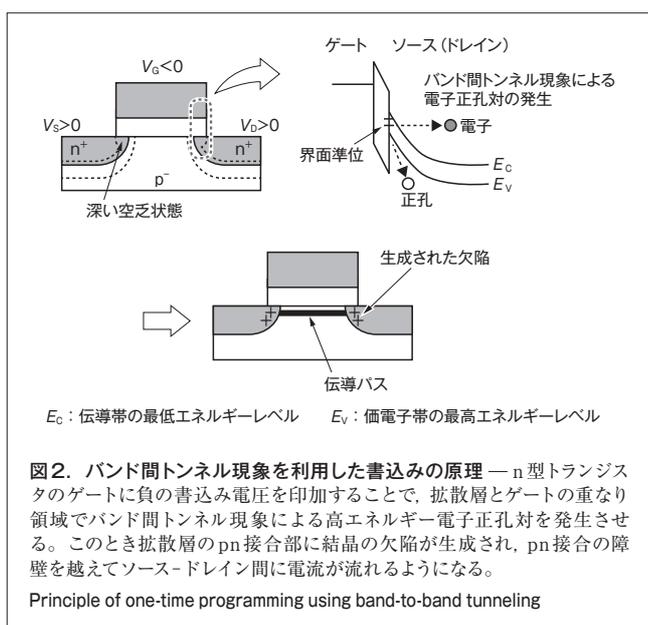
今回東芝が開発したOTPメモリは、従来のOTPメモリと同様にCMOSトランジスタを用いているが、図1(b)に示すように、異なる原理の書き込み方式を採用することで従来とは別の場所に伝導パスを形成し、選択素子をメモリセルごとに設ける必要がない小面積のOTPメモリを実現している。ここでは、開発したOTPメモリの書き込み原理と、その書き込み特性や利点について述べる。

2 バンド間トンネル現象を利用した書き込み方式

開発したOTPメモリの書き込み原理を説明する。

素子に一般のn型トランジスタを用い、ソース及びドレインに同じ大きさの正電圧を印加した状態で、ゲートに負の書き込み電圧を印加する(図2)。このとき、ソース拡散層及びドレイン拡散層のゲート電極の下まで入り込んだ領域(重なり領域)は、高電界によってエネルギーバンドが大きく曲げられた“深い空乏状態”になる。このような状態下では、価電子帯から伝導帯に電子が移動するバンド間トンネル現象が起り、高エネルギーの電子正孔対が生成される。

電子正孔対の生成量が多くなると、発生した大量のエネルギーによって、重なり領域に多くの結晶欠陥が生じる。本来の欠陥がない状態では、pn接合によるエネルギー障壁のため、ゲート電圧を印加しない状態ではソース-ドレイン間に電流は



流れない。しかし、書き込みによってソース端やドレイン端に多くの欠陥が生成されると、これらの欠陥の準位を介して大きな電流が流れるようになる。

この欠陥生成を、OTPメモリにおける状態変化として利用する。書き込み前のOTPメモリは、ゲート電圧を印加しなければソース-ドレイン間の抵抗は大きいですが、いったん書き込みを行うと、ゲート電圧の印加にかかわらずソース-ドレイン間は低抵抗状態になる。この状態変化は不可逆であり、書き込みによってソース-ドレイン間に恒久的な伝導パスが形成されたと考えられる。

3 開発したOTPメモリの書き込み特性

2章で説明した書き込み方式を、一般のCMOS製造プロセスで作製したトランジスタに適用した。ここでは、ゲート絶縁膜の酸化膜換算膜厚が6.4 nm、ゲート長が1 μmのn型トランジスタを用いた。これに、ソースに対するゲートの電位及びドレインに対するゲートの電位が共に-13 Vになるように書き込み電圧を印加した。書き込み電圧の印加時間は400 μsである。

書き込み前後でのトランジスタの電気特性を図3に示す。書き込み後のトランジスタは、図3(a)に示すように、ゲート電圧によらずソース-ドレイン間に大きな電流が流れる状態になっている。これは、書き込みによってソース-ドレイン間に伝導パスができたことを意味する。一方で、ゲート電流を書込み前後で比較しても、有意な差は見られない(図3(b))。従来のOTPメモリでは、ソース-ゲート間及びドレイン-ゲート間に伝導パスができてゲート電流が増大するが、この書き込み方式によるOTPメモリでは、従来のOTPメモリと同じ場所には伝導パスが生じていないことがわかる。

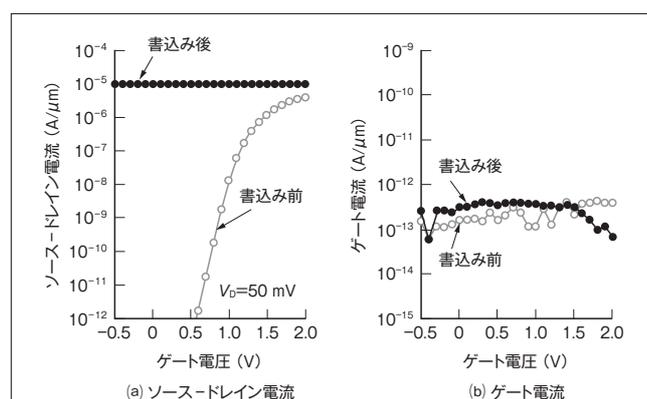


図2に示したように、書込み電圧の印加によってバンド間トンネル現象が発生する領域は、ソース及びドレインの拡散層のうち、基板表面の近傍（ゲート絶縁膜の直下）である。したがって、書込みによって欠陥が生成される領域も、基板表面近傍の一部に限定されていると考えられる。そこで、書込み後のトランジスタにおいて、ソース-ドレイン間の抵抗状態と、基板-ソース間の抵抗状態をそれぞれ調べた。その結果を図4に示す。

ソース-ドレイン間は、図4(a)に示すように、順方向及び逆方向のいずれもオーミック^(注1)に近い抵抗状態であり、その抵抗値に方向依存性はない。これはソース端とドレイン端にはほぼ等しい量の欠陥が生成されていることを意味している。次に図4(b)に示してある基板-ソース間の抵抗状態を見ると、pn接合に起因する整流特性が得られている。このことから、pn接合の境界面のうち欠陥による伝導パスが形成されている領域は基板表面の一部であり、それ以外のほとんどの領域で、書込み後もpn接合による整流特性が残っていることがわか

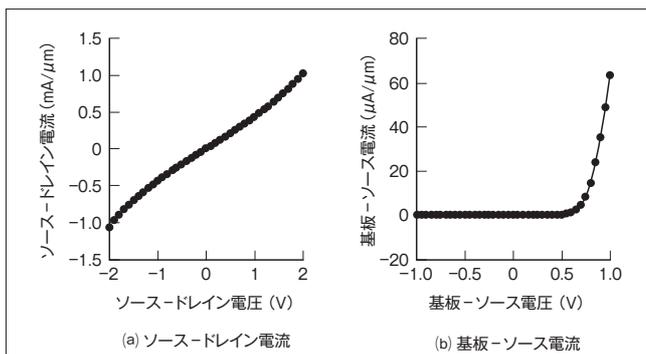


図4. 書込み後のメモリにおけるpn接合部の電気特性 — ソース及びドレインの端部に生成された結晶欠陥によって、ソース-ドレイン間は低抵抗状態になるが、基板-ソース間にはpn接合に起因する整流特性が見られる。
Characteristics of PN junctions in programmed memory

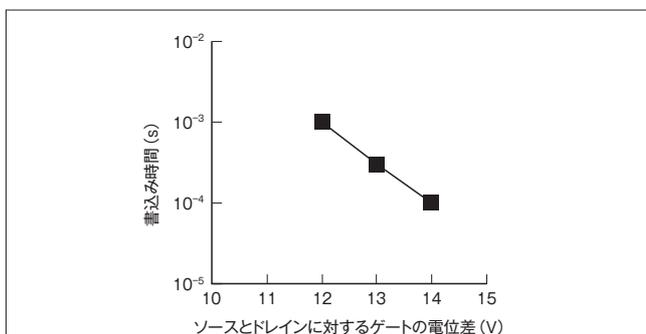


図5. 書込み電圧と書込み時間の関係 — 書込み電圧を大きくすると、書込み時間は短くなる。
Correlation between programming voltage and speed

(注1) 電流の方向や電圧の大きさに依存せずに抵抗が一定のこと。

る。また、逆方向電流が低く抑えられていることから、読出し時のソースあるいはドレインから基板へのリーク電流発生を抑制できることがわかる。

書込み電圧の大きさと書込み時間との関係を図5に示す。横軸は書込み時のソースとドレインに対するゲートの電位差を示している。この電位差と書込み時間は負の相関関係にあり、電位差を大きくすることで書込み時間を短くすることができる。

4 開発したOTPメモリの利点

開発したOTPメモリの大きな特長は、低コストで小面積のメモリ回路を実現できるという点である。

従来のOTPメモリを用いてアレイを作製する場合は、図6(a)に示すように、メモリ素子一つに対して一つの選択トランジスタが必要となる。これは、メモリ素子の書込み時や読出し時に周辺のセルを介した回り込み電流が発生するのを防ぐためであり、このような回り込み電流が発生してしまうと、特定のメモリ素子に書込み電圧や読出し電圧を正しく印加できない。このため、メモリ容量を大きくすると選択トランジスタの数もそれに比例して増加し、結果として回路全体の面積が大きくなる。

また、選択トランジスタの代わりに、非線形な抵抗特性を持ったダイオードを用いるメモリ回路も報告されている⁽²⁾。しかしダイオードも、トランジスタと同様に面積を増加させる

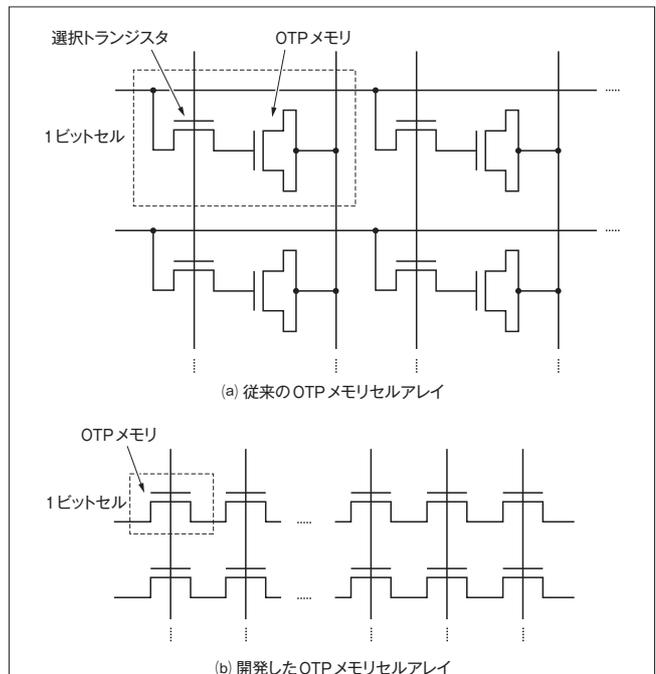


図6. OTPメモリセルのアレイ構造 — 従来のOTPメモリは、一つのメモリセルごとに一つの選択トランジスタが必要であったが、開発したOTPメモリは、選択トランジスタをメモリセルごとに設ける必要がないアレイ構造を採用でき、小面積のメモリ回路を実現できる。

Array structures of OTP memories

要因になることには変わりはなく、従来のOTPメモリでは、チップ面積の制約から搭載できるメモリ容量に限界があった。

一方、今回開発したバンド間トンネル現象を利用したOTPメモリでは、書込みはゲート端子、読出しはソース及びドレイン端子と、それぞれ別の端子を用いることができるため、図6(b)に示すように、NAND型フラッシュメモリと同様な構成のメモリセルアレイを作製できる。

また、この書込み方式では、ゲートに書込み電圧を印加する際、ソース及びドレインの電位を制御することで特定のメモリセルに対する書込みの許可や禁止を自由に制御できる。通常の書込み動作では、図1(b)に示したように、ソースとドレインに正の電圧を印加するが、例えばこれを0Vにしておけば、ゲートに書込み電圧が印加されても書込みは起こらない。このことを用いると、図6(b)に示したセルアレイの中にある特定のメモリセルのゲートに書込み電圧を印加した場合でも、そのメモリセルのソースとドレインに印加する電圧を制御することで、任意のメモリセルに対する書込みの許可や禁止を自由に制御して選択的な書込みを実現できる。

このセルアレイでは、直列に接続された複数のメモリセルで選択トランジスタを共有できる。したがって、個々のメモリセルごとに選択トランジスタを用意する必要がなく、大容量メモリ回路を小面積で実現できるため、大きなメモリ容量が必要な用途に適している。

これらに加え、このOTPメモリには、一般のCMOSトランジスタの製造プロセスだけで作製できるという特長もある。OTPメモリを一般のロジックLSIチップとは別のチップとして作製する必要がなく、同じチップの中に容易に混載できる。したがって、このOTPメモリは、大容量データ記憶用のメモリ製品としての用途だけでなく、ロジックLSI製品に安価で容易に集積できる混載メモリとしても、広く利用が期待できる。

5 あとがき

バンド間トンネル現象を利用したCMOSトランジスタによるOTPメモリを実現した。従来のOTPメモリがトランジスタのゲート絶縁膜の絶縁破壊を利用しているのに対し、このOTPメモリはバンド間トンネル現象を利用してソース端とドレイン端に結晶欠陥を生成するという原理に基づいている。この方式を用いると、トランジスタのソースとドレインの間に恒久的な伝導パスを形成できる。

従来のOTPメモリでは、複数のメモリセルでアレイを作製する際に、一つのメモリセルごとに一つ以上の選択トランジスタが必要であったが、開発したOTPメモリでは、選択トランジスタをメモリセルごとに用意する必要がなく、少ない素子数でメモリセルのアレイを実現できる。したがって、ロジックLSI製品に容易に集積可能な、小面積の混載メモリとして、幅広い応用が期待できる。

文献

- (1) Phan, N. D. et al. A 2-Kb one-time programmable memory for UHF passive RFID tag IC in a standard 0.18 μm CMOS process. *IEEE Trans. Circuits and Systems I: Regular Papers*, **60**, 7, 2013, p.1810 - 1822.
- (2) He, J. et al. A compact CMOS compatible oxide antifuse with polysilicon diode driver. *IEEE Trans. Electron Devices*, **59**, 9, 2012, p.2539 - 2541.



財津 光一郎 ZAITSU Koichiro

研究開発統括部 研究開発センター LSI基盤技術ラボラトリー。
先端LSIにおける半導体ナノデバイス及びメモリの研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



小田 聖翔 ODA Masato

研究開発統括部 研究開発センター LSI基盤技術ラボラトリー。
半導体ナノデバイスを用いた回路及びアーキテクチャの研究・開発に従事。電子情報通信学会会員。
Advanced LSI Technology Lab.



安田 心一 YASUDA Shinichi

研究開発統括部 研究開発センター LSI基盤技術ラボラトリー
主任研究員。半導体ナノデバイスを用いた回路及びアーキテクチャの研究・開発に従事。IEEE会員。
Advanced LSI Technology Lab.