

タイムインタリーブADCの 高速化と小面積化を両立させるデジタル補正技術

All-Digital Calibration Technology for Time-Interleaved ADCs to Achieve Balance between High Speed and Downsizing

松野 隼也

古田 雅則

板倉 哲朗

■ MATSUNO Junya

■ FURUTA Masanori

■ ITAKURA Tetsuro

通信速度とデータレートの増加に伴い、無線通信ICのアナログデジタル変換回路(ADC)の高速化が強く求められている。これを実現する有力な手法として、複数のADCを並列動作させて高速化を図るタイムインタリーブADC(TI-ADC)が注目されている。しかし、半導体製造時に生じるADCの性能ばらつきがTI-ADCの性能を劣化させるため、これを補正する大規模なハードウェアが必要となり、製造コストが増大するという課題があった。

今回東芝は、従来と同等の補正精度を維持しつつ、デジタル補正回路のハードウェア量を大幅に削減して小型化できる新たな補正技術を開発した。ADCのばらつきでデジタル出力信号に高調波が発生することに着目し、発生した高調波成分だけを抽出してデジタル出力信号から減じることで高調波をキャンセルする手法である。次世代無線通信ICへの応用として、分解能が10ビットでTI数が4の10ビット4TI-ADCについて、この手法をシミュレーションで検証し、デジタル補正回路のハードウェア量を約80%削減できることを実証した。

There is a strong requirement to increase the speed of operation of analog-to-digital converters (ADCs) in large-scale integrations (LSIs) for wireless communication systems to respond to the improvements achieved in system transmission speeds and data rates. A time-interleaved ADC (TI-ADC) using multiple sub-ADCs that operate in parallel has been attracting attention as a solution for the realization of faster conversion. However, the higher manufacturing cost of conventional TI-ADCs, due to the need for large-scale digital calibration circuits to rectify differences in the performance of individual sub-ADCs that occur as a result of the manufacturing process, is a serious issue.

Toshiba has developed a compact all-digital calibration technology to drastically reduce the area occupied by conventional calibration circuits while maintaining the calibration accuracy of TI-ADCs, by subtracting harmonic signals caused by differences in the performance of sub-ADCs from the digital output signals. We have conducted simulation experiments using a model of a 10-bit TI-ADC with four sub-ADCs for next-generation wireless communication systems, and verified that this technology reduces the amount of digital calibration circuits required by about 80%.

1 まえがき

無線LANや携帯電話などに代表される無線通信ICの開発では、通信速度が向上した新しい無線通信規格の登場に伴い、ICの高速化が強く要求されている。この種のICは、スマートフォンなどの民生機器への搭載が想定されるため、低価格であることが極めて重要である。低価格なICを実現するため、従来からIC内部の回路面積の削減が進められているが、依然としてアナログ部とデジタル部のインタフェースであるアナログデジタル変換回路(ADC)の回路面積は大きく、ADCの高速化と小面積化を両立させる回路技術が求められている。

ADCの高速化を実現する手法として、複数のADCを並列動作させて高速化を図るタイムインタリーブADC(TI-ADC)が注目されている⁽¹⁾。しかし、実際には半導体製造時のばらつきによりADCの性能が劣化する問題がある。これは、各ADCの利得やサンプルタイミングのばらつきによるものであり、これまでも様々な解決手法が提案されてきた。その中でも、デジタル補正手法はアナログ性能を劣化させない有力な手法として注目を浴びているが、ハードウェア量が大規模な

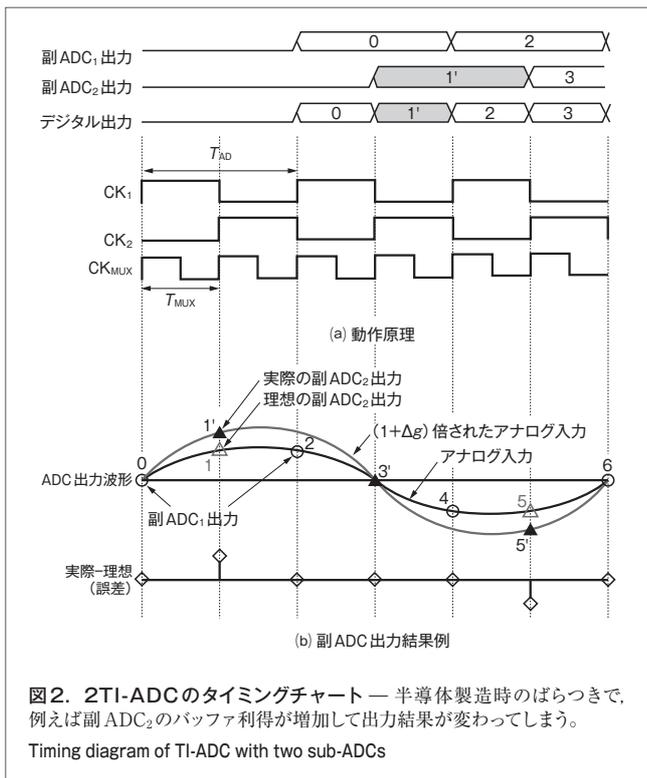
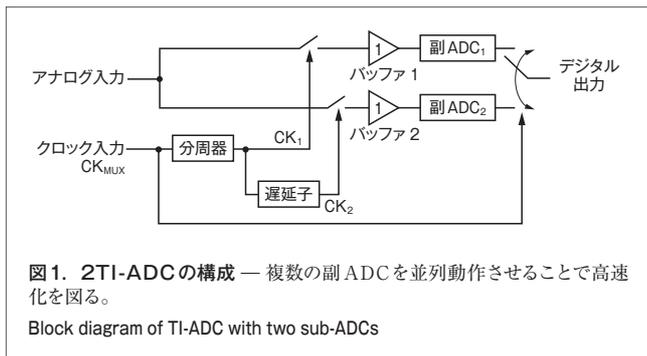
ため製造コストが増大するという課題があった⁽²⁾。

今回東芝は、半導体製造ばらつきによってデジタル出力信号に高調波が発生することに着目し、発生した高調波成分だけを抽出し、デジタル出力信号から減じることで、高調波をキャンセルする技術を開発した⁽³⁾。この技術は、従来技術と比較して回路の小面積化に適しており、製造コストを大幅に削減できる。ここでは、小面積デジタル補正技術の概要と、シミュレーションによる性能評価結果について述べる。

2 TI-ADCの概要

TI-ADCの一例として、2個の副ADCで構成される2TI-ADCのブロック図を図1に示す。回路は、2個の副ADC、副ADCの前段回路であるバッファ回路、アナログ入力信号をサンプリング(標本化)するスイッチ、クロック信号CK_{MUX}を分周する分周器、分周器出力を遅延する遅延子、及び各副ADCのデジタル出力を切り替えるスイッチ(マルチプレクサ)で構成される。

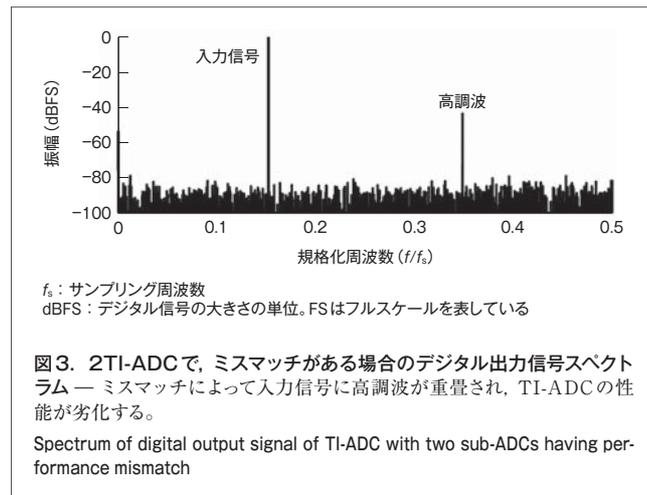
2TI-ADCでは、それぞれの副ADCの動作速度は同じであ



るが、信号をサンプリングするタイミングをずらすことで、副ADC単体の2倍の動作速度が実現できる。回路の動作原理の詳細を図2(a)で説明する。各副ADCは同じサンプリング周期 T_{AD} で動作しているが、副ADC₂は、副ADC₁に対して信号のサンプリングタイミングを T_{MUX} 時間ずらしている。各副ADCの出力は、マルチプレクサにより T_{MUX} ごとに切り替えられ、デジタル出力信号として出力される。これにより、2TI-ADCの動作周波数は等価的に $1/T_{MUX}$ となる。

しかし実際には、半導体製造時のばらつきにより、各バッファの利得や、副ADC₁のサンプリングクロックCK₁に対する副ADC₂のサンプリングクロックCK₂の遅延子による遅延量にミスマッチが生じるため、TI-ADCの性能が劣化する。

この一例として、バッファ1の利得を1として、バッファ2の利得がバッファ1の利得に比べて Δg だけ増加した場合の各副ADCの出力結果を図2(b)に示す。バッファ2は、サンプル



されたアナログ入力信号を $(1+\Delta g)$ 倍して副ADC₂に出力する。このため副ADC₂は、本来AD変換すべきアナログ入力信号データ1や5でなく、 Δg だけ増加したデータ1'や5'をAD変換する。図2(b)には、実際のADC出力結果と、本来出力すべき理想的な出力結果との差(誤差)信号についても示してある。

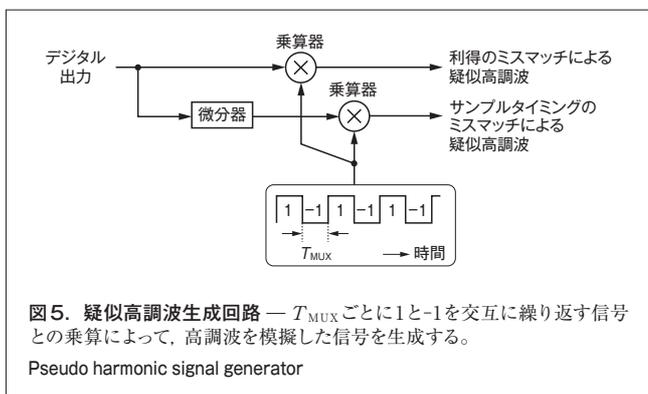
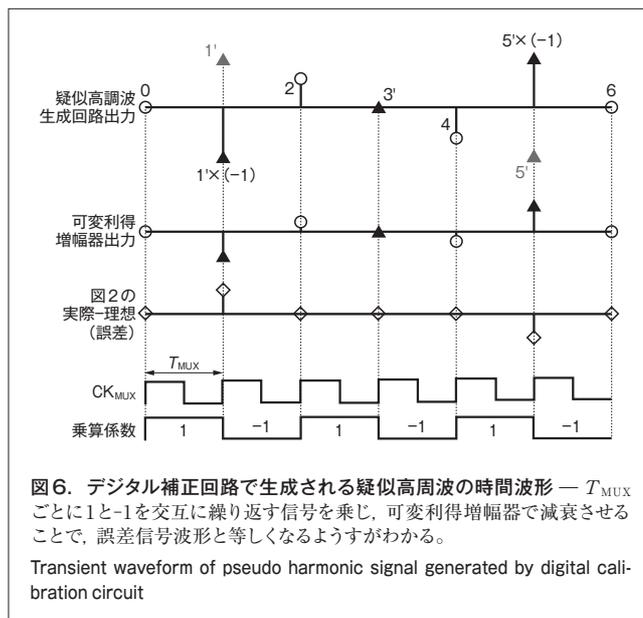
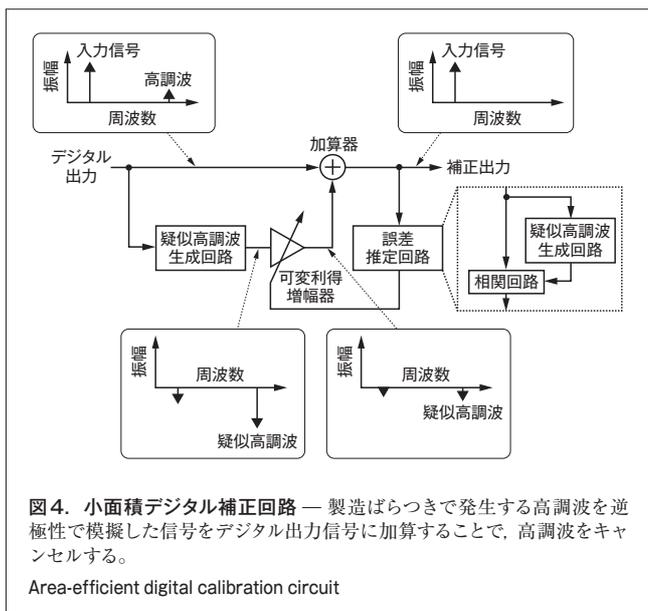
利得誤差により発生した誤差信号は、ある周期で変動する高調波信号となる。サンプル時間及び利得ミスマッチがある2TI-ADCに、単一正弦波を入力した場合のシミュレーション結果を図3に示す。ミスマッチにより、入力信号のほかに高調波信号が重畳されているようすがわかる。

バッファ利得やクロックタイミングのミスマッチによる性能劣化に対しては、従来から様々な補正手段が検討されている。特に、クロックタイミング補正は利得補正に比べて困難で、従来は、副ADCに従属的に接続したデジタル回路によって補正を行っている⁽²⁾。

従来手法の課題は、ダイナミックレンジの大きなADC出力データを用いて信号処理を行う必要があり、結果としてデジタル補正回路が大規模になることであった。また、それぞれの副ADCに対して別々のデジタル補正回路が必要なため、複数の副ADCを用いて高速動作を実現するTI-ADCでは、大規模な回路面積を占有し、製造コストが増大する課題があった。

3 小面積デジタル補正技術

当社が開発したデジタル補正回路のブロック図を図4に示す。この回路は、デジタル出力信号から高調波を模擬した信号を生成する疑似高調波生成回路、疑似高調波の信号レベルを調整する可変利得増幅器、デジタル出力信号へ疑似高調波を加算する加算器、及び補正出力信号からミスマッチ量を推定する誤差推定回路で構成される。疑似高調波生成回路は、図3に示した出力信号のうち、高調波だけを逆極性で模擬した



例えばサンプルタイミングが Δt だけずれた場合、 Δt に対して入力信号の周期が十分大きければ、 Δt のずれによる振幅のずれは小さく、重畳される高調波レベルは小さくなる。逆に入力信号周期が小さいと、振幅のずれが大きくなって高調波レベルが大きくなる。サンプルタイミングのミスマッチによって発生する高調波のレベルは、入力信号周波数に比例して増大し、この周波数に比例した特性を微分器で実現している。

疑似高調波信号を生成する。この信号を可変利得増幅器でデジタル出力に含まれる高調波と同等の信号レベルまで減衰させた後、デジタル出力信号に加算することで、補正出力として高調波を含まない理想的な出力信号が得られる。誤差推定回路は、疑似高調波生成回路と相関回路から成り、補正出力信号に高調波が残っている場合には、相関回路によって補正出力信号と誤差推定回路内の疑似高調波生成回路で生成した疑似高周波信号とで相関出力が生じるので、相関出力がゼロとなるように可変利得増幅器の利得を制御する。

利得のミスマッチによる疑似高調波の時間波形の例を**図6**に示す。デジタル出力データ1', 3, 及び5'を、疑似高調波生成回路で-1倍して出力し、可変利得増幅器でミスマッチにより発生する高調波と同等の信号レベルまで減衰させる。可変利得増幅器の出力は、ミスマッチにより発生する高調波(誤差信号)とほぼ同等の波形で符号が反対の信号となり、これをデジタル出力信号に加算することで高調波が打ち消され、理想的な出力信号が得られる(注1)。これは、インタリーブ数が2の場合であるが、1と-1の繰返し方法を工夫することで、任意のインタリーブ数に拡張できる。

疑似高調波生成回路のブロック図を**図5**に示す。回路は、微分器と2個の乗算器で構成される。デジタル出力信号と、 T_{MUX} ごとに1と-1を交互に繰り返す信号との乗算により、デジタル出力信号の周波数を変換して、利得のミスマッチにより発生する高調波だけを生成する。サンプルタイミングのミスマッチにより発生する高調波は、デジタル出力信号を微分して、 T_{MUX} ごとに1と-1を交互に繰り返す信号と乗算することで生成する。サンプルタイミングのミスマッチの影響は、アナログ入力信号の周期に依存する。

開発したデジタル補正回路は、疑似高調波生成回路の微分器がハードウェア量の大半を占める。微分器は、従来のデジタル補正回路と同じフィルタ回路で実現されるが、以下に示す三つの点が大きく異なる。

- (1) 図3からわかるとおり、誤差信号レベルはADC出力信号よりも十分小さいので、これを打ち消す信号を生成する疑似高調波生成回路のダイナミックレンジを削減できる
- (2) 微分器は、インタリーブ数に関わらずただ一つでよい
- (3) 従来は、ミスマッチ量に応じてフィルタの係数を変更す

(注1) 定性的には、可変利得増幅器出力データ2がわずかに残留し、可変利得増幅器出力データ1'は誤差信号データ1'よりわずかに小さくなるため、厳密には出力信号振幅がわずかに増加。

るため、これを保持する回路が必要であったが、この回路では不要である

これらにより、従来のデジタル補正回路に比べて大幅にハードウェア量を削減できる。

4 シミュレーションによる性能評価

開発した小面積デジタル補正回路の有効性を、C言語によるシミュレーションで検証した。10ビット4TI-ADCで、微分器に31タップのFIR (Finite Impulse Response) フィルタを使用し、ミスマッチとしてバッファ利得誤差及びサンプルタイミング誤差の両方を与えた。

4トーンのアナログ信号を入力した場合のデジタル出力信号及び補正出力信号を図7に示す。デジタル出力信号には多数の高調波信号が重畳されている一方で、補正した信号では高調波がキャンセルされて、入力信号の4トーンだけが出力されていることが確認できる。

開発した補正技術と従来技術で、デジタル補正回路のハードウェア量の大部分を占めるFIRフィルタを4TI-ADCの場合

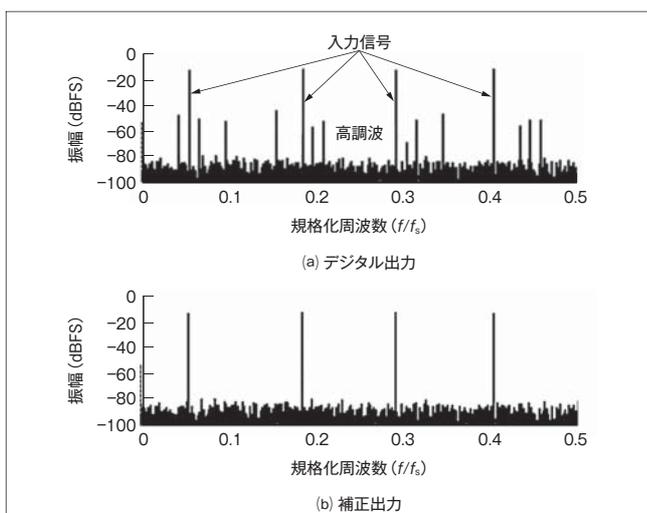


図7. 4TI-ADCの出力信号スペクトラム — 補正出力では、製造ばらつきで生じる高調波がキャンセルされているようすがわかる。
Spectrum of digital and calibrated output signals of TI-ADC with four sub-ADCs

表1. 4TI-ADCでのデジタル補正回路のハードウェア量の比較

Comparison of amount of hardware of conventional and newly developed digital calibration circuits for TI-ADC with four sub-ADCs

項目	開発した回路	従来の回路
フィルタ所要数 (個)	1	3
フィルタタップ数 (個)	31	33
フィルタ係数語長 (ビット)	13	14
フィルタ信号語長 (ビット)	5	10
係数保持回路の有無	なし	あり

で比較した結果を表1に示す。同等の補正量を満たすフィルタの所要数が1/3に低減できている。また、フィルタの信号語長は50%削減でき、トータルのハードウェア削減量は約80%となる。更に、大規模な係数語長を保持するための回路も不要となり、従来と比べて大幅にハードウェア量を削減できることを実証した。

5 あとがき

当社は、製造時のばらつきでTI-ADCのデジタル出力信号に高調波が発生することに着目し、この高調波だけを抽出してデジタル出力信号から減じることで、高調波をキャンセルする小面積デジタル補正技術を開発した。シミュレーションで従来回路との比較を行い、10ビット4TI-ADCではフィルタの信号語長を50%削減できることを確認した。また、デジタル補正回路のハードウェア量を約80%削減できることを実証した。

今後は、次世代無線通信用IC向けに、更に高速で高分解能なADCの開発に注力していく。

文献

- (1) 古田雅則 他. 高速サンプリングと低消費電力を両立させるタイムインタリーブ逐次比較型ADC. 東芝レビュー. 68, 10, 2013, p.30-33.
- (2) Huang, S. et al. Blind Calibration of Timing Offsets for Four-Channel Time-Interleaved ADCs. IEEE Trans. Circuits and Systems I. 54, 4, 2007, p.863-876.
- (3) Matsuno, J. et al. All-Digital Background Calibration Technique for Time-Interleaved ADC Using Pseudo Aliasing Signal. IEEE Trans. Circuits and Systems I. 60, 5, 2013, p.1113-1121.



松野 隼也 MATSUNO Junya

研究開発センター ワイヤレスシステムラボラトリー。
高速・高分解能ADCの開発に従事。電子情報通信学会会員。
Wireless System Lab.



古田 雅則 FURUTA Masanori, D.Eng.

研究開発センター ワイヤレスシステムラボラトリー主任研究員、博士(工学)。高速低消費電力ADCの開発に従事。IEEE、電子情報通信学会会員。
Wireless System Lab.



板倉 哲朗 ITAKURA Tetsuro, D.Eng.

研究開発センター技監、博士(工学)。
RFアナログLSI、アナログデジタル混載信号処理回路の開発に従事。IEEE、電子情報通信学会会員。
Corporate Research & Development Center