

# 大容量かつ低コストの半導体ストレージを実現した NAND 型フラッシュメモリ技術

NAND Flash Memory Technologies Realizing Storages with Larger Capacity and Lower Cost

中井 弘人      桐澤 亮平      助川 博  
 ■ NAKAI Hiroto      ■ KIRISAWA Ryohei      ■ SUKEGAWA Hiroshi

東芝は、半導体メモリの黎明(れいめい)期に将来の大容量化を見通してフラッシュメモリの開発に着手した。NAND型フラッシュメモリで実用的な容量を持つフラッシュメモリをいち早く開発し、メモリチップの大容量化と低コスト化を毎年推し進めてきた。今では身近にあるメモリカードや携帯電話から、データサーバ用途まで、多様なストレージ分野に応用が広がっている。

市場はいつその大容量化による低コスト化を求めており、当社は、リソグラフィによる物理限界を突破するため、メモリセルを縦方向にスタックする3D(3次元)メモリの開発を進めており、その進化はとどまることがない。

As the world pioneer of flash memory, Toshiba launched the research and development of flash memories with the goal of realizing a future storage technology with large capacity. We developed the world's first flash memory cells in 1984 and have been continuously advancing the development of various large-capacity memories since then, typified by NAND flash technology, in order to create a new nonvolatile memory market. We are now expanding the lineup of NAND flash memories with larger capacity and lower cost toward realizing various applications, ranging from those used in all areas of people's daily lives such as memory cards, mobile phones, and solid-state drives (SSDs) for PCs to data servers equipped with large numbers of NAND flash memory modules.

The technology node of NAND flash memories has been shrinking year by year in line with Moore's Law, although the pace of scaling has recently shown a decelerating trend. To overcome the physical limits of lithography, we have also been making efforts to develop three-dimensional (3D) memories consisting of vertically stacked memory cells.

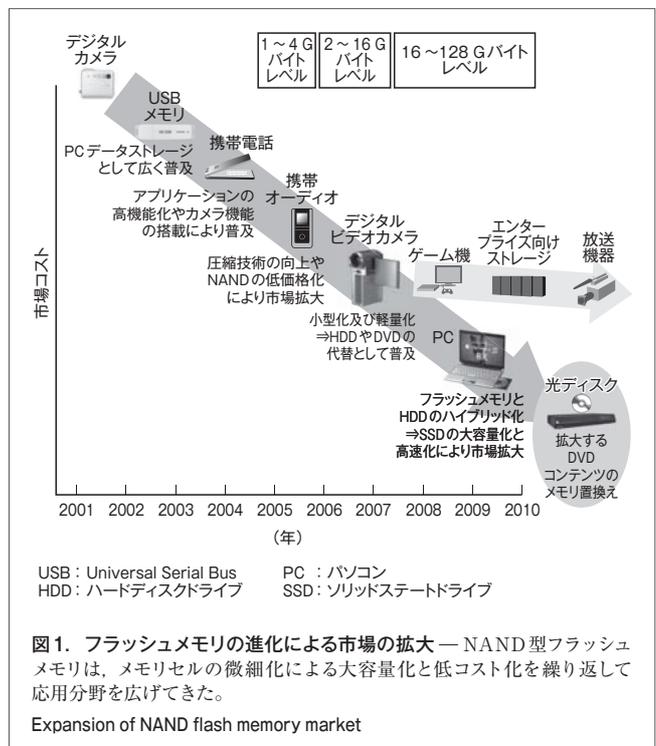
## 1 まえがき

半導体メモリは1×1 cm程度のシリコンチップであり、その中でメモリセルの占める割合は7～8割に上る。これまで、メモリセルを縮小して同じチップ面積で大容量化することを目指した技術開発が繰り返されてきた。そのなかで東芝が、大容量かつ低コストを目指して1980年代後半から開発を始めたNAND型フラッシュメモリは、現在、世界標準の半導体メモリとして認められている。

ここでは、開発初期の基本構想から、市場に認知され始めた黎明期、そしてデジタルカメラや携帯電話などに幅広く使用されて飛躍的な市場拡大を果たした現在に至る、当社フラッシュメモリの性能向上の推移(図1)とそれを支えた技術開発<sup>(1)</sup>について述べる。

## 2 世界初のフラッシュメモリの発表

当社は、マスクROMやEPROM(Erasable Programmable ROM)など不揮発性メモリの開発を、1970年代に着手した。EPROMは浮遊ゲートとコントロールゲートが積層された2層ゲート構造を持ち、紫外線を照射してフローティングゲート内の電子を放出しデータを消去する不揮発性メモリである。1970年代の不揮発性メモリはまだ浮遊ゲートタイプのスタック型2層



ゲート構造が標準的でなく、アルミニウムゲートを使用したタイプやMONOS (Metal-Oxide-Nitride-Oxide-Silicon) タイプなど、いろいろな原理や構造を持つものが存在した。1980年代

前半には日本製のEPROMは世界市場の大きな部分を占めるまで成長していた。当社も早くからEPROMの量産化に成功しており、1984年当時は1.5  $\mu\text{m}$ ルールで64kビットEPROMを生産していた。

この1984年に当社は、メモリセルのチャネルと浮遊ゲートの間に第3の消去ゲートを設け、この第3のゲートに電圧を印加することで浮遊ゲートの電子を引き抜く3層ポリシリコンゲートタイプのフラッシュメモリセルを開発し、世界で初めて<sup>(注1)</sup>電氣的に書き込み消去可能な不揮発性メモリのコネプトと特性を、その年のIEDM (International Electron Devices Meeting) で発表した<sup>(2)</sup>。更に翌年の1985年には、ISSCC (International Solid-State Circuits Conference) で2.0  $\mu\text{m}$ ルールを用いた256kビットチップの動作を発表した<sup>(3)</sup>。当時、当社は様々なフラッシュメモリセルの研究開発を行っており、Intel社など各社と不揮発性メモリの開発を競っていた。当社はこの3層ポリシリコンゲートタイプで電氣的に消去可能な不揮発性メモリをフラッシュメモリと呼び、この名称は電氣的消去可能な不揮発性メモリの代名詞として現在でも広く使用されている。

当社はこのようにして、フラッシュメモリの生みの親として認知されるようになり、引き続き3層ポリシリコンゲートタイプのフラッシュメモリの開発を続けた。この過程で、消去特性のばらつき制御が製品化の鍵であることがわかり、フローティングゲート表面にプロセス的に凹凸を作ることで消去特性を改善するなどの成果を上げた<sup>(4)</sup>。しかし、各層のゲートが複雑な構造のため加工が難しく、信頼性も改善しないことから1990年代前半には3層ポリシリコンゲートタイプメモリセルの開発は中止された。

### 3 NAND型フラッシュメモリの動作

当社は、1980年の早い時期からNAND型フラッシュメモリの原型となるアイデアに着目し<sup>(5)</sup>、その成果として現在のNAND型フラッシュメモリの動作原理に関する発表を、1987年にIEDMで行った。当社はその後も最小のメモリセルの実現をコンセプトとして研究開発を続け、実際の4Mビットのチップ動作を1989年にISSCCで発表した<sup>(6)</sup>。

IEDMでの発表時は、単体メモリセルを実験用ウェーハから切り出してセラミックパッケージに1個ずつ実装した後、外部で電氣的に直列に接続して測定を行った。当時量産していた紫外線消去型のEPROMメモリは、チャネルに電流を流すときに生じるホットエレクトロン(大きな運動エネルギーを持つ電子)を、浮遊ゲートに注入することで書き込みを行う。ホットエレクトロンを使用することにより、チャネルの酸化膜の厚さを25nm程度に厚くすることができ、ユーザーが要求する10年間

(注1) 1984年12月、IEDMで発表。

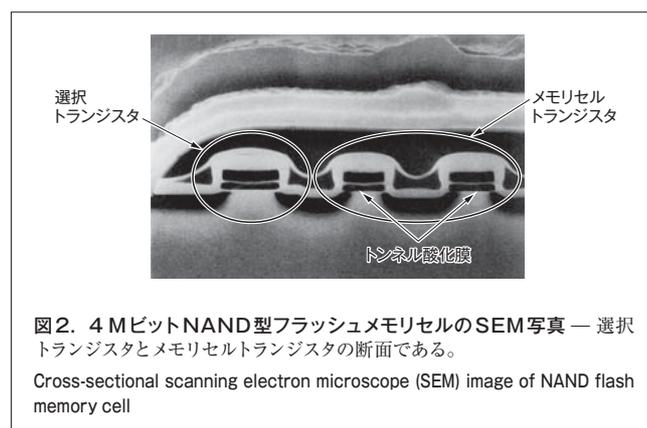


図2. 4MビットNAND型フラッシュメモリセルのSEM写真 — 選択トランジスタとメモリセルトランジスタの断面である。  
Cross-sectional scanning electron microscope (SEM) image of NAND flash memory cell

のデータ保持特性(電子をフローティングゲート内に保持しておく性能)を確保している。EPROM構造のメモリセルを4個接続した状態でデータの書き込み測定を行ったところ、ある電圧で任意のメモリセルにデータが書けることを確認した。これにより、高集積化が可能なNAND構造でデータを書き換えられることを実証した。

しかし、EPROMのようにホットエレクトロンを使用する書き込み方式では、メモリセルを直列に接続した構造のため他のメモリセルの抵抗の影響を受けて書き込み電流が変化し、書き込みが不安定になるという問題が見つかった。

この問題を解決するため、10nmの薄いトンネル絶縁膜に高電界を印加して、浮遊ゲートとドレイン間で電子の引出しを行う、トンネル電流方式を採用した。ホットエレクトロン生成のためにドレイン電流を流す必要がなくなり、高電界だけで動作が可能になることから、この問題を解決できた。当時の4Mビットフラッシュメモリの選択トランジスタとメモリセルトランジスタのSEM(走査型電子顕微鏡)写真を図2に示す。

### 4 NAND型フラッシュメモリの信頼性向上

現在のNAND型フラッシュメモリではメモリセル64個以上を多数直列に配置して動作させているが、それを可能にしたのは書き込み・消去動作にトンネル電流を適用したことである。当初は、この方法で8個のメモリセルを接続した4Mビットの試作品を開発したが、トンネル酸化膜の絶縁性が劣化する問題が新たに発生した。当時のNAND型フラッシュメモリの動作は、消去時は制御ゲートに高電圧を印加して浮遊ゲートに電子を注入し、書き込み時はビット線に接続されるドレインに高電圧を印加して浮遊ゲートから電子を放出するものだった<sup>(7)</sup>。この動作をNAND構造のメモリセルで行うと、消去時はチャネル上のトンネル酸化膜前面に高電界が印加されるが、書き込み時はドレインと浮遊ゲート端部の一部のトンネル酸化膜にしか高電界が印加されない。同時にドレインと基板のPN接合に逆方向の高電圧が印加されるため基板電流で発生するホット

ホールがトンネル酸化膜を劣化させたのである。

これを解決するため、消去と同じチャネル領域前面で電子を放出させることで、書込みと消去を行うたびに双方向にトンネル電流が流れ、酸化膜の劣化を抑えるように改良した。この方式は現在のNAND型フラッシュメモリでも使用され、書込み・消去方式の基本原理となった。更にこの動作原理により、NAND型フラッシュメモリをゲート酸化膜の前面をトンネル酸化膜で構成するシンプルなプロセスにでき、メモリセルの微細化も容易になった。

またNAND構造でデータを読み出すとき、選択メモリセル以外のセルを導通状態にする必要がある。このため読出し時はターゲットメモリセル以外の他の直列接続されたメモリセルのゲートに5Vを印加するが、ターゲット以外のメモリセルのしきい値はこの5Vより低い0.5～3.0Vの範囲内に収める必要がある。そのため書込み動作を複数回に分けて少しずつメモリセルのしきい値を上昇させ、3Vのしきい値を超えないように制御する。この動作をベリファイ動作というが、書込み不足のメモリセルには高電界を次の書込み動作で印加し、0.5Vに達したメモリセルには高電界を印加しないよう制御する方式を開発した。この方式により、メモリセルの書込み速度のばらつきによる書込み不良を防ぐことが可能になった。

## 5 量産化へ向けた施策

前章までに述べた過程を経てNAND型フラッシュメモリの基本動作と構造が確立されたが、試作を繰り返すたびに新たな信頼性問題が表面化し、その対策を探す試行錯誤を続けた。メモリセルの信頼性では、次のような問題が発生した。

- (1) ベリファイ動作を用いてもメモリセルのしきい値を3V以下に制御できず、書込み速度が極端に速くなったり遅くなったりする“ふらふらビット”の存在
- (2) 1万回程度の書込み・消去回数でメモリセルの保持特性が急激に悪化するロットの存在

第1世代4Mビットフラッシュメモリから第3世代の4Mビットフラッシュメモリまで試作を行い、プロセスと回路の両面から改良を加え、書込みと消去の回数が1万回程度であれば、10年間のデータ保持特性をほとんどのメモリセルで確保できるような改善プロセスを開発した。しかし、ある確率で起こるふらふらビット不良はプロセス改善やスクリーニングでは排除することが難しいことがわかり、新たな対策が必要になった。このために、一度に読み書きする単位をHDD（ハードディスクドライブ）と同じ512バイトに設定してストレージメモリとして使用すれば、HDDコントローラで一般に使用されている誤り訂正（ECC：Error Check and Correct）技術をNAND型フラッシュメモリに適用できることに着目した。ホストシステムでECC機能の制御を行う必要があるが、新しいメモリ市場では

ホストシステム側での対応は可能と考えた。

HDDをシリコンチップで置き換える戦略はシンプルであったため、量産化の可能性も見えてきた1989年頃から本格的に社内の研究開発プロジェクト体制を発足させた。4Mビットテストチップを使い信頼性改善を続け、第3世代の4Mビット品を商品化した。

商品化した当時の4Mビットチップの書込み方式は、最初の書込みパルス印加後にホストシステムがベリファイ読出しを行い、しきい値が0.5Vに達していることを検知する。その後しきい値が達していないメモリセルのカラムアドレスだけに電子を再注入する書込みデータをホストシステムが入力し、2回目の書込み動作を行う。この書込み・ベリファイ動作サイクルを512バイトのメモリセルのしきい値が全て所定の電圧になるまで10数回繰り返す必要があった。この作業はホストシステムの制御フローを煩雑にし、時間も掛かるため4MビットNAND型フラッシュメモリの市場は限られていた。

こうしたなか、1991年にPCMCIA（Personal Computer Memory Card International Association）カードの商品化を目指した当社とIBM社とのNAND型フラッシュメモリ共同開発が議論され始めた。当社がNAND型フラッシュメモリを供給し、IBM社がNANDコントローラを設計する分担であった。当社はこのプロジェクトで新たなカード用途の市場に参入することを決め、当時既存の事業だったEPROMを縮小してまだ市場が確立していないNAND型フラッシュメモリへと事業を転換させた。

当初は容量を8Mビットとする構想であったが、IBM社と仕様を検討していく過程で、1991年秋に容量を16Mビットに変更することとなった。これを実現するため、ページ長を512バイトから256バイトに変更してTSOP（Thin Small Outline Package）に収まるチップサイズに設計し、更にアドレスピンをなくしてI/O（Input/Output）ピンからアドレスを入出力するマルチプレクスI/O仕様を取り入れて周辺回路を小さくした。PCMCIAカードのシステムはHDDと同じ512バイトで読み書き動作を行うが、カード内で2個のチップを並列に読み書きすることでページ長512バイトと同等の動作を行わせることができ、ページ長の問題を解決した。

更に、システムの設計負荷を軽くするため、NAND型フラッシュメモリ内部にベリファイと再書込み動作を行うシーケンサ回路を組み込んだ。このシーケンサ回路は、一度に書き込む256バイトのメモリセルを0.5～3.0Vのしきい値に収めるよう再書込み動作を内部で自動制御し、ベリファイ読出し後の内部書込みデータの設定は全てNANDチップ内部で行うよう設計した。この結果、システム側は書込みビジー信号がレディに戻った後、書込み動作が正常に行われたかをコマンドでチェックするだけでよくなり、複数チップを並列動作させたときにシステム設計側の制御がシンプルになった。これらのコンセプトは現在

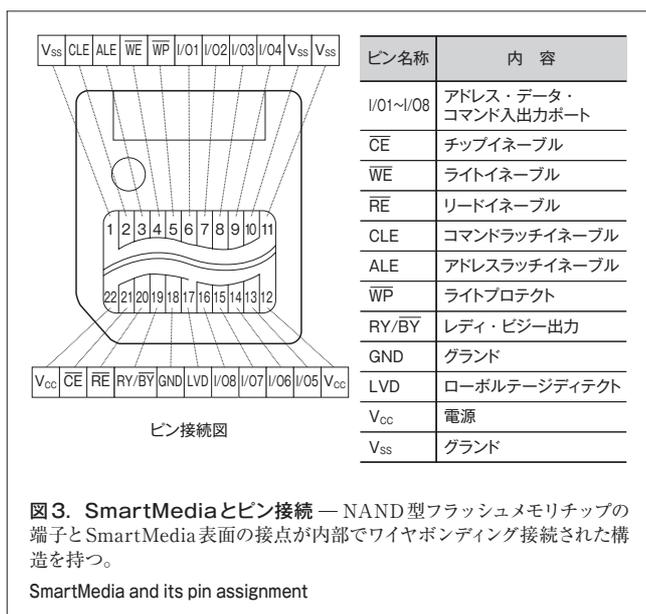
のNAND型フラッシュメモリの仕様にも引き継がれている。

また256バイトのページ長に冗長の8バイトを付加しリードソロモンのECC計算結果をこの冗長部に格納する仕様とした。4Mビット品の研究開発を通してECCによるふらふらビット救済が必須である知見を当社が得ていたことが役だった。これらの新規仕様を盛り込みながら、ほぼ半年の設計・開発期間を経て1992年10月に全ビットが動くCS (Commercial Sample) をIBM社へ供給できた。当社はこのPCMCIAカードプロジェクトを通して、HDD置換え用途で出発したフラッシュメモリを、メモリカード用途で使うことのメリットを学んだ。

その後デジタルカメラの内蔵メモリや、日本電信電話(株)用デジタルPBX(構内交換機)、ハンディターミナル、放送機器用など様々な顧客に販売プロモーションを行ったが、産業用途の分野では、ホストシステム側にECCを搭載することや不良ブロックの管理などは新しい概念だったため、ビット性やブロック性の不良が多発した。更にロットばらつきが原因の歩留り低下、ビット線間の耐圧不良などの量産トラブルも多発した。こうした問題を解決するため、従来の製造工程や設計方式を徹底的に見直し、NAND型フラッシュメモリの量産化を達成した。

## 6 新しい用途の発掘

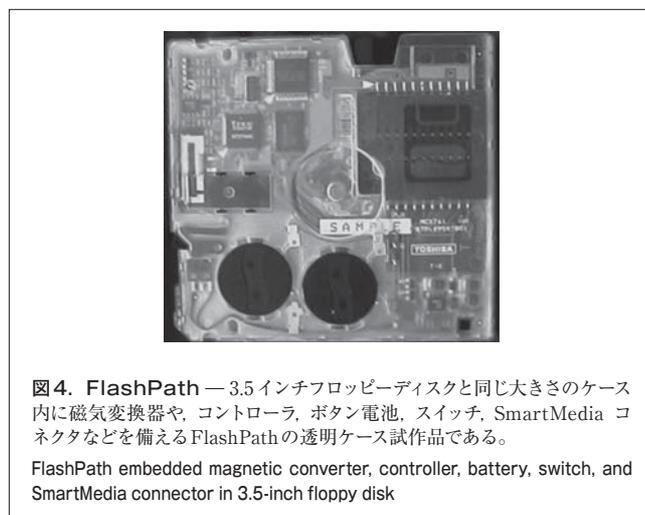
こうした産業機器用の少量生産が続くなか、当社はNAND型フラッシュメモリを37×45×0.76mmの小型カードサイズに収納したSmartMedia(図3)の開発と規格策定の準備を進めた。1996年にデジタルカメラメーカーや、メモリメーカー(当社とサムスン電子社)、周辺機器メーカーなどが共同でフォーラムを発足させ、SmartMediaを商品化した。またSmartMediaに対応したデジタルカメラも商品化された。



このSmartMediaの商品化時期は、二つの点でNAND型フラッシュメモリの市場が広がるための条件がそろっていた。一つ目は、デジタルカメラの構成要素の部品性能が向上して、デジタルカメラの価格がコンシューマーレベルの普及帯に入ってきたことである。またパソコン(PC)の性能も向上し、PCで写真データが利用されるようになってきていた。このためメモリカード内のデータがPCとも連携するという、その後の携帯音楽プレーヤとも共通性を持つ新たな商品が登場してきていた。PCとの接続はデスクトップPCのためにはフロッピーディスク型のSmartMediaアダプタとしてFlashPath(図4)が1997年に登場し、PCケースの前面に標準的に装着されているフロッピーディスクドライブからの操作が可能になり、SmartMediaの普及の後押しをした。

二つ目の条件はNAND型フラッシュメモリの動作についての知識がSmartMediaフォーラムの活動や資料から顧客に浸透し始めたことであった。システム設計者にとっては、SmartMediaを使うことは、NAND型フラッシュメモリに直接アクセスすることとほぼ等価であった。SmartMediaのフォーラム技術資料は、NAND型フラッシュメモリを使用する多くの技術者に参照され、NAND型フラッシュメモリが普及する環境を整えるのに対して役だった。

その後、当社、サンディスク社、及びパナソニック(株)が共同でSDカードという新しいメモリカードの企画立案を行った。当時の市場ではCF(CompactFlash)<sup>(注2)</sup>とSmartMediaが共存しており、カメラメーカーはどちらかのメモリカードに対応するデジタルカメラを開発して商品化していた。SDカードはその堅ろう性とコンパクトさから急速に市場で受け入れられて浸透した。またこのころUSB(Universal Serial Bus)メモリも使用され始め、NAND型フラッシュメモリを一時的なストレージとして使用する市場が拡大した。



(注2) CompactFlashは、米国サンディスクコーポレーションの登録商標。

## 7 多値化によるいっそうの大容量化の追求

当社は1996年に0.4  $\mu\text{m}$ の64 Mビットの量産品をベースに周辺回路を改良し、一つのメモセルに2ビットのデータを記憶させた128 Mビットの多値試作チップの開発に着手した。このチップの評価を通してメモセルのプロセスに改良を加え、1998年には1万回の書込みと消去が可能な多値NAND型フラッシュメモリの試作チップを作製した。その後、量産化を実現して、多値512 Mビット品を最初に市場に投入した。2000年以降多値メモリが市場で受け入れられるようになり、生産の主流は一つのセルに2ビット (MLC: Multi Level Cell) や3ビット (TLC: Triple Level Cell) を記憶する多値製品に変わってきた。19 nm 128 GビットTLCのチップを図5に示す。

NAND型フラッシュメモリの市場は、現在の主流である携帯電話やスマートフォンからSSD (ソリッドステートドライブ) まで広がっており、NAND型フラッシュメモリのアクセスの高速性が重要なアプリケーションサーバは全てのストレージをNAND型フラッシュメモリで構成している。開発当初期待されていたPC用HDDのNAND型フラッシュメモリによる置換えは、NAND型フラッシュメモリの開発から20年近くの歳月を経て本格的に始まった。現在の微細化はやがて物理限界が来ると考えられるが、市場ではいっそうの大容量化による低コスト化が求められている。リソグラフィによる物理限界を突破するため、平面状にメモセルを並べる2Dメモリではなく、縦方向にメモセルをスタックする3Dメモリの実現を目指して新しいメモリであるBiCS (Bit Cost Scalable) が開発されている<sup>(8)</sup>。

## 8 あとがき

1984年のIEDMでの3層フラッシュメモリ動作の発表と1987年のNAND型フラッシュメモリの原型となる研究成果な

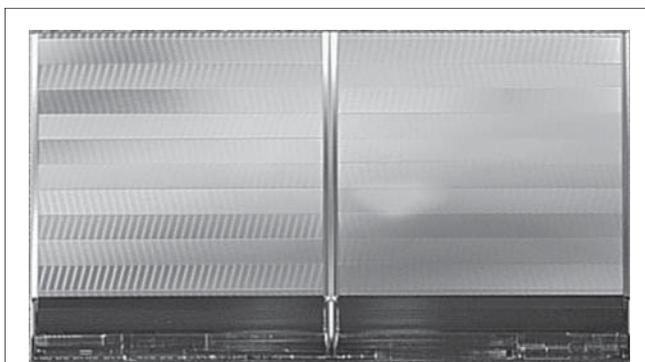


図5. 19 nm 128 Gビット TLCチップ—19 nmプロセスを適用した128 GビットTLCのチップを示す。  
128 Gbit three-bits-per-cell (triple-level cell: TLC) chip using 19 nm process

ど、当社は早くからフラッシュメモリの開発に注力していた。1987年から現在まで基本的な書込み・消去方式やフローティングゲートを持つ積層ゲート構造が使われ続けていることは、最小のメモセルサイズを追求したコンセプト設計が適切であったことを示している。

NAND型フラッシュメモリの開発に着手した1980年代に想定していた、“HDDを置き換えて、1  $\text{cm}^2$ 程度のチップで数日分の新聞やフィルム数本分の写真データを持ち歩き、好きなときに好きなものを見る”というユースケースは、現在実現された。

当社は、BiCSメモリやその先のPost-NANDメモリ開発を進めることでビットコストを更に低減させ、フラッシュメモリがクラウドストレージ分野で使われることで日々の生活がより便利になるよう開発を推進し続けていく。

## 文献

- (1) 大島成夫. 半導体不揮発性メモリの技術動向と展望. 東芝レビュー. 66, 9, 2011, p.2-6.
- (2) Masuoka, F. et al. "A new flash E<sup>2</sup>PROM cell using triple polysilicon technology". IEDM technical digest. San Francisco, CA, USA, 1984-12, IEEE. 1984, p.464-467.
- (3) Masuoka, F. et al. "A 256K flash EEPROM using triple polysilicon technology". ISSCC Digest of Technical Papers. New York, NY, USA, 1985-02, IEEE. 1985, p.168-169.
- (4) 堀 正幸 他. 256Kビット フラッシュEEPROM. 東芝レビュー. 44, 12, 1989, p.955-957.
- (5) 東京芝浦電気. 岩橋 弘 他. 半導体記憶装置. 公開特許公報. 特願昭55-147921, 1980-10-22出願.
- (6) Itoh, Y. et al. "An experimental 4 Mb CMOS EEPROM with a NAND structured cell". ISSCC Digest of Technical Papers. New York, NY, USA, 1989-02, IEEE. 1989, p.134-135.
- (7) 桐澤亮平 他. 4Mビット NAND型EEPROM". 東芝レビュー. 44, 12, 1989, p.997-1000.
- (8) 青地 英明 他. 超大容量不揮発性ストレージを実現する3次元構造BiCSフラッシュメモリ. 東芝レビュー. 66, 9, 2011, p.16-19.



中井 弘人 NAKAI Hiroto

セミコンダクター&ストレージ社 メモリ事業 フラッシュメモリ事業戦略部長。不揮発性メモリの開発及び戦略立案に従事。Memory Div.



桐澤 亮平 KIRISAWA Ryohei

セミコンダクター&ストレージ社 メモリ事業部 メモリ技術管理部 参事。NAND型フラッシュメモリの開発に従事。応用物理学协会会员。Memory Div.



助川 博 SUKEGAWA Hiroshi

セミコンダクター&ストレージ社 半導体研究開発センター メモリシステム開発部主幹。NAND型フラッシュメモリカード及びSSDの開発に従事。Center for Semiconductor Research & Development