

## プラズマCVD酸化膜における界面制御技術

### 酸化膜形成の前処理でトランジスタ特性を左右する界面物性を制御

半導体デバイスは、2次元の微細化に物理的な限界が迫っており、3次元化の技術開発が進められています。しかし3次元デバイスでは、シリコン(Si)トランジスタのゲート酸化膜形成に従来の高温プロセスが使用できません。一方、プラズマCVD (Chemical Vapor Deposition) などの低温プロセスも、酸化膜とSi基板の界面に欠陥が生じ、デバイス特性が悪化する問題があります。

そこで東芝は、Si最表面をあらかじめ酸化する前処理で、プラズマCVDの成膜時に界面欠陥を低減する界面制御技術を開発しました。これにより、界面に捕獲される電子を抑制し、デバイスの信頼性向上が期待できます。

### 3次元デバイスにおける酸化膜形成時の課題

半導体デバイスは、高集積化や低コスト化を目的に、これまで2次元的な微細化が進められてきました。しかし近年、微細化の物理的な限界が近づいていることから、デバイスを3次元に積層させる技術の開発が進められています。3次元デバイスでは、金属配線を形成した後、Si上のゲート絶縁膜として、電子を捕獲する欠陥が少ないSi酸化膜を形成する必要があります。

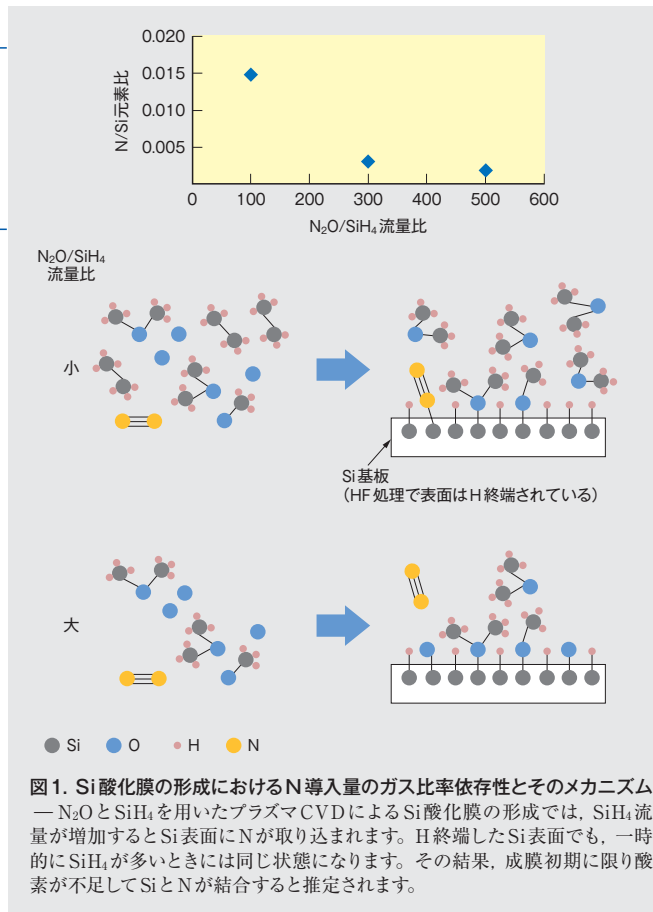
これまで2次元デバイスのゲート絶縁膜として、800℃以上の高温下において熱処理で形成される熱酸化膜が用いられてきました。しかし3次元デバイスで高温処理を行うと、下層配線の金属が拡散し、Siと反応して化合物を形成するなど好ましくない反応を起こ

すため、熱酸化膜を用いることができません。一方、低温プロセスでSi酸化膜を形成した場合、デバイス動作において重要なSiとSi酸化膜の界面に欠陥が発生し、トランジスタの特性であるしきい値電圧がシフトするなど信頼性の低下が懸念されます。

そのため、Si上での成膜初期過程を理解し、適切な処理によって界面の品質を確保できるプロセス技術が必要になります。

### デバイス特性の悪化を招くSiN膜

Siは大気中に放置されると、量産ラインで制御が困難な自然酸化膜が形成されます。そこで、Si上にゲート酸化膜を形成する場合、その直前にフッ化水素(HF)を用いて自然酸化膜を除去する前処理が行われ、清浄なSi表面を露出させます。



ところが、清浄なSiに対し、Si酸化膜の低温形成方法として一般的な一酸化二窒素(N<sub>2</sub>O)とシラン(SiH<sub>4</sub>)を用いたプラズマCVDで成膜すると、成膜初期のSiとSi酸化膜の界面付近で窒素(N)が取り込まれます。形成されたシリコン窒化(SiN)膜は、電子を捕獲することが知られており、デバイス特性を悪化させる懸念があります。

### SiN膜の形成メカニズム

N<sub>2</sub>OとSiH<sub>4</sub>を用いたプラズマCVDでは、SiH<sub>4</sub>の解離で生じたSi-H<sub>x</sub>とN<sub>2</sub>Oの解離で生じた酸素(O)が結合する反応が起こり、Si酸化膜の形成が進みます。しかし、N<sub>2</sub>Oに対してSiH<sub>4</sub>の比率が高くなると膜中のNが多くなります。これはSi-H<sub>x</sub>に対するOが不足し、窒素と結合してしまうためと考えられます。HFで処理したSi表面はH終端

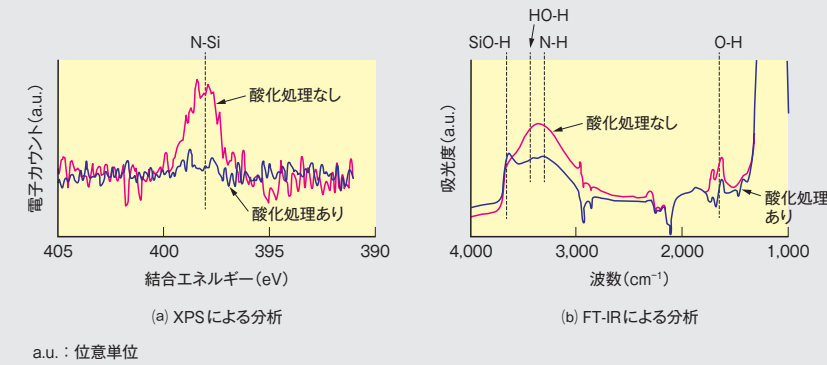


図2. 表面分析装置による酸化処理の影響評価 — 成膜前の酸化処理によってN-SiやN-H結合のピーク強度を低減でき、SiとSi酸化膜の界面へのHの取込みを抑制できていることを確認しました。

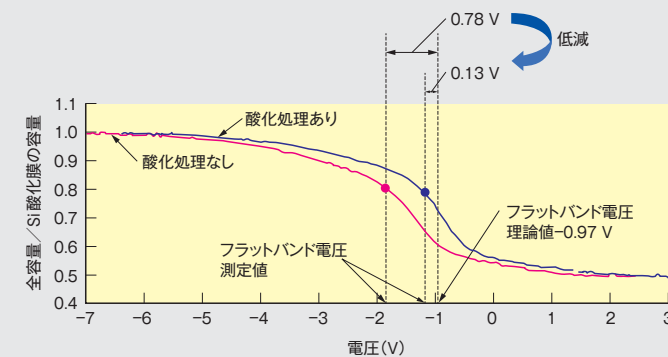


図3. 容量-電圧測定による酸化処理の影響評価 — 成膜前の酸化処理によってフラットバンド電圧の理論値からのシフト量を低減でき、膜中の正の固定電荷が減少していることを確認しました。

(Si-H)されており、プラズマ中のSi-H<sub>x</sub>と同じ結合状態になっています。

このことから、プラズマCVDによる成膜初期では、同じメカニズムによってOが不足し界面だけにNが取り込まれると推定されます(図1)。Nの取込みを抑制するには、N<sub>2</sub>Oに対するSiH<sub>4</sub>の比率を下げるという方法がありますが、成膜速度が低下するという問題がありました。

### 新たな界面制御技術の開発

そこで東芝は、Nの取込みを抑制する別の界面制御技術を開発しました。自然酸化膜をHFで除去後、有機アルカリと過酸化水素(H<sub>2</sub>O<sub>2</sub>)を用いた前処理によってSiの最表面だけを酸化し、H終端されていない状態でSi酸化膜を形成します。これにより、Si表面の結合状態を、結合力の弱いSi-Hからあ

らかじめ結合力の強いSi-Oにしておくことで、Si-N結合の形成を抑えられると予想できます。

この方法で、Nの取込みがないことを確認するため、化学結合状態を調べました。表面分析には、X線光電子分光法(XPS)と赤外吸収分光法(FT-IR)を用いました。その結果、成膜前の酸化処理によってNの取込みを抑制できており、更にN-H結合強度も減少していることを確認できました(図2)。

### SiとSi酸化膜の界面が及ぼす電気特性への影響評価

次に、Si酸化膜上に電極としてアルミニウム(Al)をパターニングすることでMOS (Metal Oxide Semiconductor) キャパシタを作製し、直流電圧に微小な高周波電圧を重畳して容量-電圧特性を調べました。評価はフラットバンド

電圧と呼ばれる電圧で行いました。フラットバンド電圧は、電気特性上重要なフェルミエネルギーがAl電極とSiで等しくなるように、SiとSi酸化膜の界面で電荷が移動するようすを反映しています。また、Si界面近傍に存在するSi酸化膜中の固定電荷にも影響されます。

今回のプラズマCVD酸化膜におけるフラットバンド電圧は、p型SiとAl電極を用い、かつ固定電荷がない場合の理論値-0.97Vよりも負の方向にシフトしていました(図3)。このことは、界面近傍に正の固定電荷が存在することを示しています。また、酸化処理の有無で比べると、酸化処理によって理論値からのシフト量が0.78Vから0.13Vに減少しており、正の固定電荷を83%低減できたことがわかりました。

これはNの挿入で界面に形成された(Si=NH-Si)<sup>+</sup>などの固定電荷が酸化処理によって減少したことを示していると考えられます。この方法により、トランジスタのしきい値電圧のシフトやデバイス駆動の際に起こる電子の捕獲を抑制し、歩留りや信頼性を向上させることができます。

### 今後の展望

半導体デバイスは、微細化が進むにつれて、それぞれの膜の界面物性の重要性が高まっています。今後も当社は、酸化膜そのものの物性だけでなく界面の状態を正しく把握し、適切な前処理や後処理を含む製造プロセスを構築して界面欠陥を低減することで、3次元デバイスの歩留りや性能の向上を目指していきます。

川嶋 智仁

生産技術センター  
プロセス研究センター研究主務