

# MONOS型NANDフラッシュメモリの信頼性評価技術とメモリ設計指針

Reliability Evaluation Technology to Provide Design Guideline for MONOS Type NAND Flash Memories

藤井 章輔      安田 直樹

■FUJII Shosuke      ■YASUDA Naoki

次世代以降のNANDフラッシュメモリ技術の一つとして、MONOS (Metal-Oxide-Nitride-Oxide-Silicon : モノス) 型メモリが検討されており、実用化するうえでの課題の一つとして高信頼化が挙げられている。

東芝は、データ書換え耐性に代表されるMONOS型メモリの信頼性を向上させるため、新しい信頼性評価技術を開発し、このメモリ特有の信頼性劣化メカニズムの解明を進めている。今回、書換え耐性の劣化は、消去動作時にトンネル膜を通過する正孔(ホール)電流により引き起こされていることを明らかにした。また、書換え耐性の向上には、電荷蓄積層を適切に設計することで消去動作時の正孔電流を抑制し、電荷蓄積層からの電子電流を促進することが有効なことを明らかにした。

A metal-oxide-nitride-oxide-silicon (MONOS) type memory is under research and development as one of the next-generation NAND flash memory technologies. In order to achieve the practical use of MONOS type memories, high reliability is essential.

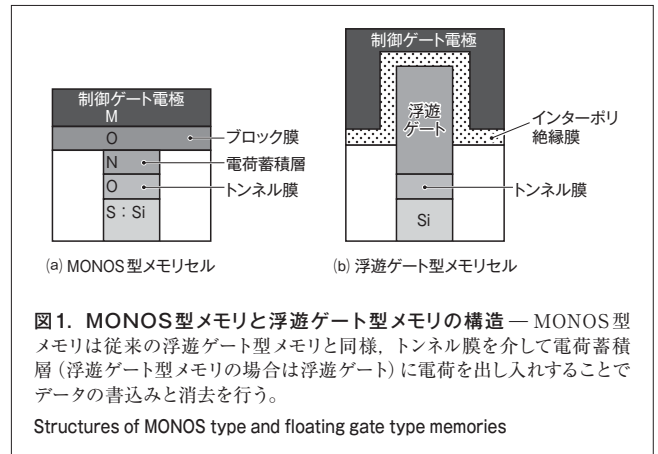
Toshiba has developed a novel reliability evaluation technology to provide a guideline for the design of highly reliable MONOS type memories. Using this technology, we have been clarifying the degradation mechanisms unique to MONOS type memories caused by the stress of program/erase cycle operations. As a result, we have demonstrated that interface-state generation, which is the origin of degradation due to cycle operations, has a strong correlation with the amount of charges flowing into the memory cell during erase operations, and that holes injected from the silicon (Si) substrate are the main cause of cycling degradation. We have also confirmed that enhancement of the electron current during erase operations through optimum design of the charge-trapping silicon nitride (SiN) layer is a promising solution to reduce cycling degradation.

## 1 まえがき

次世代以降のNANDフラッシュメモリ技術の一つとして、MONOS (Metal-Oxide-Nitride-Oxide-Silicon : モノス) 型メモリの研究開発が行われている。

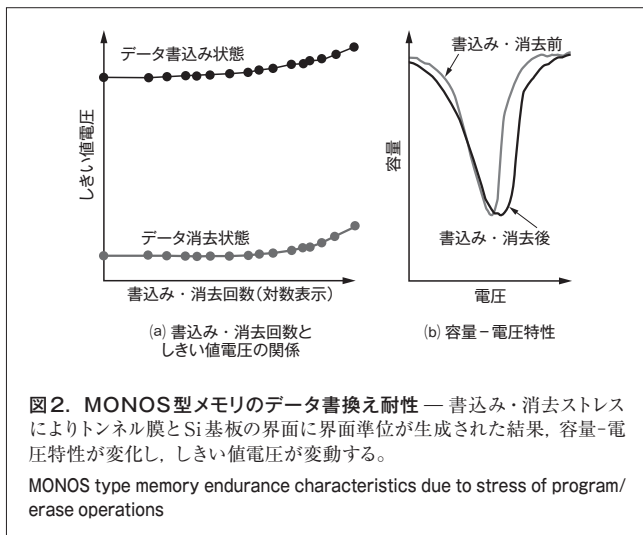
MONOS型メモリセルは絶縁性の膜を積層したシンプルな構造のため、現在のNANDフラッシュメモリを構成する浮遊ゲート型メモリセルよりも微細化や3次元化が容易になる。MONOS型メモリセルは従来の浮遊ゲート型メモリセルと同様、トンネル膜を介して電荷蓄積層(浮遊ゲート型メモリセルの場合は浮遊ゲートと呼ばれる)に電荷を出し入れすることで、データの書込みと消去を行っている(図1)。データ書込み状態とは電荷蓄積層に電子を蓄積した状態であり、消去状態とは電子が蓄積されていない状態である。

データの書込みと消去を何度も繰り返すと、電荷が通過するトンネル膜は徐々に劣化する。書込み状態及び消去状態のしきい値電圧と、書込み・消去回数との関係を調べると、書込み・消去サイクルを経るとともに書込み状態と消去状態のしきい値電圧が変動する(図2(a))。つまり、メモリセルが書込み・消去ストレスで劣化したために、書込み動作では狙ったしきい値電圧以上にまで書き込まれてしまったり、消去動作では逆に、狙ったしきい値まで到達しなかったりする。従来の浮遊



ゲート型メモリでもこの現象は見られ、トンネル膜中の欠陥に捕獲される電子がしきい値変動の主要因であることが知られている。

これに対して、MONOS型メモリセルにおけるしきい値電圧変動の主要因は、書込み・消去ストレスによりトンネル膜とSi(シリコン)基板の界面に生成される界面準位である<sup>(1)</sup>。書込み・消去ストレスにより界面準位が生成されると、メモリセルの容量-電圧特性が電圧方向に引き伸ばされた形状になる(図2(b))。この容量-電圧特性の変化がしきい値変動をもた



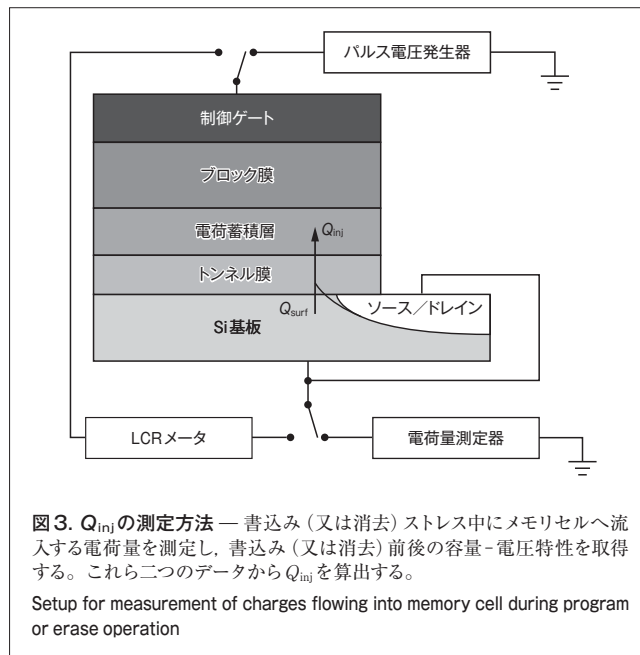
らす。動作方式やメモリセルの構造は従来の浮遊ゲートメモリと類似している点が多いが、信頼性劣化のメカニズムは両者で異なり、MONOS型メモリセル特有のメカニズムが働いている可能性がある。したがってMONOS型メモリセルの高信頼化には、詳細な界面準位生成メカニズムの解明と、それに基づいた改善指針の提示が望まれる。

東芝は、MONOS型メモリセルのしきい値変動を引き起こす界面準位の生成メカニズムを解明し、しきい値変動の解決策を検討した。ここでは、その概要と結果について述べる。

## 2 書込み・消去時の通過電荷量測定技術

電氣的ストレスによる絶縁膜の劣化現象は、MOS (Metal-Oxide-Silicon) トランジスタの信頼性という観点で広く研究されており、ストレス印加中に絶縁膜を通過する電荷量が、劣化(界面準位生成量やストレス誘起漏れ電流など)と相関を持つことが知られている。これらの知見から、MONOS型メモリセルのトンネル膜の場合も同様に、書込み・消去動作中に通過する電荷量と界面準位生成量が相関を持つことが期待される。しかし、書込み・消去ストレスはマイクロ秒程度のごく短い電圧パルスのため、通常の測定技術では電圧印加中の電荷を実測することはできない。

そのため、当社は、書込み・消去ストレス中にトンネル膜を通過する電荷量 ( $Q_{inj}$ ) を測定する技術を新たに開発した(図3)。今回開発した測定技術は、メモリセルの特性評価に從來から用いられてきたLCRメータによる容量測定と、電荷量測定を組み合わせたものである。書込み(又は消去)ストレス中にメモリセルへ流入する電荷量を測定し、書込み(又は消去)前後の容量-電圧特性を取得する。電荷量測定器で測定された電荷量は、トンネル膜を通過した  $Q_{inj}$  及び、トンネル膜とSi基板の界面に蓄積された表面電荷量 ( $Q_{surf}$ ) の和である。



容量-電圧特性から  $Q_{surf}$  を見積もり、これを測定された電荷量から差し引くことで  $Q_{inj}$  を算出する。この技術により、マイクロ秒程度のごく短い書込み(又は消去)電圧印加中に、メモリセルを通過する  $Q_{inj}$  を実測できる。

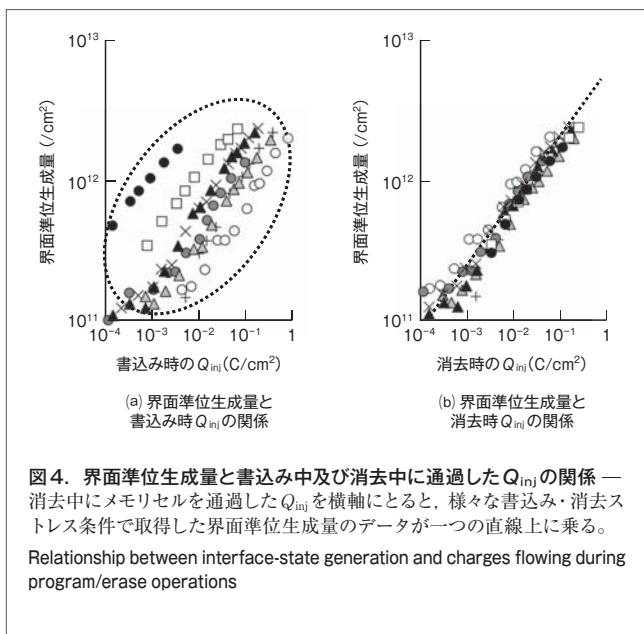
## 3 書込み・消去ストレスによる界面準位の生成

MONOS型メモリのトンネル膜の劣化には、書込み電圧と消去電圧及びそれらの印加時間、更には書込み・消去サイクル数など、多くの因子が関与している。界面準位生成へのこれらの影響について考慮するため、様々な電圧印加条件(表1)で多数回の書込み・消去ストレスを加え、界面準位生成量とトンネル膜を通過した  $Q_{inj}$  との関係を詳細に調べた。界面準位生成量は、書込み・消去ストレス前後のメモリセルの容量-電圧特性の変化(図2(b))から算出し、 $Q_{inj}$  は2章で述べた方法により測定した。

表1. 書換え耐性評価のためのストレス条件

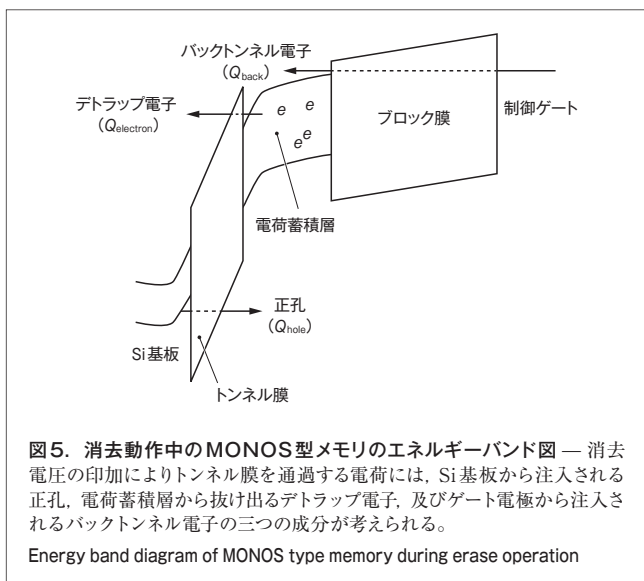
Program/erase stress conditions for endurance tests

| 記号 | 書込み    |         | 消去     |         |
|----|--------|---------|--------|---------|
|    | 電圧 (V) | 時間 (ms) | 電圧 (V) | 時間 (ms) |
| ○  | 20     | 1       | -18    | 1又は10   |
| ×  | 18     | 1       | -20    | 1又は10   |
| ▲  | 20     | 0.1     | -20    | 1又は10   |
| △  | 20     | 0.1     | -18    | 10又は100 |
| +  | 18     | 1       | -18    | 10又は100 |
| ●  | 18     | 0.1     | -18    | 1又は10   |
| □  | 20     | 1       | -20    | 10又は100 |
| ●  | 18     | 0.1     | -20    | 10又は100 |



界面準位生成量と書き込み中及び消去中に通過した  $Q_{inj}$  の関係を図4に示す。消去中にメモリセルを通過した  $Q_{inj}$  を横軸にとると、様々な書き込み・消去ストレス条件で取得したデータが一つの直線上に乗る。一方書き込み動作中の  $Q_{inj}$  と界面準位生成量の間には相関は見られない。これらの結果は、メモリセルへの書き込み・消去電圧、電圧印加時間、及び書き込み・消去回数などの条件に依存せず、消去中の  $Q_{inj}$  で界面準位生成量が決まっていることを示す。つまり、消去中に通過した電荷が界面準位を生成している。

消去動作中のメモリセルのエネルギーバンド図(図5)から、消去電圧の印加中にトンネル膜を通過する電荷には、Si基板から注入される正孔(電荷量:  $Q_{hole}$ )、電荷蓄積層から抜け出るデトラップ電子(電荷量:  $Q_{electron}$ )、及びゲート電極から注入

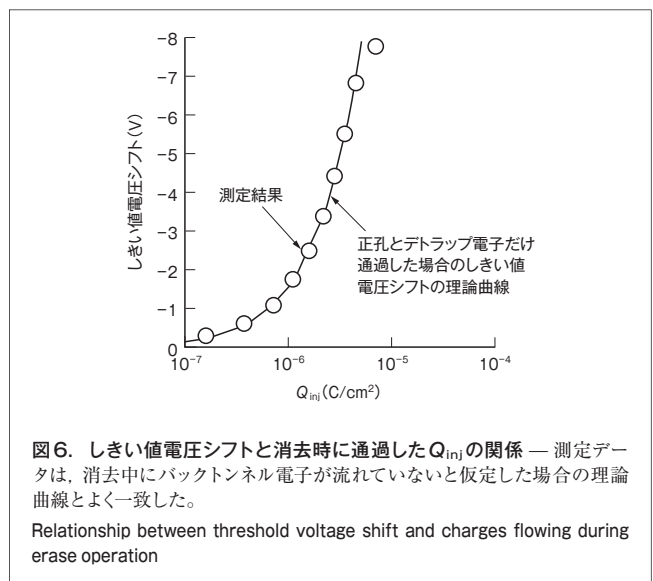


されるバックトンネル電子(電荷量:  $Q_{back}$ )の三つの成分が考えられ、これらのどれかが界面準位生成の主要因である。

まず、バックトンネル電子の影響について検証する。バックトンネル電子は制御ゲートから電荷蓄積層へ電子を注入し、しきい値電圧を上昇させる方向に働く電荷成分である。これに対し他の2成分は、しきい値電圧を低下させる方向に作用する。消去動作とはしきい値電圧を低下させる動作であるから、バックトンネル電子は消去動作を妨げるという特徴を持つ。したがって、バックトンネル電子が流れたかどうかを検証するには、メモリセルを通過した  $Q_{inj}$  としきい値電圧のシフト(変化量)の関係を調べればよい。

$Q_{inj}$  としきい値電圧シフトの関係を調べた結果、消去中にバックトンネル電子が流れていないと仮定した場合の理論曲線とよく一致した(図6)。すなわち、消去動作中にバックトンネル電子は流れておらず(つまり、 $Q_{back}=0$ )、界面準位の生成には関与していない。

次に、消去動作中の正孔とデトラップ電子を分離して界面準位生成への影響を評価するため、電荷蓄積層やトンネル膜の構造が異なるメモリセルにつき、書換え耐性の評価を行った。一般にはトンネル膜として  $SiO_2$  (酸化シリコン) が用いられるが、これを  $SiO_2/SiN$  (窒化シリコン) /  $SiO_2$  (ONO) の積層構造にすることで正孔電流を促進することが知られている<sup>(2)</sup>。一方では、電荷蓄積層  $SiN$  の組成を  $Si$  過剰 ( $Si$  リッチ  $SiN$ ) に設計することで、デトラップ電子が増大する<sup>(3)</sup>。つまり、ONO トンネル膜 MONOS の場合は、消去動作中の通過電荷が主に正孔(つまり、 $Q_{inj} \approx Q_{hole}$ ) であるのに対し、 $Si$  リッチ  $SiN$  MONOS では、デトラップ電子が主な通過電荷(つまり、 $Q_{inj} \approx Q_{electron}$ ) となる。したがって、これらのメモリセルの書換え耐性を比較すれば、界面準位生成の主要因が正孔かデトラップ電子かを特定できる。



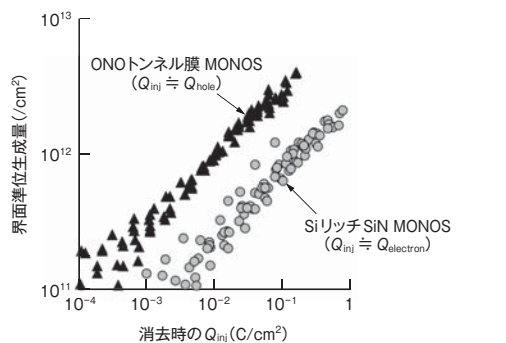


図7. ONOトンネル膜 MONOSとSiリッチSiN MONOSの界面準位生成レート — 消去動作中の主な通過電荷が正孔（つまり、 $Q_{inj} \equiv Q_{hole}$ ）となるONOトンネル膜 MONOSで、顕著に界面準位が生成される。  
Comparison of interface-state generation rates of MONOS with oxide/nitride/oxide (ONO) tunnel structure and MONOS with Si-rich SiN layer

ONOトンネル膜 MONOSとSiリッチSiN MONOSの界面準位生成量を比較した結果、通過電荷が正孔となるONOトンネル膜 MONOSで、顕著に界面準位が生成されることがわかった（図7）。この結果から、Si基板から注入される正孔が界面準位生成の主要因と特定した。

#### 4 信頼性向上のためのメモリ設計指針

ONOトンネル膜やSiリッチSiNは、MONOS型メモリの消去特性を改善する目的で開発された技術である。ONOトンネル膜 MONOSの場合は正孔電流を促進し、SiリッチSiN MONOSはデトラップ電子電流を増大させることで消去速度を向上させる。

どちらの技術も動作速度の向上には有効であるが、今回、トンネル膜劣化の主要因が正孔であることが明らかとなり、メモリの信頼性という観点では、正孔電流を促進するONOトンネル膜の適用には注意を要する。SiリッチSiNを用いてデトラップ電子電流を促進することで、消去速度と書換え耐性を両立できる。

#### 5 あとがき

当社は、MONOS型メモリのしきい値変動を引き起こす界面準位の生成メカニズムを、新たに開発した測定技術を用いて解明した。

書込み・消去ストレスによる界面準位は消去時に通過する電荷により生成されることを示し、Si基板から注入される正孔が界面準位生成の主要因であることを特定した。MONOS型メモリの書換え耐性を向上させるには、消去時の正孔電流を抑制し、デトラップ電子電流を促進するように電荷蓄積層を設計することが有効である。

従来の浮遊ゲート型メモリセルでは、電子が引き起こすインパクトイオン化により生成された、高エネルギーの正孔がトンネル膜を劣化させることが知られていた。これに対しMONOS型メモリセルでは、Si基板から注入される低エネルギーの正孔が界面準位を生成していることが今回明らかになった。したがって、MONOS型メモリの更なる高信頼化には、今後、低エネルギーの正孔による劣化の微視的なメカニズムを詳細に解明し、それに基づく設計技術の開発が不可欠である。

#### 文献

- (1) Van den Bosch, G. et al. "Investigation of Window Instability in Program/Erase Cycling of TANOS NAND Flash Memory". 2009 IEEE International Memory Workshop (IMW 2009). Monterey, CA, USA, 2009-05, IEEE, 2009, p.84 - 85.
- (2) Lue, H.T. et al. "Reliability Model of Bandgap Engineered SONOS (BE-SONOS)". 2006 IEEE International Electron Devices Meeting (IEDM 2006). San Francisco, CA, USA, 2006-12, IEEE, 2006, p.495 - 498.
- (3) Fujitsuka, R. et al. "Engineering of Si-rich Nitride Charge-Trapping Layer for Highly Reliable MONOS Type NAND Flash Memory with MLC Operation". 2009 International Conference on Solid State Devices and Materials (SSDM 2009). Sendai, Japan, 2009-10, Japan Society of Applied Physics, 2009, p.861 - 862.



藤井 章輔 FUJII Shosuke

研究開発センター LSI基盤技術ラボラトリー研究主務。  
次世代不揮発性メモリの研究・開発に従事。応用物理学学会  
会員。  
Advanced LSI Technology Lab.



安田 直樹 YASUDA Naoki, Ph.D.

セミコンダクター&ストレージ社 半導体研究開発センター  
先端メモリデバイス技術開発部主査、博士(工学)。次世代  
不揮発性メモリの研究・開発に従事。応用物理学学会  
Center for Semiconductor Research & Development