

高速サンプリングと低消費電力を両立させる タイムインタリーブ逐次比較型 ADC

Time-Interleaved SAR ADC Achieving Balance between High-Speed Sampling and Low Power Consumption

古田 雅則

松野 隼也

板倉 哲朗

■ FURUTA Masanori

■ MATSUNO Junya

■ ITAKURA Tetsuro

超高速無線通信分野では、通信速度の向上に伴いアナログ回路の消費電力増大が問題になっている。アナログ回路構成要素の中でも、アナログデジタル変換器 (ADC) は大きな電力を消費するため、消費電力の削減が求められている。省電力化に有効な方式として複数の逐次比較 (SAR) 型 ADC を用いタイムインタリーブ動作させる回路構成が注目されているが、高い性能を得るためには SAR 型 ADC どうしの干渉対策が課題である。そのため従来は、SAR 型 ADC の前段回路としてインピーダンス変換器 (IT) を設けていたが、この回路の消費電力が大きいことが問題であった。

今回東芝は、超高速無線通信用 IC 向けに、分解能 7 ビット、サンプリング周波数 1.5 ギガサンプル (GS) /s の ADC において、IT を構成するソースフォロア回路の消費電力を削減する技術を開発した。バイアス電流が動的に変化するダイナミック動作の導入により、高速動作とバイアス電流削減を両立させた。ソースフォロア回路のバイアス電流を従来と比べ約 1/2 に削減でき、世界トップレベル^(注1) の FoM (Figure of Merit) 300 f (フェムト: 10^{-15}) J/conversion-step を実現した。

In the field of ultrahigh-speed wireless communication systems, demand has recently been growing for high-speed and high-resolution analog-to-digital converters (ADCs). A time-interleaved ADC using multiple successive approximation register (SAR) ADCs as sub-ADCs is a solution for the realization of high-speed sampling. However, it is necessary to reduce the power consumption of the sub-ADCs in the development of a time-interleaved ADC. Furthermore, the power consumption becomes larger because of the conventional impedance transformer (IT) circuit at the front of each sub-ADC to suppress interference between sub-ADCs that increases distortion.

Toshiba has developed a technology to reduce the power consumption of the source-follower circuits that make up an IT circuit, and fabricated a 7-bit, 1.5-gigasamples per second (GS/s) time-interleaved ADC with eight SAR ADCs for ultrahigh-speed wireless communication integrated circuits (ICs). As the current flowing into a source-follower circuit is dynamically changed with the introduction of dynamic operation, the bias current is reduced to about one-half compared with that of conventional source-follower circuits achieving high-speed sampling. Experiments on a prototype ADC confirmed that it achieves the world's top-class figure of merit (FOM) of 300 fJ/conversion-step.

1 まえがき

TransferJetTM^(注2)や近接ミリ波に代表される超高速無線通信用の IC 開発では、アナログ及びデジタル信号処理回路を 1 チップに混載させるニーズが高い。この種の IC はモバイル機器への搭載が前提であり、小電力でも動作するアナログ集積回路が望まれている。省電力化の開発は従来から進められているが、依然としてアナログ部とデジタル部のインタフェースであるアナログデジタル変換器 (ADC) の消費電力は大きく、高速動作と省電力を両立させた回路技術の開発が求められている。

省電力化を実現する回路アーキテクチャとして、キャパシタ (容量) を用いて構成する逐次比較 (SAR) 型 ADC が注目されている⁽¹⁾。この ADC の特徴は、構成要素の大半をキャパシタやスイッチなど受動素子で構成できる点にあり、常時電力を消費する能動素子で構成する ADC に比べ省電力化に優れた回

路を実現できる。一方、SAR 型 ADC は 2 分探索を複数回繰り返すことで入力信号を推定する動作原理のため高速化が課題であった。

東芝は、超高速無線通信用 IC 向けに、高速と低消費電力の両立を目的とした 7 ビット、1.5 ギガサンプル (GS) /s の SAR 型 ADC を開発した。高速化の手法として、タイムインタリーブの構成を採用した。ここでは、タイムインタリーブ SAR 型 ADC の概要と 65 nm CMOS (相補型金属酸化膜半導体) プロセスを用いて試作したチップの評価結果について述べる。

2 タイムインタリーブ SAR 型 ADC の構成と動作原理

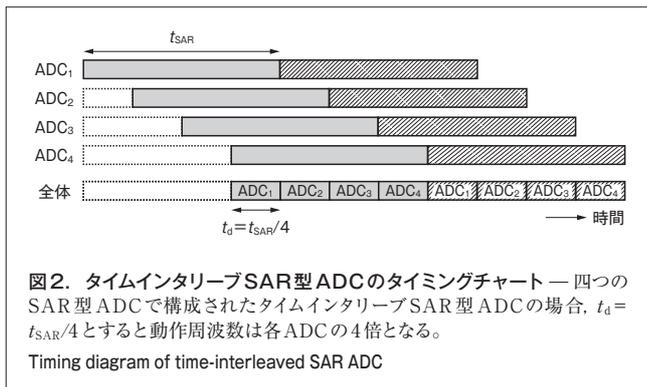
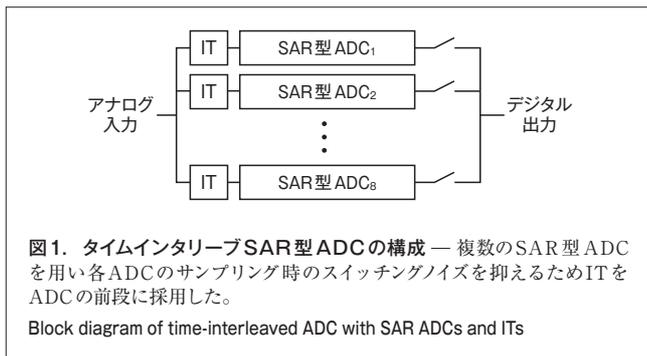
2.1 回路構成

試作したタイムインタリーブ SAR 型 ADC のブロック図を図 1 に示す。8 個の SAR 型 ADC、ADC 間の干渉を抑えるためのインピーダンス変換器 (IT)、及びデジタル出力を切り替えるスイッチから構成される。

タイムインタリーブの基本動作について図 2 を用いて説明する。

(注1) 2011年11月現在、A-SSCC 2011で発表⁽¹⁾、当社調べ。

(注2) TransferJetは、一般社団法人TransferJetコンソーシアムがライセンスしている商標。TransferJetはソニー(株)の商標。

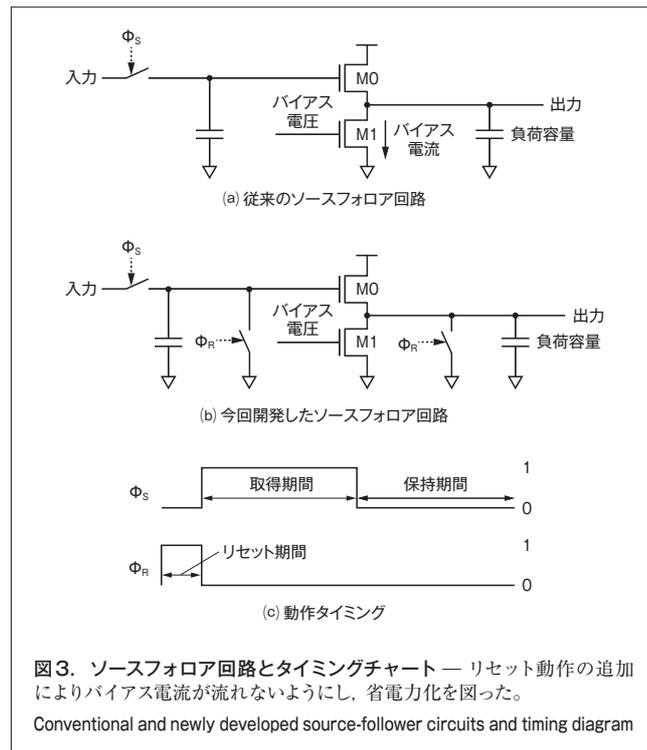


簡単のため、4個のADCの場合について示す。各ADCは同じ周波数で動作しているが、信号をサンプリングするタイミングをずらしている。時間のずれ t_d は、各ADCの変換時間を t_{SAR} とすると、 $t_{SAR}/4$ に設定する。各ADCのデジタル出力を t_d ごとに切り替えると、タイムインタリーブSAR型ADCの動作周波数は $1/t_d$ となり、これにより各ADCの動作周波数の4倍の動作速度を実現できる。

タイムインタリーブは動作周波数が低いSAR型ADCの高速化に有効な構成であるが、入力信号が各ADCに共通に接続されるため、各ADC間での干渉が問題となる。これは、アナログ入力の配線が有限の抵抗を持つことに起因し、各ADCのサンプリング動作時のスイッチングノイズが、抵抗を介して隣接するADCに影響を与えるからである。そこで、各ADCへの干渉を抑えるため、各ADCの前段にITを採用した。これにより、アナログ入力と各ADCとが分離された状態となり、干渉の影響を防ぐことができる。

2.2 ITの回路構成と動作概要

ITの採用で干渉を防げる一方で、電力増加が新たな課題になる。小電力で実現する回路としては、ソースフォロア回路が代表的である。従来のソースフォロア回路は、図3(a)に示すように二つのトランジスタM0とM1、制御信号 Φ_S で制御されるスイッチ、及びキャパシタから構成される。図3(c)の信号の取得期間に制御信号 Φ_S で制御されるスイッチが接続され、入力信号がキャパシタに記憶されると同時にソースフォロア回路の入力信号にも接続される。保持期間はスイッチが解放され、



キャパシタで記憶された電圧をソースフォロア回路が出力する。この回路の課題は、大きなバイアス電流が必要ない保持期間でも、常時ソースフォロア回路に大きなバイアス電流を流し続けることである。ソースフォロア回路は、入力電圧に応じてキャパシタに電荷を蓄積する動作と蓄積された電荷を引き抜く動作が存在し、この際に掃出し電流と引込み電流が必要になる。掃出し電流はM0のトランスコンダクタンスで制御されるのに対し、引込み電流はM1のバイアス電流により制御される。バイアス電流は、取得期間、負荷となる容量、及び出力電圧を用いて式(1)で計算できる。

$$\text{バイアス電流} = (\text{負荷容量} \times \text{出力電圧}) / \text{取得期間} \quad (1)$$

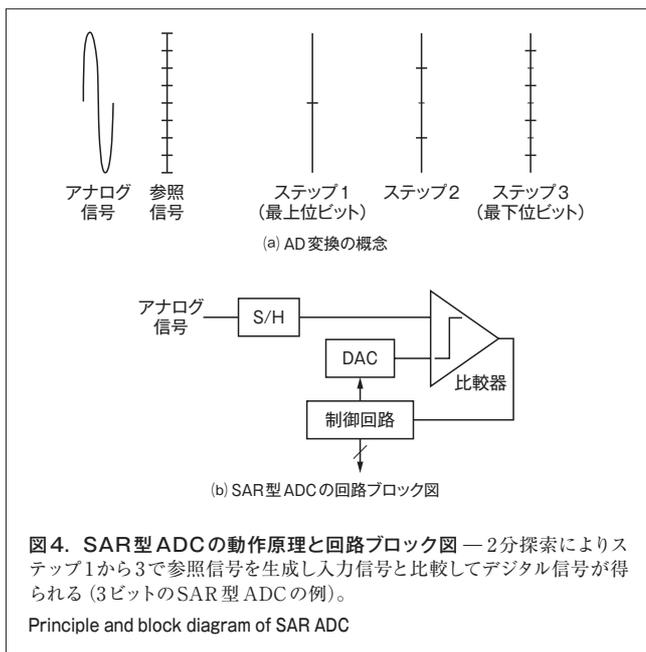
これより、ADCの入力容量である負荷容量と回路の動作速度で消費電力の下限値が制限されており、回路の高速化とともに消費電力の増大が課題となっていた。

これに対し今回開発した回路(図3(b))はソースフォロア回路が基本であるが、前述した引込み電流の動作をなくすことで省電力化を可能にした。この回路には、リセット動作が追加されており、入力部と出力部にそれぞれ制御信号 Φ_R で制御されるスイッチが接続されている。 Φ_R が1の期間各スイッチが導通し、ソースフォロア回路の入出力がグランドに接続される。この動作により、出力部の負荷容量に蓄積された電荷は完全に放電される。更に、ソースフォロア回路の入力をグランドに接続することで、放電最中にバイアス電流が流れないようにM1をオフするようにした。このリセット動作の追加により、負荷容量の電荷は常に掃出し電流による電荷蓄積動作だけとなり、

バイアス電流の制限を受けることがなくなるため省電力化に有利な方式と言える。しかし、リセット期間は負荷容量への蓄積時間を短縮させるため速度の劣化につながるが、SAR型ADCの動作速度に対して十分短い時間になるよう設定する。

2.3 SAR型ADCの回路構成と動作概要

SAR型ADCの回路は、図4(b)に示すようにサンプルホールド(S/H)、デジタルアナログ変換器(DAC)、比較器、及び制御回路から構成される。S/Hにより入力信号を一定期間保持し、保持された信号とDACを用いて生成した2分探索用の参照信号との比較でデジタル信号が得られる(入力信号>基準



電圧のときは1, それ以外のときは0)。この操作を、図4(a)に示す各ステップで参照信号を変更しながら、繰り返し行うことで、高い分解能が得られる。

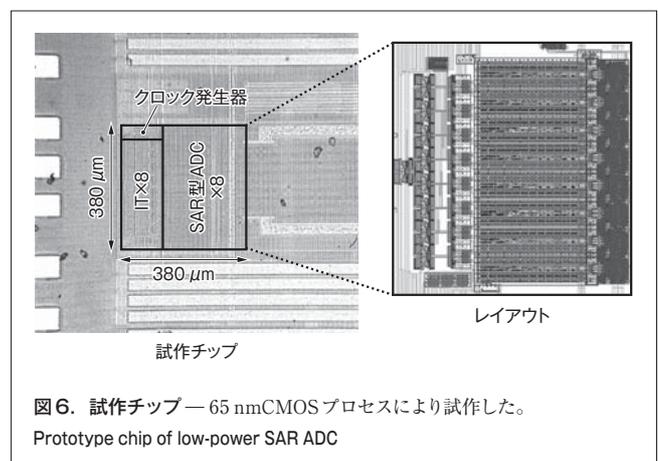
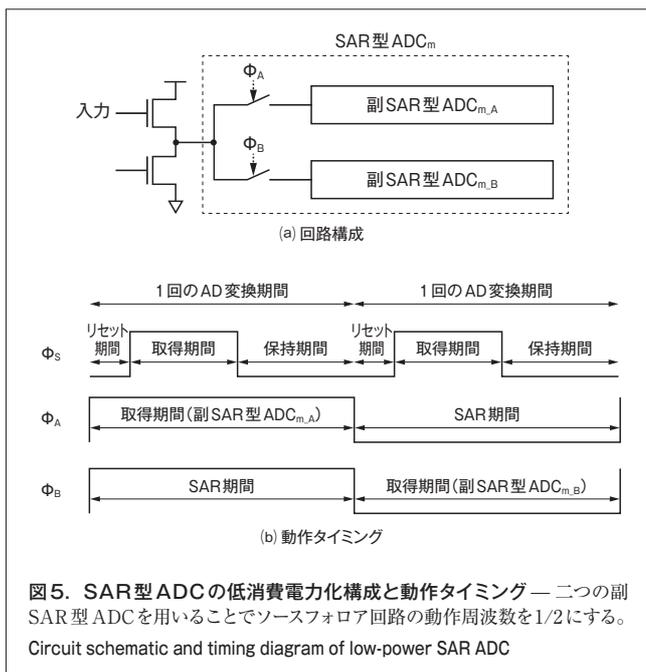
1回のアナログデジタル(AD)変換に必要な時間は信号取得期間と逐次比較期間の合計であり、高速動作の実現には合計時間の短縮が求められる。今回、時間短縮と低消費電力化の両立を実現するため、図5(a)に示すような、二つの副SAR型ADCと入力信号を切り替えるスイッチを設けた構成を採用した。この回路の特徴は、1回のAD変換期間内に信号取得期間とSAR期間を設けるのではなく、2回のAD変換期間内に割り当てた点にある。図5(b)の動作タイミングを実現するため、SAR型ADC内に更に二つの副SAR型ADCを設け、入力信号を二つのスイッチを用いて切り替えている。この構成では回路規模は2倍になるが、取得期間とSAR期間が長くなり、ソースフォロア回路とSAR回路の動作周波数低減により消費電力削減が可能になる。

3 試作チップによる性能評価

7ビットのタイムインタリーブSAR型ADCの試作チップを図6に示す。回路は、8個のITとSAR型ADCで構成されている。動作周波数は1.5GHzで、クロックは外部から供給する。65nm CMOSプロセスにより試作したところ、サイズは $380 \times 380 \mu\text{m}$ となった。

試作チップの性能評価は、SNDR (Signal-to-Noise Plus Distortion Ratio) とSFDR (Spurious-Free Dynamic Range) を測定することによって行った。

まず、ソースフォロア回路の消費電力削減の効果を確認する方法として、リセット動作を行った場合と行わない場合の動作速度の比較を行った。ここでの入力信号周波数は、もっともひずみ特性が厳しくなる条件(動作周波数の1/2)を設定している。サンプリング周波数が1.5GS/sでのSNDRは、リセット動作を行うことで約2dB改善した。同じ試作チップでリセット



動作を行わない場合に、1.5 GS/sで2 dBの性能改善に必要な電力を測定したところ、ソースフォロア回路の消費電力を約2倍にすることで同じSNDRが得られた。リセット動作により、ソースフォロア回路の消費電力を約1/2に削減できることを確認できた。

次に、電源電圧を1.2 V、サンプリング周波数を1.5 GS/sとした場合に、入力信号周波数を20 MHzから750 MHzまで変化させたときの試作チップのSNDRとSFDRを測定した結果を図7に示す。入力信号周波数が20 MHzと750 MHzのときのSNDRは、それぞれ39.6 dBと37.3 dBであった。これより、ADCの実効帯域幅は動作周波数の1/2以上が得られている。ひずみ性能を示すSFDRは、20 MHzと750 MHzのときにそれぞれ51.8 dBと49.9 dBであった。ノイズやひずみを考慮した実効分解能(ENOB)のピーク値は6.3ビットで、消費電力は36 mWであった。

試作チップの性能諸元を同様の回路構成、動作速度、及び分解能を持つADCと比較した結果を表1に示す。ADCの性能指標で1変換ステップ当たりの消費エネルギー量を示すFoM (Figure of Merit) は、ENOB、動作速度、及び消費電力から式(2)により計算できる。

$$FoM = \frac{\text{消費電力}}{2^{\text{ENOB}} \times \text{サンプリング周波数}} \quad (2)$$

ここで、FoMは1ビット、1 Hz当たりの変換電力値で値が小さければ性能が良いことを意味する。試作チップは、サンプリング周波数1.5 GS/sにおいて、300 f (フェムト: 10⁻¹⁵) J/conversion-stepという小さいFoMで達成できることを確認した⁽¹⁾。

4 あとがき

当社は、65 nm CMOSプロセスを用いて、低消費電力のタイムインターリーブSAR型ADCを開発した。ソースフォロア回路の低消費電力化と、SAR型ADCを更に内部で2分割する回路構成を採用することで、既存の技術に比べソースフォロア回路の消費電力を約1/2に削減した。試作チップの評価により、7ビットの分解能で1.5 GS/sの高速動作を達成しながら、世界トップレベルのFoM 300 fJ/conversion-stepの実現に成功した。

今後は、次世代無線通信用IC向けに更なる高速化技術の開発を進めていく。

文献

- (1) Akita, I. et al. "A 7-Bit 1.5-GS/s Time-Interleaved SAR ADC with Dynamic Track-and-Hold Amplifier", Solid State Circuits Conference (A-SSCC), 2011 IEEE Asian. Jeju, Korea, 2011-11, IEEE, 2011, p.293 - 296.
- (2) Cheng, C. H. et al. "A 7b 1.1GS/s Reconfigurable Time-Interleaved ADC in 90nm CMOS". 2007 IEEE Symposium on VLSI Circuits. Kyoto, Japan, 2007-06, IEEE, 2007, p.66 - 67.
- (3) Louwsma, S. M. et al. "A 1.35 GS/s, 10b, 175 mW time-interleaved AD converter in 0.13 μm CMOS". 2007 IEEE Symposium on VLSI Circuits. Kyoto, Japan, 2007-06, IEEE, 2007, p.62 - 63.

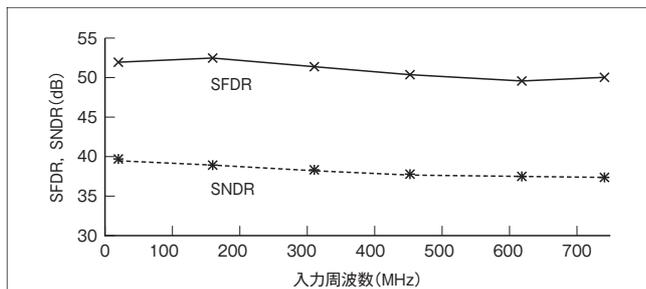


図7. SNDRとSFDRの測定結果 — サンプリング周波数1.5 GS/sにおけるSNDRとSFDRの入力信号周波数依存性から、ADCの実効帯域幅は動作周波数の1/2以上であることがわかる。

Results of measurement of signal-to-noise and distortion ratio (SNDR) and spurious free dynamic range (SFDR) vs. input frequency (sampling frequency: 1.5 GS/s)

表1. 性能諸元の比較

Comparison of performance with that of prior arts

項目	試作チップ	発表機関	
		Realtek ⁽²⁾	Univ. Twente ⁽³⁾
デバイスプロセス (nm)	65	90	130
電源電圧 (V)	1.2	1.3	1.2
消費電力 (mW)	36	46	175
動作周波数 (GHz)	1.5	1.1	1.35
コア面積 (mm ²)	0.14	0.19	1.6
SFDR (dB)	52.4	—	—
ENOB (dB)	6.3	6.52	7.7
FoM (fJ/conversion-step)	300	460	600
実効帯域幅 (MHz)	750	300	1,000



古田 雅則 FURUTA Masanori, D.Eng.

研究開発センター ワイヤレスシステムラボラトリー研究主務、工博。高速低消費電力ADCの開発に従事。IEEE、電子情報通信学会会員。

Wireless System Lab.



松野 隼也 MATSUNO Junya

研究開発センター ワイヤレスシステムラボラトリー。高速低消費電力ADCの開発に従事。電子情報通信学会会員。

Wireless System Lab.



板倉 哲朗 ITAKURA Tetsuro, D.Eng.

研究開発センター技監、工博。RFアナログLSI、アナログデジタル混載信号処理回路の開発に従事。IEEE、電子情報通信学会会員。

Wireless System Lab.