

微細電界効果トランジスタにおける ランダムテレグラフノイズを引き起こす欠陥機構の解明

Investigation of Trap Mechanisms Causing Random Telegraph Noise in Ultra-Scaled MOSFETs

陳 杰智 平野 泉 三谷 祐一郎

■CHEN Jiezhi ■HIRANO Izumi ■MITANI Yuichiro

近年、トランジスタの微細化に伴って、ランダムテレグラフノイズ (RTN) と呼ばれるトランジスタの動作電流が揺らぐ現象が顕著になってきている。RTNはCMOS (相補型金属酸化膜半導体) イメージセンサやNAND型フラッシュメモリの性能、特に信頼性に影響を及ぼすことが懸念されている。

東芝は、このRTNの起源を解明することで高信頼化技術の指針を得る取組みを進めている。今回、微細トランジスタを用いて、RTNを引き起こす原因となる絶縁膜中の欠陥として、ニュートラル欠陥とアトラクティブ欠陥と呼ばれる2種類の欠陥の寄与と、それぞれが及ぼす影響を実験により明らかにした。アトラクティブ欠陥に比べて、ニュートラル欠陥のエネルギー分布は約100 meV高く、かつしきい値電圧のシフトに与える影響が大きいことがわかった。今後、これらの結果を、トランジスタの高信頼化やRTNの影響を抑えるプロセス指針の策定に役立てていく。

Random telegraph noise (RTN), a physical phenomenon that causes variations in transistor operating current, has become one of the most important issues accompanying the shrinkage of transistors in recent years. In this context, attention is being increasingly focused on the effects of RTN on the properties of complementary metal-oxide semiconductor (CMOS) image sensors and NAND flash memories, particularly those related to reliability.

Toshiba is working to gain a further understanding of the physical mechanisms of RTN to improve the reliability of devices. We have now performed a systematic investigation of trap mechanisms causing RTN through experiments using ultra-scaled planar MOS field-effect transistors (MOSFETs). From the results obtained, we have confirmed that traps causing RTN are mainly classifiable into neutral and attractive traps, that the energy distributions of neutral traps are around 100 meV higher than those of attractive traps, and that neutral traps have a much greater impact on threshold voltage shifts. These results contribute to understanding of the trap forming process, and will assist in guiding optimization of fabrication processes to ensure high reliability.

1 まえがき

近年、ランダムテレグラフノイズ (RTN) はCMOS イメージセンサや、NAND型ラッシュメモリ、3次元トランジスタなど様々な構造のデバイスにおいて報告されている⁽¹⁾⁻⁽⁶⁾。昨今のデバイス評価技術の進歩により、短時間で大量のデータを取得できるようになり、種々の絶縁膜において異なるRTN特性が報告されている。3次元デバイスを想定すると、従来の平面構造トランジスタとは異なり、2種類以上の結晶面方位を利用するため、それぞれの面方位においてRTNを引き起こす欠陥がデバイス信頼性にどのような影響を与えるかを調べる必要がある。

ここでは、RTNの原因となる欠陥の特性を、微細トランジスタを用いた実験により検討した結果について述べる。

2 RTN現象と欠陥の分類

図1に示すようなTri-Gate構造トランジスタやGAA (Gate-All-Around) 構造ナノワイヤトランジスタでは、従来の平面構造トランジスタで用いられる一般的なシリコン (Si) 結晶の (100) 面以外の面方位でも動作させるため、各面方位における欠陥

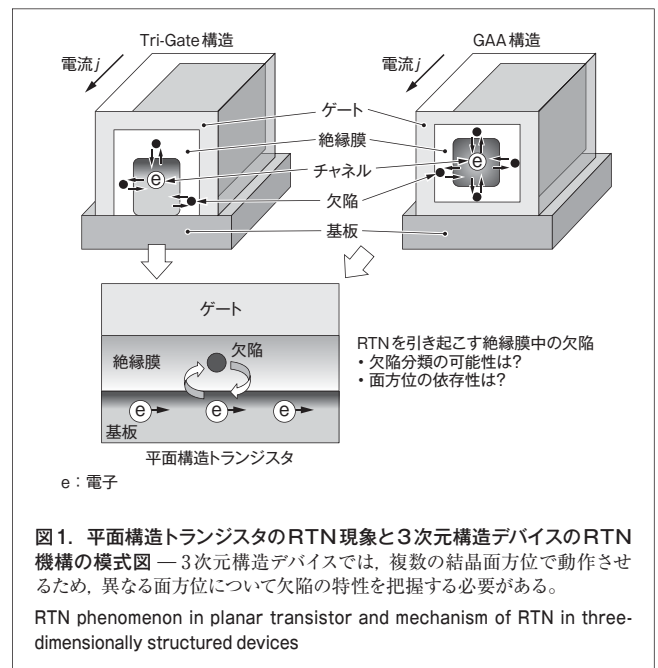


図1. 平面構造トランジスタのRTN現象と3次元構造デバイスのRTN機構の模式図 — 3次元構造デバイスでは、複数の結晶面方位で動作させるため、異なる面方位について欠陥の特性を把握する必要がある。

RTN phenomenon in planar transistor and mechanism of RTN in three-dimensionally structured devices

の特性を把握することが重要である。

また、これまでの多くの報告では、RTNを引き起こす原因

となる欠陥分布を考える際に、欠陥は全て同じものと捉えており、欠陥の多様性についてはいまだ十分に考慮されていない。したがって、RTN現象(図2)における物理的な発生機構の考察及びトランジスタ高信頼化の指針を提示するには、特性が異なる欠陥を分離する必要があると考えられる。

図3に示すように、キャリアを捕獲するまでの時定数 τ_c と電荷を放出するまでの時定数 τ_e を抽出して、各ゲート電圧での平均時定数が得られる。1993年にM. Schulzは、RTNを引き起こす欠陥がニュートラル欠陥とアトラクティブ欠陥の2種類に分離でき、それぞれの欠陥の時定数とチャネル電流 I_d との相関が異なっていることを報告した⁽⁷⁾。

ニュートラル欠陥:

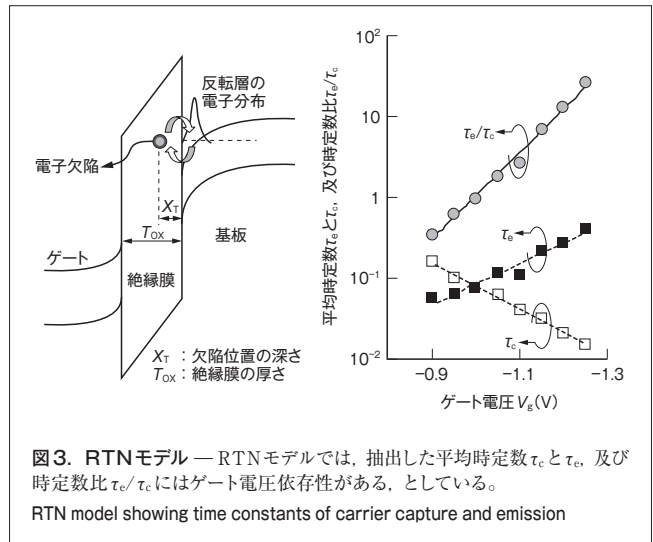
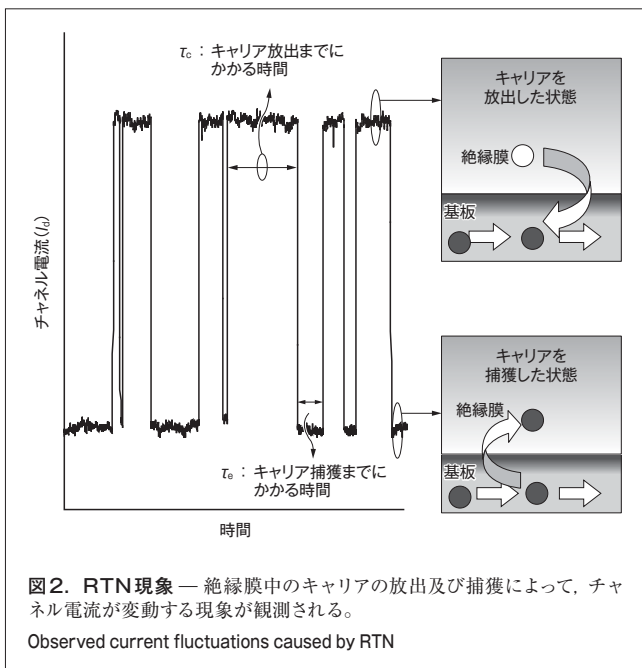
$$\frac{\tau_e}{\tau_c} = \exp\left(-\frac{E_T + \Delta E - E_F}{k_B T}\right) \quad (1)$$

アトラクティブ欠陥:

$$\frac{\tau_e}{\tau_c} = \exp\left(-\frac{E_T - E_F}{k_B T}\right) \quad (2)$$

ここで、 E_T :欠陥準位エネルギー、 E_F :フェルミエネルギー、 ΔE :クーロンエネルギー、 $k_B T$:熱エネルギー(k_B :ボルツマン定数、 T :絶対温度)である。

式(1)及び式(2)より、ニュートラル欠陥の τ_e/τ_c のモデル式には $\exp(-\Delta E/k_B T)$ 部分があるが、アトラクティブ欠陥のモデル式にはその部分がないことがわかる。ゲート電圧の増大に伴う反転層キャリア密度 N_{inv} (あるいは I_d)が大きくなるほど、 ΔE は小さくなる。その結果、アトラクティブ欠陥よりもニュートラル欠陥のほうが τ_e/τ_c と N_{inv} (あるいは I_d)の相関が強くなり、アトラクティブ欠陥は $\tau_e/\tau_c \sim N_{inv}$ 、ニュートラル欠陥は $\tau_e/\tau_c \sim N_{inv}^2$ の依存性を示す⁽⁷⁾。



3 実験と評価手法

実験では、試料としてSi(110)面とSi(100)面の、nチャネルMOS型電界効果トランジスタ(nMOSFET)とpチャネルMOS型電界効果トランジスタ(pMOSFET)を用いた。nMOSFETで観測されたRTN現象は、絶縁膜中欠陥とチャネルに流れる電子の捕獲及び放出と考えられ、この欠陥を電子トラップと呼ぶ。同様に、pMOSFETで観測された欠陥を正孔トラップと呼ぶ。実験に用いた素子サイズは、ゲート長 L_g が50 nm、ゲート幅 W_g が100 nm、及び絶縁膜厚さ T_{ox} が2 nmである。

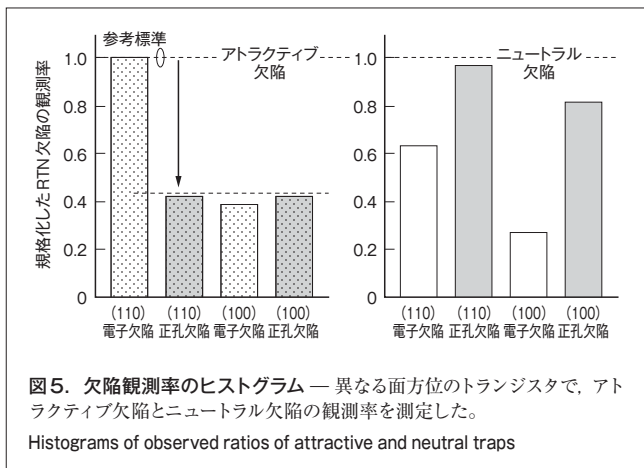
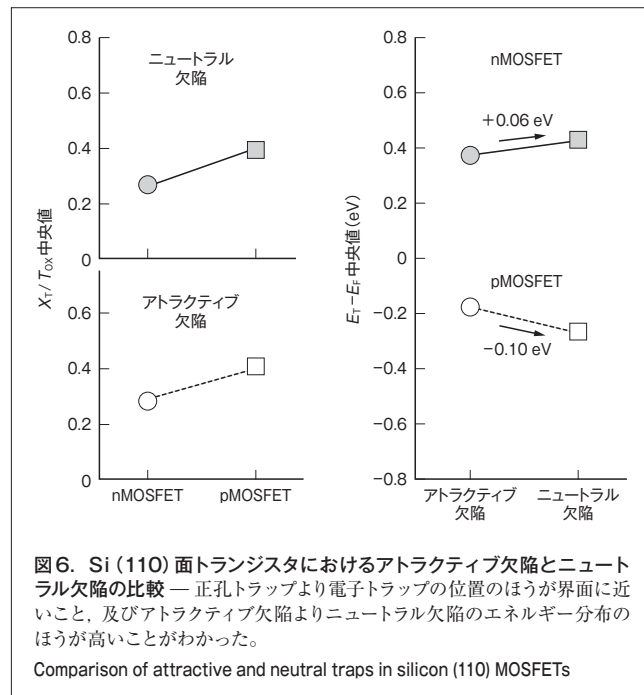
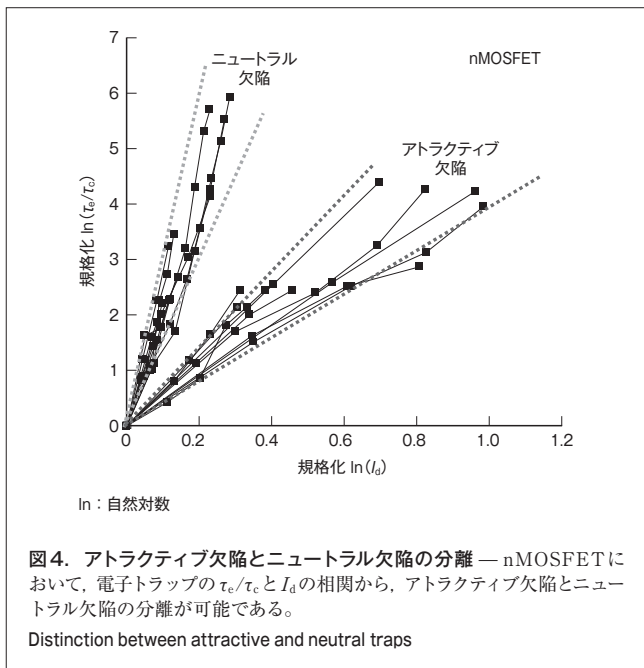
RTN評価では、RTN高速測定システムを使って一定ゲート電圧を印加したまま、MOSFETに流すチャネル電流をサンプリングすることで、欠陥の時定数及びチャネル電流振幅を得た。サンプリングレートは最高1メガサンプル(MS)/sである。更に、各欠陥の時定数のゲート電圧依存性を用いて、欠陥の絶縁膜中の位置 X_T (あるいは X_T/T_{ox})とそのエネルギー E_T (あるいは $E_T - E_F$)を計算した⁽³⁾。

4 実験結果と考察

4.1 ニュートラル欠陥とアトラクティブ欠陥の分離

nMOSFETにおける τ_e/τ_c の I_d 依存性を図4に示す。この結果から電子トラップは(図示はしていないがpMOSFETにおける正孔トラップも)、弱い I_d 電流依存性を持つアトラクティブ欠陥領域と、強い I_d 電流依存性を持つニュートラル欠陥領域とが明瞭に分離されて観測できた。

アトラクティブ欠陥とニュートラル欠陥の観測率に対して、電子トラップと正孔トラップの面方位依存性を図5に示す。この結果から、電子のニュートラル欠陥より、正孔のニュートラル欠陥のほうが欠陥の観測率が高い。また、正孔のアトラクティブ欠陥より、正孔のニュートラル欠陥のほうが欠陥の観測率が高

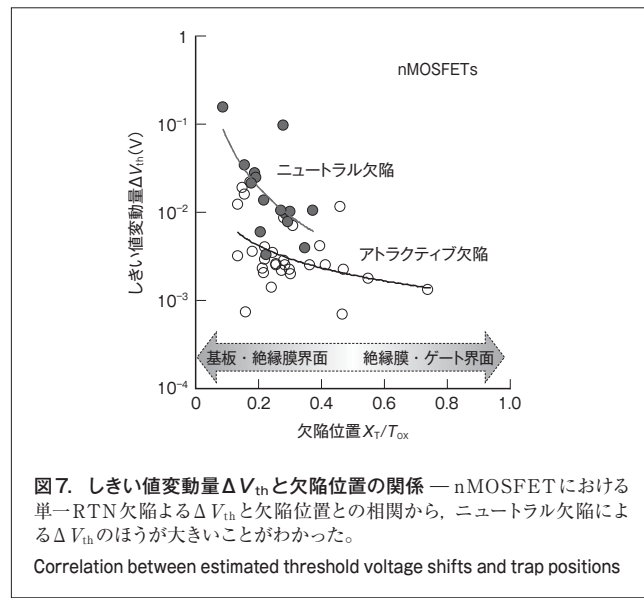


いことがわかった。更に、結晶の面方位依存性については、アトラクティブ欠陥はSi (110) 面のトランジスタにおいて観測率ももっとも高いことがわかった。

4.2 統計分布と物理機構の考察

Si (110) 面のトランジスタにおけるアトラクティブ欠陥とニュートラル欠陥の位置、及び各面方位でアトラクティブ欠陥とニュートラル欠陥のエネルギー分布の比較を図6に示す。正孔トラップより電子トラップの位置は界面により近いことがわかった。また、正孔トラップと電子トラップのどちらにおいても、アトラクティブ欠陥よりニュートラル欠陥のほうがエネルギー分布が高い。

更に、トランジスタのゲート電極に一定電圧を印加したサンプリング測定により観測されたチャネル電流変動量 ΔI_d と、トランジスタの動作特性 (I_d - V_g 特性) に基づいて抽出したトランスコンダクタンス g_m 値を利用して、RTNの原因となる電子トラップに



よるしきい値変動量 ΔV_{th} ($\Delta V_{th} = \Delta I_d/g_m$) を計算した。しきい値変動量と欠陥位置との関係を図7に示す。欠陥のうち、特にニュートラル欠陥の位置が界面に近づくほど、 ΔV_{th} が大きくなる傾向が見られた。

図7の実測データのフィッティングから得られた、各面方位における電子あるいは正孔のニュートラル欠陥によるしきい値変動量 $\Delta V_{th_neutral}$ とアトラクティブ欠陥によるしきい値変動量 $\Delta V_{th_attractive}$ の比を計算した結果を、図8に示す。界面に近づくほど、アトラクティブ欠陥よりニュートラル欠陥によるしきい値変動量が大きくなる。その原因は、図9に模式的に示すように、アトラクティブ欠陥はキャリアが捕獲されると

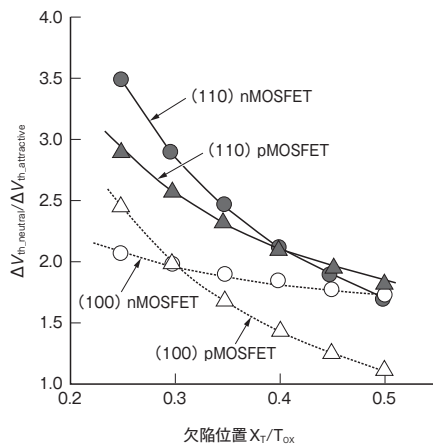


図8. 電子及び正孔のニュートラル欠陥とアトラクティブ欠陥によるしきい値変動量の比の計算結果 — 界面に近づくほど、アトラクティブ欠陥よりニュートラル欠陥によるしきい値変動量が大きくなっている。

Calculated ratios of threshold voltage shifts of carriers due to neutral and attractive traps

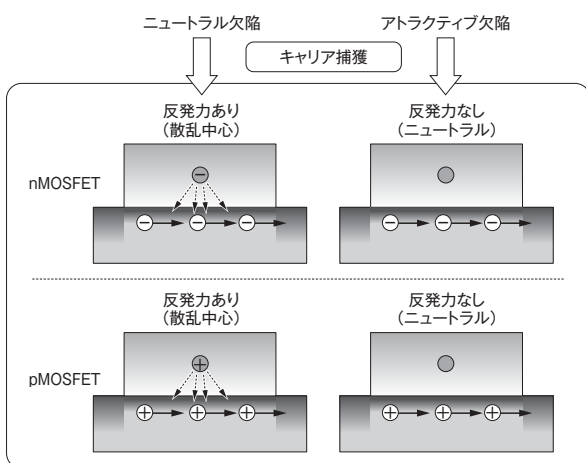


図9. RTN欠陥機構のモデル — アトラクティブ欠陥よりニュートラル欠陥のしきい値変動量が大きいことから、キャリア捕獲以後にニュートラル欠陥が反発力を持つ散乱中心になるモデルが考えられる。

Trap mechanisms of RTN

ニュートラルになるが、ニュートラル欠陥はキャリアが捕獲されると、反発力を持つ散乱中心になるためと考えられる。そのため、ニュートラル欠陥のほうがチャネル電流への影響 ΔI_d が大きく、しきい値変動 ΔV_{th} に与える影響も大きいのではないかと推定される。

これらの結果から、ニュートラル欠陥が素子の信頼性に与える影響が大きいため、ニュートラル欠陥の物理機構の更なる理解が高信頼化の観点において重要であると考えられる。

5 あとがき

RTNは微細化に伴って顕著になることが予測されており、今後デバイスの信頼性において重要な課題となると考えられる。

今回、RTNを詳細に解析することで、ニュートラル欠陥とアトラクティブ欠陥の2種類の欠陥が原因であること、更にその欠陥の種類によって信頼性に与える影響が異なることを明らかにした。これらの結果は、先端デバイスにおける高信頼化の物理機構と構造最適化の研究に重要な示唆を与えるものと考えられる。

文献

- Goiffon, V. et al. Evidence of a Novel Source of Random Telegraph Signal in CMOS Image Sensors. IEEE Electron Device Letters. **32**, 6, 2011, p.773 - 775.
- Realov, S. et al. "Random telegraph noise in 45-nm CMOS: Analysis using an on-chip test and measurement system". International Electron Devices Meeting 2010. San Francisco, CA, USA, 2010-12, IEEE. 2010, p.28.2.1 - 28.2.4.
- Nagumo, T. et al. "Statistical characterization of trap position, energy, amplitude and time constants by RTN measurement of multiple individual traps". International Electron Devices Meeting 2010. San Francisco, CA, USA, 2010-12, IEEE. 2010, p.28.3.1 - 28.3.4.
- Joe, S.-M. et al. Threshold Voltage Fluctuation by Random Telegraph Noise in Floating Gate nand Flash Memory String. IEEE Trans. Electron Devices. **58**, 1, 2011, p.67 - 73.
- Kang, D. et al. "A new approach of NAND flash cell trap analysis using RTN characteristics." 2011 Symposium on VLSI Technology. Honolulu, HI, USA, 2011-06, IEEE. 2011, p.206 - 207.
- Fan, M.-L. et al. Analysis of Single-trap-induced Random Telegraph Noise on FinFET Devices, 6T SRAM Cell, and Logic Circuits. IEEE Trans. Electron Devices, **59**, 8, 2012, p.2227 - 2234.
- Schulz, M. Coulomb energy of traps in semiconductor space-charge regions. J. Appl. Phys. **74**, 4, 1993, p.2649 - 2657.



陳 杰智 CHEN Jiechi

研究開発センター LSI 基盤技術ラボラトリー。
ゲート絶縁膜の信頼性技術の研究・開発に従事。
応用物理学会会員。
Advanced LSI Technology Lab.



平野 泉 HIRANO Izumi

研究開発センター LSI 基盤技術ラボラトリー研究主務。
ゲート絶縁膜の信頼性技術の研究・開発に従事。
応用物理学会会員。
Advanced LSI Technology Lab.



三谷 祐一郎 MITANI Yuichiro

研究開発センター LSI 基盤技術ラボラトリー研究主幹。
ゲート絶縁膜の信頼性技術の研究・開発に従事。
応用物理学会会員。
Advanced LSI Technology Lab.