

All-SiC モジュール設計に対応した 統合シミュレーション技術

Integrated Simulation Technology Maximizing Performance of All-SiC Modules

菊地 拓雄

高尾 和人

四戸 孝

■ KIKUCHI Takuo

■ TAKAO Kazuto

■ SHINOHE Takashi

炭化ケイ素 (SiC) パワーデバイスは、現行のシリコン (Si) パワーデバイスに比べて優れた特性を持つことから、インバータなどの電力変換装置への早期展開が期待されている。一方、その高速応答性のため、パワーモジュール配線の寄生インダクタンスに起因したサージ電圧、電磁ノイズの発生、及びチップ間の不均一動作が懸念される。

東芝は、モジュール配線の寄生インダクタンスのほか、回路動作、及び熱応答を総合的に扱える統合シミュレーション技術を開発した。この技術により、これまで実現が困難であったモジュール内部の詳細な動作検証及び設計が可能になり、SiC デバイスの性能を最大限に引き出すモジュールの開発と開発期間の短縮に貢献できる。

Silicon carbide (SiC) power devices with superior performance compared with currently available Si power devices are a focus of high expectations for application to power conversion equipment such as inverters. However, their intrinsic fast switching speed causes serious problems including increases in surge voltages and electromagnetic noise as well as non-uniform operation among parallelized chips, due to undesirable parasitic inductances in the power module.

Toshiba has developed a novel integrated simulation technology for all-SiC modules, allowing these issues related to electrical circuits and electro-magnetic and thermal effects to be comprehensively handled. This technology makes it possible to implement more detailed verification and design early in the development phase, thereby contributing to the development of all-SiC modules with optimized performance and shortening of the overall development period.

1 まえがき

SiC パワーデバイスは、現行の Si パワーデバイスに比べて、低損失、高速、及び高温動作が可能であり、次世代のパワーデバイスとして期待されている。そしてこれまでに、SiC パワーデバイスを搭載したパワーモジュールを用いた電力変換器において、低損失化や受動部品の小型化によるパワー密度の向上が実証されている⁽¹⁾。

一方、大電流出力のモジュールを実現するには多数のチップを並列接続する必要があるが、この際チップ間を結線する配線に内在する寄生インダクタンスに起因した、チップ間の不均一動作、及びその結果生じる特定チップへの発熱集中が問題となる。更に、SiC パワーデバイスの高速応答性により、寄生インダクタンスがチップ間の不均一動作に与える影響は増大する。この問題はモジュール内部の現象であることから、外部からの測定によりその現象を定量的に把握することは困難である。したがって、シミュレーションを活用した解析が有効である。

そこで東芝は、今回モジュール内部のチップ動作を詳細に解析可能な統合シミュレーションモデルを構築し、多並列チップ間の動作均一性の評価に適用した。解析モデルは、デバイスの詳細なモデリングのほか、電気回路、電磁気、及び熱の複数の物理現象を総合的に考慮して構築した。更に、試作し

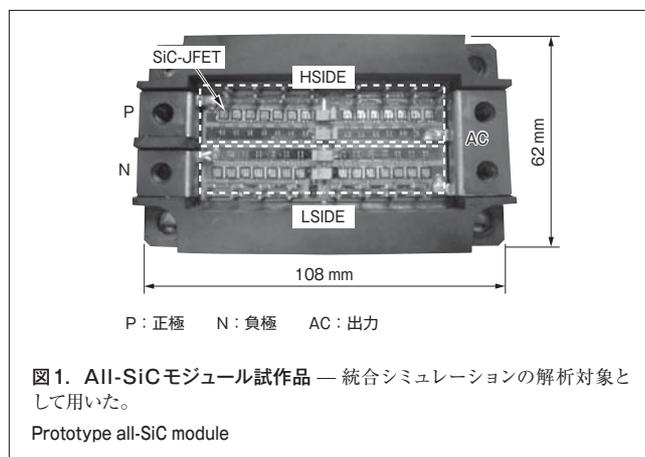


図1. All-SiCモジュール試作品 — 統合シミュレーションの解析対象として用いた。

Prototype all-SiC module

たチップを全てSiCで構成したモジュール (All-SiC) モジュールの多並列チップ間の動作均一性、及びモジュール内部の温度分布を定量化し、それらのばらつき要因を解析した。

2 解析対象のAll-SiCモジュール

統合シミュレーションによるチップ間の動作均一性評価の対象として、All-SiCモジュールを設計し、試作した(図1)。スイッチング素子として耐圧1,200 V、オン抵抗100 mΩのノーマ

リオン型SiC-JFET (接合型電界効果トランジスタ) を使用した。還流ダイオードには、SiC-JFET内部に形成されたボディダイオードを用いた。モジュールは、電源側 (HSIDE) と接地側 (LSIDE) のそれぞれに、SiC-JFETを14チップずつ並列接続することで構成した。各チップは、主回路の電流経路においてソース側とドレイン側のインダクタンスの合計が等しくなるように配置されている。

3 統合シミュレーション

3.1 構成

統合シミュレーションのワークフローを図2に示す。最初に形状や、寸法、デバイス特性などの設計変数を定義した後、電磁界解析によりモジュール内の寄生インダクタンス L 、容量 C 、抵抗 R を抽出する。その後、回路解析モデルにこれらの寄生パラメータを入力して損失を計算する。更に、損失計算に基づいて熱解析を実施し、モジュール内部の温度分布を計算する。回路解析による損失計算と、熱解析による温度分布の計算は、両者の結果が収束するまで繰り返される。これにより、温度によるデバイス及び回路特性の変動を再現できる。最後に、各解析から得られる動作均一性やモジュール温度などの目的関数を評価し、設計変数の最適化を行う。

3.2 デバイス解析モデル

計算の高速化のため、デバイスモデルにはコンパクトモデルを用いた。SiC-JFETの等価回路モデルを図3に示す。FET部分とボディダイオードは一般的なSPICE (Simulation Program with Integrated Circuit Emphasis) モデルを用いた。また、逆回復電流 I_{re} を考慮するため、ドリフト層の電荷量を関数とした電流源を含む付加回路をダイオードと並列に設けた。更に、上記のFETモデルではゲート電圧に応じて変化するゲートドレイン間容量を再現するため、可変容量 C_{gd} を設けている。SiC-JFETの等価回路を構成する素子のSPICEパラメータは、実測のデバイス特性及び温度特性を用いて決定した。

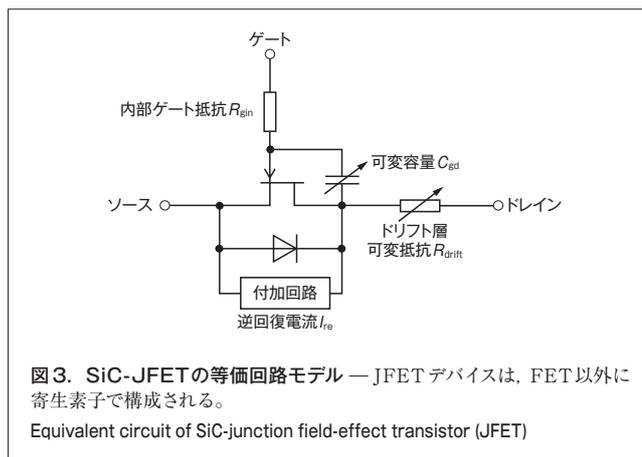


図3. SiC-JFETの等価回路モデル — JFET デバイスは、FET 以外に寄生素子で構成される。
Equivalent circuit of SiC-junction field-effect transistor (JFET)

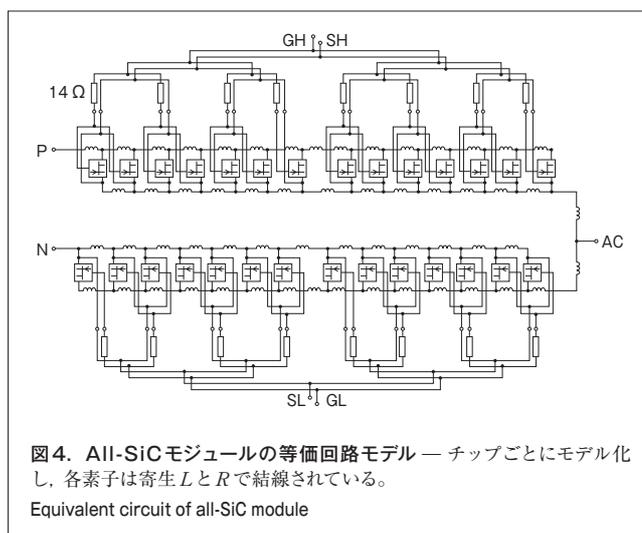


図4. All-SiCモジュールの等価回路モデル — チップごとにモデル化し、各素子は寄生 L と R で結線されている。
Equivalent circuit of all-SiC module

3.3 回路解析モデル

統合シミュレーションで用いたAll-SiCモジュール (図1) の等価回路モデルを図4に示す。外部接続端子P, N, GH (HSIDEゲート端子), SH (HSIDEソース端子), GL (LSIDEゲート端子), 及びSL (LSIDEソース端子) を介して電力変換回路を用いて駆動することで、回路動作が実現される。各チップのデバイス特性には、熱解析で計算した個別の温度が反映され、各素子間に電磁界解析で求めた寄生 L 及び R が挿入される。

3.4 熱・電磁界解析モデル

解析には市販の3次元有限要素法ツールを用いた。構造は設計寸法を変数としたスクリプトで記述し、任意に形状変更が可能である。計算された温度分布と、寄生 L 及び R は回路解析モデルで使用される。

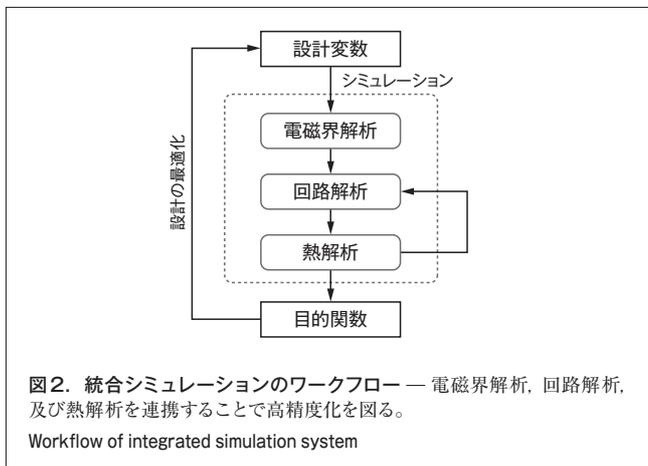
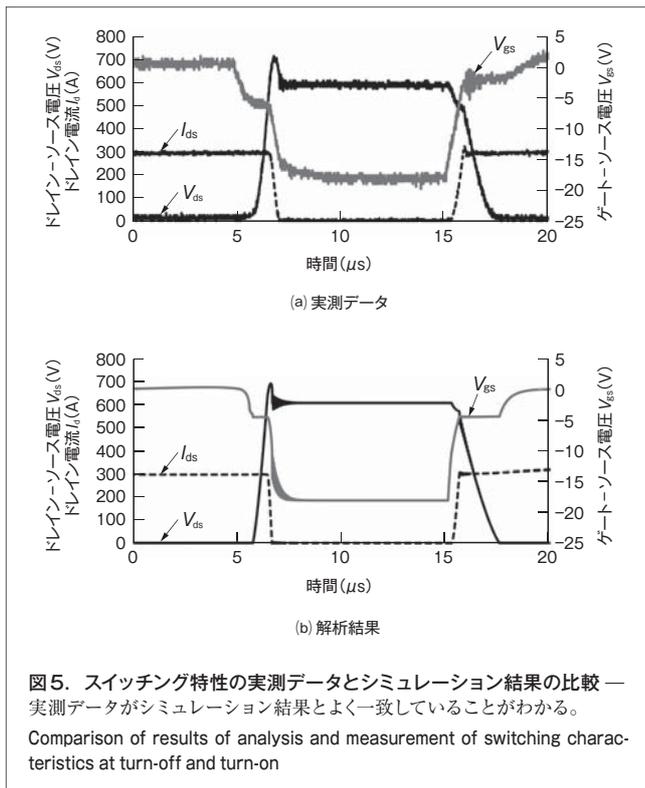


図2. 統合シミュレーションのワークフロー — 電磁界解析, 回路解析, 及び熱解析を連携することで高精度化を図る。
Workflow of integrated simulation system

4 統合シミュレーションの妥当性検証

All-SiCモジュールについて、ダブルパルス試験によりSiC-JFETのスイッチング特性を測定し、解析結果と比較した。電源電圧は600Vとし、オン及びオフ時のゲート電圧をそれぞれ



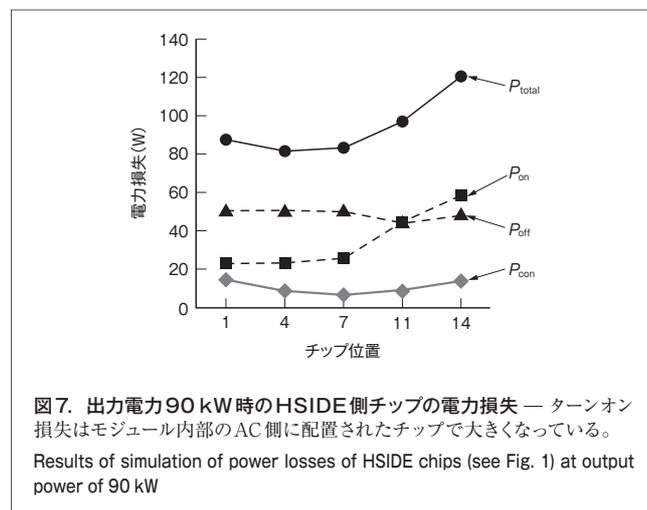
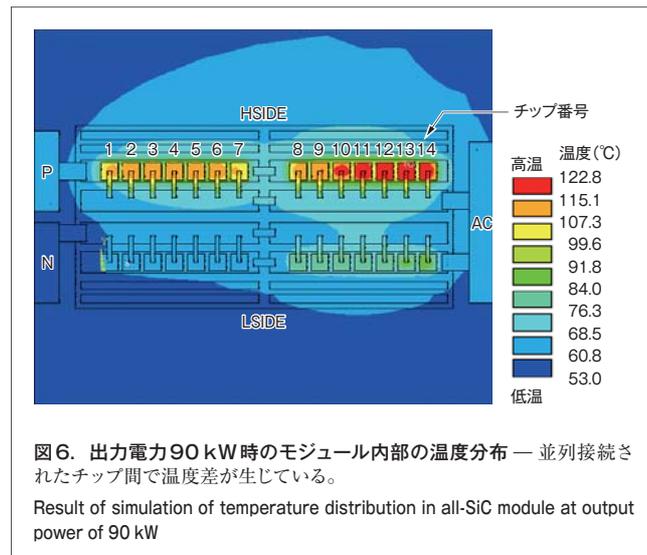
0 V及び-15 Vとした。ゲート抵抗はモジュールに内蔵された1素子当たり28 Ωのほか、外付けゲート抵抗27 Ωを付加した。

スイッチング時のターンオン及びターンオフ時の電圧波形と電流波形について、実測データとシミュレーション結果の比較を図5に示す。両者の波形はよく一致しており、開発したシミュレーションモデルの妥当性を確認できる。

5 チップ間の動作均一性評価

チップ間の動作均一性を評価するために、一般的な同期整流型バックコンバータ回路動作時における、モジュール内部の電流、電圧、及び温度分布を解析した。回路動作は、入力電圧600 V、動作周波数20 kHz、デッドタイム0.5 μsとし、外付けゲート抵抗は高速スイッチングを実現するために0 Ωとした。ゲートのパルス電圧は、オン及びオフ時の電圧をそれぞれ0 V及び-15 Vとし、オンとオフのデューティ比を0.5とした。また、L負荷は20 μHで一定とし、出力300 Aで一定となるように負荷抵抗の値を調整した。このときのバックコンバータ回路の出力電力は90 kWとなる。

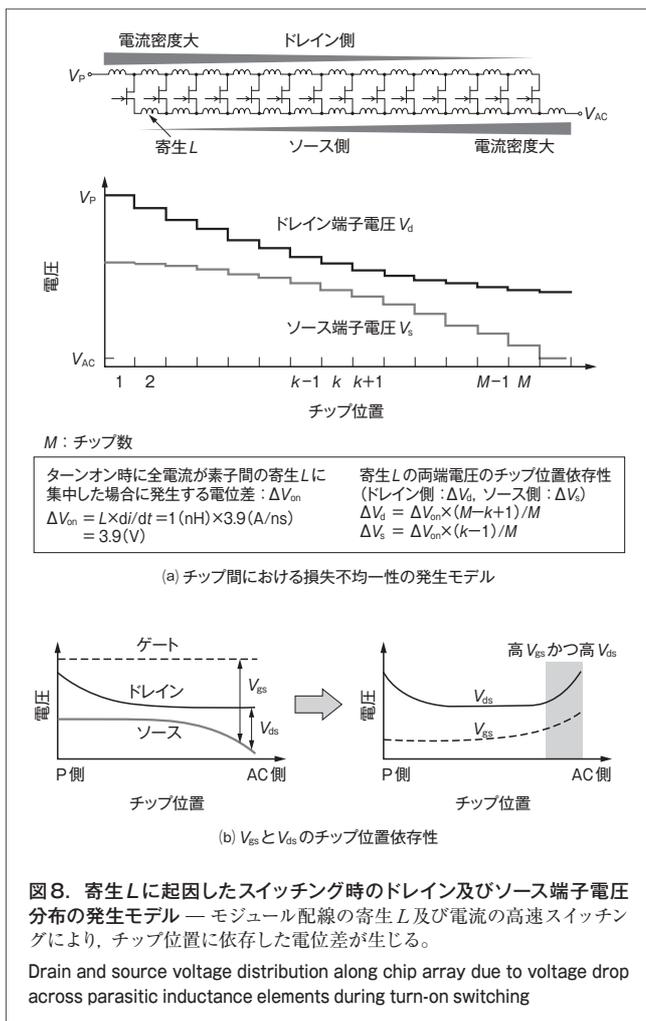
連続動作時のモジュール内部の温度分布を図6に示す。HSIDE側素子の温度が高いのは、動作周波数が20 kHzと高いため、FETのスイッチングがないLSIDE側に対し、HSIDEのスイッチング損失が大きいためである。一方、同じHSIDE素子間においても温度の不均一性があり、モジュール中央部



のチップに比べてモジュール端部（AC側）のチップで高温となり、温度差は最大で20℃であった。ここで、隣接チップがないモジュール端部の温度がもっとも高いため、チップ間の熱干渉とは別の作用が働いていると考えられる。

モジュール内部の各チップのトータル損失 P_{total} 、ターンオン損失 P_{on} 、ターンオフ損失 P_{off} 、及び導通損失 P_{con} を図7に示す。 P_{off} が各チップの合計値としてもっとも大きい、 P_{on} はモジュール端部のチップ14で大きく、チップ温度の均一化への影響が大きいと考えられる。

チップ間における損失不均一性の発生モデルを図8(a)に示す。等価回路モデルにあるようにモジュールの配線構造上、各チップの電流経路において寄生Lの合計は等しいが、電流密度はドレイン側ではP側で最大、かつAC側で最小となり、一方ソース側ではAC側で最大、かつP側で最小となる。寄生Lにより生じる電位差 $L di/dt$ は、この電流分布の影響を受け、図8(a)中の式に基づきドレイン及びソース端子の電圧は、図8(b)の左図に示す分布となる。その結果、モジュール端部



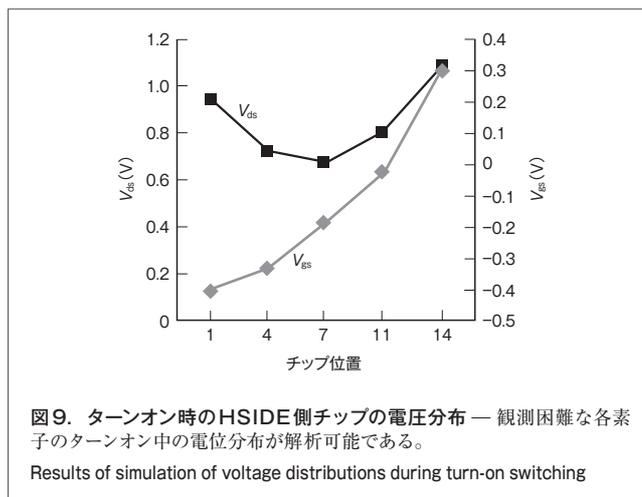
のチップにおけるドレイン-ソース間電圧 V_{ds} 及びゲート-ソース電圧 V_{gs} が大きくなる (図8(b)の右図)。更に、SiC素子の場合、そのスイッチングの高速性のために電流変化 di/dt が大きくなり、不均一な電圧分布はより顕著になる。

ターンオン中の V_{ds} 及び V_{gs} の解析結果を図9に示す。モジュールAC側のチップの V_{ds} 及び V_{gs} が大きく、前述の電圧分布発生モデル (図8(b)) の妥当性を確認できる。

以上の考察から、HSIDEのAC側のチップでは、モジュール端部のチップに電流と電圧が集中した結果、 P_{on} が増大したと考えられる。

FETは一般にユニポーラデバイスであり正の温度特性を持つため、特定チップへの電流集中は温度上昇により緩和される傾向にある。開発したシミュレーションでは、この効果も考慮しているが、それでもなお配線の寄生Lに起因した電流の不均一性が存在することを示している。

これらの結果から、多並列化したSiCモジュールで、SiCの高速性を利用しながらチップを均一動作させるためには、主回路Lを等しくするだけでなく、チップのソース側とドレイン側の寄生Lを等しくする必要があると考えられる。



6 あとがき

今回、電磁界解析、回路解析、及び熱解析を連携した統合シミュレーションモデルを用いて、多並列化したSiC-JFETチップを搭載したAll-SiCモジュールにおけるチップ間の動作均一性を評価した。そして、出力電力90 kWのバックコンバータ回路における連続動作中のモジュール内温度分布を解析し、チップ間の不均一動作に起因した温度差が生じることを示し、その発生メカニズムを明らかにした。

開発した統合シミュレーション技術は、モジュールの詳細な動作検証に活用できるだけなく、所望のモジュール特性を得るための素子選択や動作条件の最適化など、様々な用途で用いることが可能なため、今後ますます重要な技術になると考えられる。

文献

- (1) Takao, K. et al. "Demonstration of 25W/cm³ class all-SiC three phase inverter". Proc. EPE2011, Birmingham, UK, 2011-08, EPE, 2011, p.1 - 10.



菊地 拓雄 KIKUCHI Takuo

生産技術センター プロセス研究センター研究主務。
パワー半導体素子のシミュレーション技術の研究・開発に従事。
応用物理学会会員。
Process Research Center



高尾 和人 TAKAO Kazuto, D.Eng.

研究開発センター 電子デバイスラボラトリー研究主務、博士(工学)。SiCパワー半導体素子応用技術の研究・開発に従事。
電気学会会員。
Electron Devices Lab.



四戸 孝 SHINOHE Takashi

研究開発センター 電子デバイスラボラトリー。
Si縦型パワー半導体素子及びSiCパワー半導体素子の研究・開発に従事。電気学会、応用物理学会会員。
Electron Devices Lab.