

低消費電力のキャッシュメモリを可能にした垂直STT-MRAM

Application of Perpendicular STT-MRAM to Cache Memory for Substantial Reduction in Power Consumption

北川 英二 藤田 忍 伊藤 順一

■ KITAGAWA Eiji

■ FUJITA Shinobu

■ ITO Junichi

キャッシュメモリの大容量化に伴い、データを保持するために使用されるエネルギーは増加の一途をたどり、無視できない問題となってきている。これを解決するため、データ保持エネルギーを必要としない不揮発性メモリであるMRAM (Magnetoresistive RAM) が検討されている。しかし従来のMRAMには、データ保持エネルギーは削減できるものの、書き込み電流が大きいために消費電力がかえって増大してしまうという課題があった。

今回東芝は、低電流で書き込みが可能な垂直記憶素子を用いたスピン注入型 (STT: Spin-Transfer Torque) -MRAMをキャッシュメモリに適用することで、SRAM (Static RAM) と同等の動作速度を保持しながら、消費電力を80%低減できることを示した。

The increase in power consumption of cache memories for data retention is a serious issue accompanying the increase in their capacity. Magnetoresistive random-access memories (MRAMs), which are a nonvolatile type of cache memory that do not consume energy for data retention, are under consideration as a solution to this issue. However, they have the significant disadvantage of increased power consumption due to higher writing current.

Toshiba has now developed a perpendicular spin-transfer torque (STT)-MRAM using low-power writable perpendicular-magnetic tunnel junction (p-MTJ) devices, and confirmed through simulations that a reduction in power consumption of more than 80% can be expected while maintaining mobile processor performance equivalent to that of static RAMs (SRAMs).

1 まえがき

近年、スマートフォンやタブレット及び UltrabookTM (注1)をはじめとするヒューマン インタフェース機器の利便性向上と情報のクラウド化によって、情報の送配信量は爆発的に増加し、情報処理に用いられるエネルギーは増加の一途をたどっている。この情報処理量の増大に対処するためキャッシュメモリを大容量化すると、微細化によってリーク電流が増加し、データ保持のためにキャッシュメモリに消費されるエネルギーが著しく増大することが特に問題となってきている。

そこで、消費電力低減の観点から、データ保持のために電力を消費しない不揮発性メモリへの代替が検討されている。しかし、不揮発性メモリとしてNAND型フラッシュメモリや、HDD (ハードディスクドライブ)、強誘電体メモリ (FeRAM: Ferroelectric RAM)、相変化メモリなどが知られているが、これら不揮発性メモリは動作速度が遅いか、繰返しの書き込みを行うと記憶素子が壊れてしまうため、キャッシュメモリとして用いることができなかった。

一方、スピン注入型の書き込み方式を用いたSTT (Spin-Transfer Torque)-MRAM (Magnetoresistive RAM) は不揮発性メモリでありながら、動作速度が速く、無限大に近い繰返

し書き込み耐性を保持できることから、低消費電力のキャッシュメモリを実現できる有力候補と考えられている⁽¹⁾。しかし、これまでのSTT-MRAMは、書き込みに消費される電力が巨大であったため低消費電力化することが困難であった。

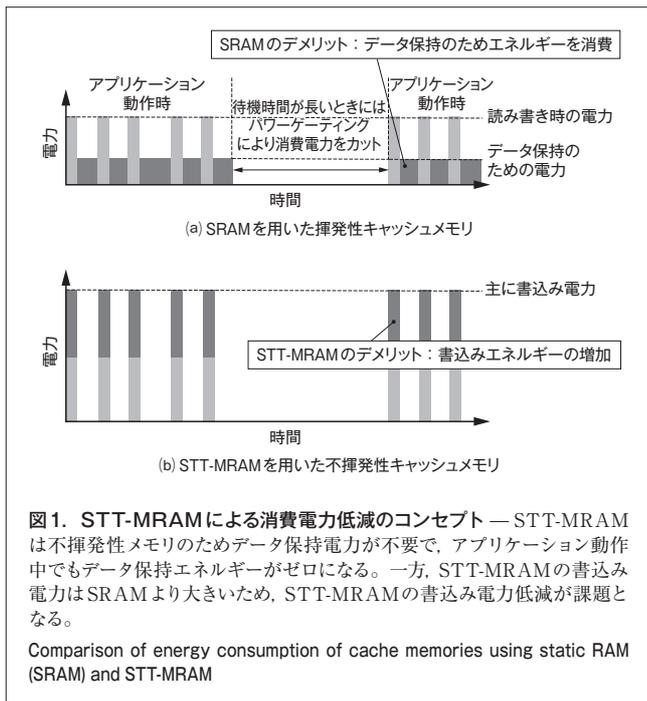
この問題に対して、東芝は、書き込みに用いられる消費電力を低減するため、STT-MRAMの記憶素子に垂直磁気異方性を持つ磁気トンネル接合膜を適用し⁽²⁾、30 nm以下に微細化させ、かつ磁化反転時及び書き込み時のエネルギーを低減できる材料に置き換えた。このように、STT-MRAMをキャッシュメモリとして用いることで、従来のSRAM (Static RAM) を用いたキャッシュメモリと同等の動作性能を保持しつつ消費電力低減を実現した⁽³⁾。

ここでは、STT-MRAMの書き込みエネルギーの低減方法と、書き込みエネルギーを低減させたSTT-MRAMをキャッシュメモリに用いた場合の性能について述べる。

2 STT-MRAMを用いたキャッシュメモリの低消費電力化のコンセプト

従来、キャッシュメモリとして採用されているSRAMは揮発性メモリのため、データを保持するためのエネルギーを供給し続けなければならない。つまりデータ保持時間が長くなるほど消費電力が増加する、そこで、一定の時間以上読み書き

(注1) Ultrabookは、米国及びその他の国におけるIntel Corporationの商標。



動作を実施しない場合、電源を遮断するシステム（パワーゲーティング）を採用している。しかし、電源を遮断すると記憶情報が失われてしまうため、再書き込みによるエネルギー消費の観点から、パワーゲーティングの適用範囲は限定されていた。

パワーゲーティングを用いた場合のSRAMとSTT-MRAMの消費電力の違いを図1に示す。図1(a)がキャッシュメモリとしてSRAMを用いた従来の場合で、アプリケーションが非動作時にデータ保持電力を遮断することでエネルギー消費を低減させている。しかし、アプリケーション動作時にデータ保持電力を遮断すると、失われたデータを再書き込みするために多大のエネルギーを消費するため、頻繁に読み書きする場合にはかえって消費電力が増加する。このため、パワーゲーティングが使用可能な範囲は、アプリケーションが非動作のときに限定されていた。その結果、データ保持のための電力消費がSRAMの短所として残っている。

一方、キャッシュメモリとしてSTT-MRAMを用いた場合（図1(b)）には、記憶素子に書き込まれた情報が不揮発のため、アプリケーション動作時においてもデータ保持電力の供給が不要になる。つまり、SRAMで消費されていたアプリケーション動作時のデータ保持エネルギーが不要になり、消費電力の低減が可能になる。しかしSTT-MRAMの書き込み電力はSRAMに比べ大きいため、SRAMをSTT-MRAMに代替することの長所を生かすためには、式(1)を満たせるまでSTT-MRAMの書き込みエネルギーを低減させる必要があった。

$$\text{SRAMデータ保持エネルギー} + \text{SRAM書き込みエネルギー} > \text{STT-MRAM書き込みエネルギー} \quad (1)$$

3 磁気記憶素子の低消費電力化

STT-MRAMに用いられる記憶素子への書き込みエネルギーは式(2)で与えられる。

$$\text{書き込みエネルギー} = \text{書き込み電圧} \times \text{書き込み時間} \times \text{書き込み電流} \quad (2)$$

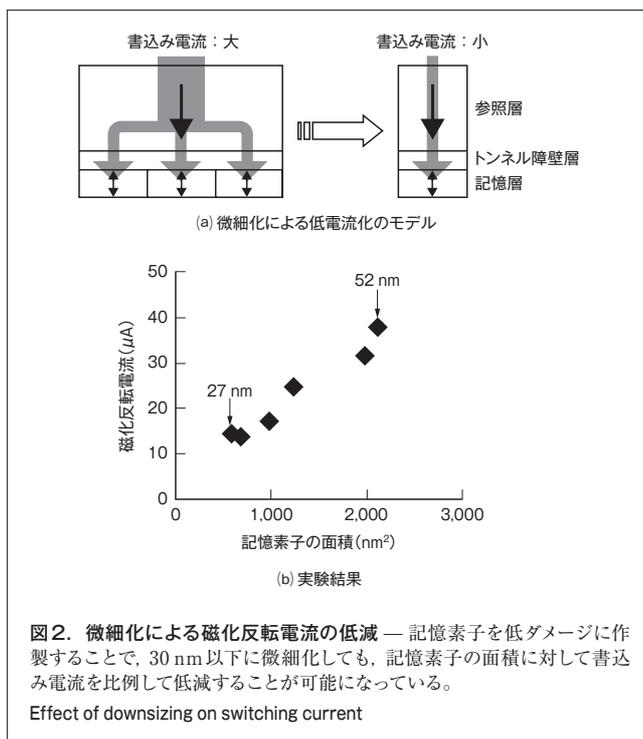
書き込み電圧は、記憶素子に用いられるトンネル絶縁膜の膜厚を変えることで、比較的容易に調整可能である。したがって、書き込み時間と書き込み電流をともに低減できれば大幅な消費電力低減が可能になる。しかし、これまでの報告によれば、高速書き込みと低電流書き込みを両立できた実例はなく、STT-MRAMの書き込みエネルギーの増加という短所が顕在化していた。

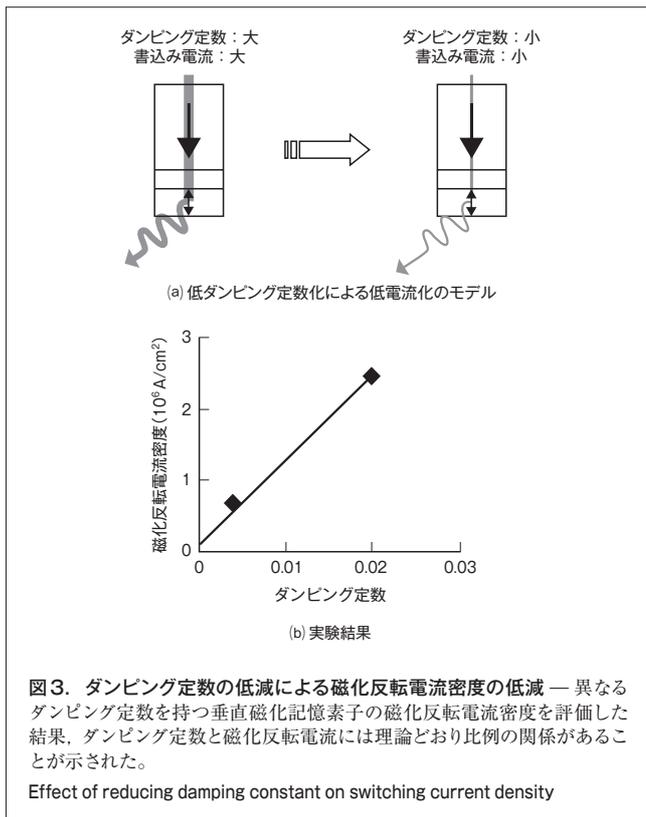
そこで、高速で低電流の書き込みを可能にするため、当社がこれまで開発してきた低電流書き込みに適した垂直磁化方式⁽²⁾を用いるとともに、書き込み電流を更に低減するため次に述べる手法を取り入れた。

3.1 記憶素子の微細化による書き込み電流の低減

微細化によって書き込み電流が低減するモデルを図2(a)に示す。記憶素子のサイズが大きい場合、記憶素子はサブドメインと言われる複数の不揮発な情報保持セルから成る⁽⁴⁾。記憶素子のサイズがサブドメインのサイズより大きい場合、複数のサブドメインに対して情報が記憶されるため、書き込み電流は増加する。逆に、記憶素子のサイズとサブドメインのサイズが同一になるまで微細化が可能になれば、書き込み電流は最小となる。

しかし、記憶素子として用いられる磁性材料は耐食性が悪





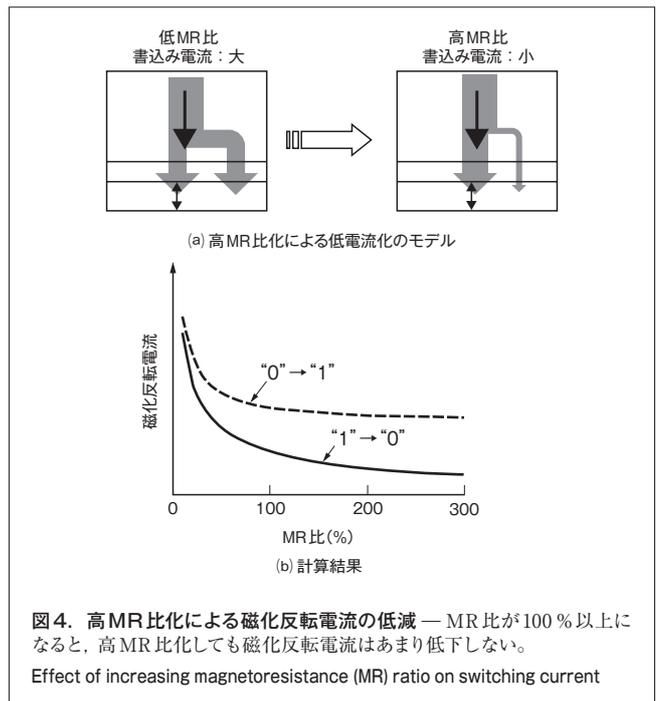
いため記憶素子に酸化などのダメージが入りやすく、特に微細素子において、ダメージによる書き込み電流の増加が問題となっていた。そこで、記憶素子の加工プロセスを改良し、記憶素子へのダメージを低減することで、書き込み電流が記憶素子の面積に比例して低減できることを実験的に実証した(図2(b))。低ダメージプロセスと30 nm以下の微細加工を両立させることで、低電流書き込みを可能にしている。

3.2 書き込み時のエネルギーロスの低減

書き込みで印加された電流はスピントルクを与え記憶層を磁化反転させる。また、スピントルクによって記憶層の磁化が反転する際、スピントルクを抑制する方向に働くのがダンピング項であり、ダンピング定数と呼ばれている。ダンピング定数を小さくできれば磁化反転が容易になり、書き込み電流の低減が可能になる。

ダンピング定数の低減によって書き込み電流が低減するモデルを図3(a)に示す。ダンピング定数が大きいと、記憶層に印加されたスピントルクが磁化反転時に失われ、書き込み電流は上昇する。一方、ダンピング定数が小さくなると、失われるスピントルクは低減され、書き込み電流の低減が可能になる。

書き込み電流とダンピング定数の関係を図3(b)に示す。1996年にSlonczewskiやBergerらによって提唱された理論どおり、ダンピング定数に対して、書き込み電流は比例して低減できることを証明している。更に当社は、垂直磁気記憶層として世界最小^(注2)となるダンピング定数0.004を実現した垂直磁化材料



を用いることで、低電流での書き込みを可能にした。

3.3 書き込み電流の高効率スピントルク変換

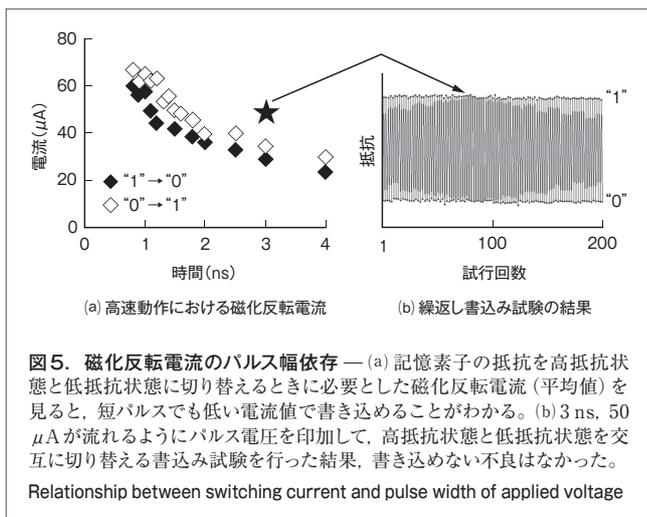
STT-MRAMでは記憶素子への書き込みは磁化を反転して行うため、書き込み電流をスピントルクへ効率よく変換することが重要となる。書き込み電流のスピントルクへの変換が不十分であれば、図4(a)の左図のように、むだな電流が流れて書き込み電流は大きくなる。一方、図4(a)の右図のようにスピントルクへの変換が十分になされれば、書き込みに必要な電流は低減される。

書き込み電流のスピントルクへの変換効率としてMR (Magnetoresistance: 磁気抵抗) 比を指標とし、MR比に対する磁化反転電流を見積もった結果を図4(b)に示す。MR比の値が100%以上になると、磁化反転電流の低減率が減少傾向になる。更に、低抵抗状態“0”から高抵抗状態“1”へ記憶素子に書き込む際に必要な電流値が、高抵抗状態“1”から低抵抗状態“0”へ書き込む場合の電流値より大きく、また、高MR比化による書き込み電流の低減率が低いことがわかる。高MR比化は、微細化及びダンピング定数の低減に比べると、書き込み電流低減の効果は小さいと言える。しかし、記憶素子の高MR比化は記憶素子に書き込まれた情報を読み出しやすくするため、読出し時の低消費電力化が可能になる。消費電力が低い読み書きを実現するためには、高MR比化も必要不可欠となる。

3.4 高速動作における低電流書き込み

低ダンピング定数の材料で形成した垂直磁気トンネル接合膜を、低ダメージプロセスにより30 nm以下に微細化することで、低電流での書き込みを可能にした。これらの技術を組み合

(注2) 2012年12月現在、当社調べ。



わせて作製した記憶素子に対し、SRAM級の動作速度で書き込みを実施した結果を図5に示す。

図5(a)の各点は、記憶素子の抵抗値を変えるために必要な電流の平均値をプロットしている。安定した動作を保障するため、電流の平均値に対して十分大きな書き込み電流値を用いる必要がある。そこで、書き込み電流として3 ns 50 μ A (図5(a)の★印)を用い、記憶素子の磁化を反転させて高抵抗状態と低抵抗状態を交互に切り替える試験を200回実施したところ、書き込みエラーがない安定した動作を確認した(図5(b))。STT-MRAMの記憶素子において、高速かつ低電流での書き込みが可能であることを実証した。

4 垂直STT-MRAMキャッシュメモリの性能

高速かつ低電流での書き込みが可能な垂直磁気記憶素子をL2キャッシュメモリに用いて、表1に示す条件で消費電力低減の効果を検証した。

STT-MRAMを用いて理想的なパワーゲーティング動作を適用することで、動作速度をSRAMと同等に保持しながら、

表1. CPUエミュレータによるシミュレーション条件
Conditions for performance expectation simulated by central processing unit (CPU) emulator
記憶素子の書き込み条件: 3 ns 50 μ A

項目	条件
計算ツール	Virtualizer™(注3)
プロセッサ	ARM11™(注4)
L1キャッシュ容量	64 Kバイト
L2キャッシュ容量	512 Kバイト
オペレーティングシステム	Linux®(注5) 2.6.14.7

SRAMとSTT-MRAMで比較

(注3) Virtualizeは、Synopsys, Inc.の登録商標又は商標。

(注4) ARM11は、EU及びその他の国におけるARM社の登録商標又は商標。

(注5) Linuxは、Linus Torvalds氏の米国及びその他の国における登録商標。

消費電力を80%低減できることをシミュレーションにより示すことができた⁽³⁾。

5 あとがき

高速書き込みと低電流書き込みの両立が可能なSTT-MRAMをL2キャッシュメモリに適用することで、アプリケーション動作時においてもパワーゲーティングを用いることが可能になり、動作速度を従来のSRAMと同程度に維持しながら消費電力を80%低減できることが示された。

理想的には、CPUのクロックに追従できる高速駆動下において低消費電力で読み書き可能な不揮発メモリが必要であるが、道のりはまだ長い。しかし、STT-MRAMの書き込み電流低減によって、キャッシュメモリの消費電力を低減できる可能性が見えてきた。今後、低消費電力で動作可能なMRAMの可能性を広げるため、消費電力の更なる低減が可能な記憶素子の研究開発を推進する。

この研究開発の一部は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)の「ノーマリーオフコンピューティング基盤技術開発」プロジェクトにおいて実施したものである。

文献

- 野村久美子 他. 高速・低消費電力STT-MRAMキャッシュを用いたRun-time ノーマリーオフプロセッサ. 東芝レビュー. 67, 9, 2012, p.48-51.
- 興田博明. 垂直磁化方式のMTJ記憶素子を用いたスピン注入書き込みMRAM. 東芝レビュー. 66, 9, 2011, p.20-23.
- Kitagawa, E. et al. "Impact of ultra low power and fast write operation of advanced perpendicular MTJ on power reduction for high-performance mobile CPU". International Electron Devices Meeting 2012. San Francisco, CA, USA, 2012-12. IEEE. 2012, p.29.4.1-29.4.4.
- Sun, J. Z. et al. Effect of subvolume excitation and spin-torque efficiency on magnetic switching. Phys. Rev. B 84, 2011, p.064413-1-9.



北川 英二 KITAGAWA Eiji

研究開発センター LSI基盤技術ラボラトリー研究主務。
MRAMのデバイスプロセス及び材料の研究・開発に従事。
IEEE会員。
Advanced LSI Technology Lab.



藤田 忍 FUJITA Shinobu

研究開発センター LSI基盤技術ラボラトリー研究主幹。
不揮発性メモリの新領域開拓に向けた回路・システム応用の研究・開発に従事。IEEE会員。
Advanced LSI Technology Lab.



伊藤 順一 ITO Junichi

研究開発センター LSI基盤技術ラボラトリー主任研究員。
MRAMのデバイスプロセス技術の研究・開発に従事。応用物理学学会会員。
Advanced LSI Technology Lab.