

電子機器の信頼性向上を目指す 大規模・き裂進展シミュレーション技術

Large-Scale Crack Propagation Simulation Technologies to Improve Reliability of Electronic Devices

門田 朋子 大森 隆広 廣畑 賢治

■ MONDA Tomoko ■ OMORI Takahiro ■ HIROHATA Kenji

SSD (ソリッドステートドライブ) などの電子機器で用いられるBGA (Ball Grid Array) パッケージのはんだ接合部では、微細化により熱負荷が厳しくなる方向にある。

これに対して東芝は、大規模・き裂進展シミュレーション技術を用いた疲労寿命設計法の研究に取り組んできており、大規模有限要素法 (FEM: Finite Element Method) シミュレーション技術の活用により、電子機器全体から破断リスクの高い接合部を抽出することが可能になっている。今回、当社が開発した実用性の高いき裂進展評価法である損傷パスシミュレーションを応用し、はんだ接合部がコーナ部から内側に向かって順次破断していく挙動を再現することで、熱疲労寿命を適切に評価する手法を開発した。

Thermal stress on the solder joints of ball grid array (BGA) packages used in electronic devices such as solid-state drives (SSDs) has recently become greater due to miniaturization.

In response to this trend, Toshiba has been engaged in research and development of a fatigue life design method using large-scale crack propagation simulation technologies in order to improve the reliability of electronic devices, and we have succeeded in identifying solder joints that are at high risk of fracture by utilizing a large-scale finite element method (FEM) simulation technology. We have also developed a new design method to estimate the thermal fatigue life of solder joints in BGA packages by applying damage path simulation, our proprietary crack propagation simulation technology. This technology can simulate the phenomenon in which solder joints fracture sequentially from the corners to the center during thermal cycles.

1 まえがき

電子機器の信頼性向上のためには、的確な強度信頼性設計が必要である。電子部品のはんだ接合部では、電源のオン/オフによる温度変動に伴い熱応力が繰り返し生じる。そのため、はんだ接合部の熱疲労破損に対する信頼性の確保が重要となる。このような問題に対し、材料試験とFEM解析に基づく疲労寿命設計について多くの研究が行われてきた。東芝も、CAE (Computer Aided Engineering) を活用した信頼性設計技術の開発に取り組んできている。

SSDのプリント基板では、NAND型フラッシュメモリの実装の高密度化が進み、BGAパッケージと基板を結合するはんだ接合部が微細化するとともに、熱負荷も厳しくなる方向にある。

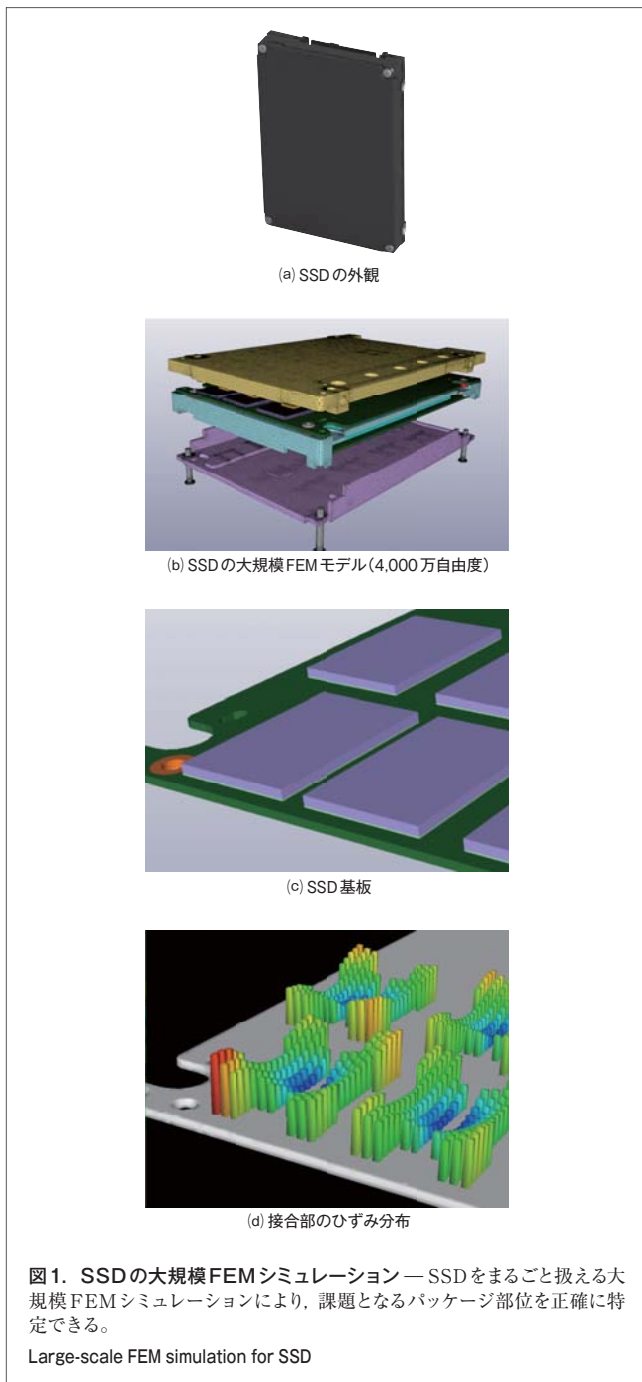
これに対して当社は、CAEの活用によるSSDの信頼性向上に向けた取組みを行っており、数千万自由度以上の大規模FEMシミュレーション技術を用いることで、電子機器全体から破断リスクの高い接合部を抽出することが可能になっている。

ここでは、当社が開発した実用性の高いき裂進展評価法である損傷パスシミュレーションを応用することで、BGAパッケージのコーナの接合部より内側にある、電気信号を伝達する接合部の熱疲労寿命評価を行った結果について述べる。

2 SSDの大規模FEMシミュレーション

当社は、電子機器をまるごと扱える大規模FEMシミュレーション技術の開発に取り組んできた^{(1), (2)}。形状を細部までモデル化することで、温度変化や機械的な負荷に対する製品の現象をより忠実に再現し、部品の変形や応力、ひずみを的確に捉えることができる。大規模FEMシミュレーションを活用した信頼性向上技術の適用例の一つとして、高密度実装部品であるSSDが挙げられる (図1(a))。

SSDのきょう体と基板のCADデータからFEMモデルを作成し、大規模FEMシミュレーションによってはんだ接合部のひずみ分布を推定した (図1(b)-(d))。解析モデルは約4,000万自由度で、はんだ接合部の材料特性にはクリープ挙動まで表現できる速度依存分離型非弾性構成式を用いた。図1(d)に示すように、基板を支持するボスに近い、パッケージのコーナ部近傍のはんだ接合部でひずみが大きくなるのがわかる。このように、電子機器全体の大規模FEMシミュレーションにより、熱疲労に対する信頼性の観点から課題となるパッケージ部位を正確に特定できる。



3 SSDの大規模・き裂進展シミュレーション

3.1 信頼性設計上の課題

BGAパッケージやコネクタなど多数の接合部を持つ電子部品では、信頼性を向上させるために熱応力負荷が大きいコーナ部近傍の接合部は電気信号を伝達しないようにすることがあり、その場合、電気信号を伝達する接合部はコーナより数列内側に位置することが多い。したがって、電気的な不具合現象を正確に捉えるためには、コーナのはんだ接合部から順次破断していくことを考慮したうえで、コーナよりも内側にある信

号伝達接合部の破断寿命を予測する必要がある。しかし従来手法では、はんだ接合部が順次破断することによる構造全体の剛性変化を見積もることが難しく、コーナより内側のはんだ接合部の破断寿命予測は必ずしも容易ではなかった。

当社は、大規模FEMシミュレーションと損傷パスシミュレーションを応用することで、この課題の解決を試みた。

3.2 解析方法

3.2.1 損傷パスシミュレーション 既に用いられている評価方法の多くは、疲労き裂発生寿命の概念に基づいており、破断寿命より短いき裂発生寿命を捉えることから、安全側の評価方法と言える。しかし、限界設計のニーズが高まっており、最終破断までのき裂進展を評価する研究も進められつつある。ただし、幾何学的なき裂を持つFEMモデルによる解析は多大な労力と時間を要するため、設計現場での実用化は一般的に困難である。

そこで当社は、実用性の高いき裂進展評価法として損傷パスシミュレーションを新たに開発し、これまで、QFP (Quad Flat Package) やBGAパッケージなどの単一のはんだ接合部を対象に、その手法の有効性を示してきた(図2)^{(3), (4)}。図2に示すように、解析結果の損傷領域は、実際の温度サイクル試験後のき裂進展経路と一致する。ここでは、多数のはんだ接合部を持つ電子部品に損傷パスシミュレーションを適用することで、全ての接合部の損傷を概観的に把握し、接合部どうしの寿命比率を算出する。

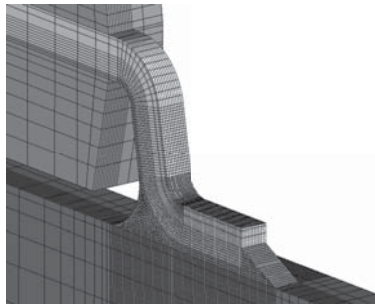
次に損傷パスシミュレーションの手順について述べる。はんだ材料の低サイクル疲労特性は、非弾性ひずみ範囲 $\Delta \varepsilon_{in}$ をパラメータとしてCoffin-Manson則で整理される。線形損傷則が成立するならば、はんだ材料に繰返し荷重が1サイクル加わった際の損傷値は疲労寿命サイクル数の逆数であるから、 N サイクルの繰返し荷重が加えられた後の損傷値 D_f^N は式(1)で表すことができる。

$$D_f^N = \sum_{n=1}^N \frac{1}{\beta \times \Delta \varepsilon_{in}(n)^{-m}} \quad (1)$$

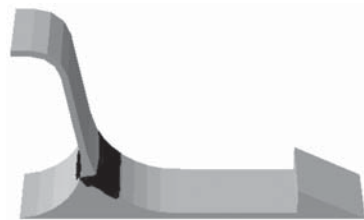
ここで、 $\Delta \varepsilon_{in}(n)$ は n サイクル目の非弾性ひずみ範囲、 β と m はCoffin-Manson則の定数である。この手法では、ヤング率を未損傷時の値より十分に低下させることで、破壊した部位の変形挙動を表現した。

損傷パスシミュレーションには、速度依存分離型非弾性構成式と前述の損傷力学的モデルを組み込んだ、非線形FEMコードを用いた。はんだ接合部を構成する要素では、要素ごとに損傷値が算出され、結果がその部位のヤング率に反映される。損傷値 $D_f = 1$ に達した領域を損傷領域とし、これが疲労き裂進展経路に相当する。

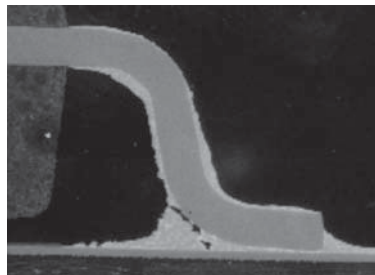
3.2.2 解析条件 SSDを対象とした3次元解析モデルを図3に示す。2次完全積分3次元固体要素を用い、はん



(a) QFP 接合部の FEM モデル



(b) QFP 接合部の損傷領域



(c) 温度サイクル試験後ののはんだ接合部断面の例

図2. 損傷パスシミュレーションの適用例 (QFP) — 解析結果の損傷領域は、実際の温度サイクル試験後のき裂進展経路と一致している。
Example of damage path simulation for quad flat package (QFP)

だ接合部は直方体で模擬した。またのはんだ接合部を除く材料は全て弾性体でモデル化した。温度条件は、温度サイクル試験条件を模擬して、最低温度を -25°C 、最高温度を 125°C とし、温度変化時間を5分、温度保持時間を25分とした。また、ボスによる固定を模擬して、基板のボス穴の節点を厚さ方向に固定した。

3.3 解析結果

従来の損傷パスシミュレーションの適用では、1個の接合部を対象に結晶粒レベルのサイズで要素分割し、サイクル数による評価を行ってきた。しかし、今回の解析では多数のはんだ接合部をモデル化したため、計算量の制約から従来より大きいサイズで要素分割をした。したがって、相対的な比率でサイクル数を評価し、“ $\bigcirc \times k$ サイクル”と表記する。ここでは、熱応力負荷が大きいと予測されるコーナのはんだ接合部A、コーナから3番目のはんだ接合部B、及び5番目のはんだ接合部Cに着目した。

はんだ接合部における損傷領域が拡大していくようすを

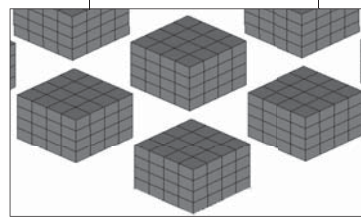
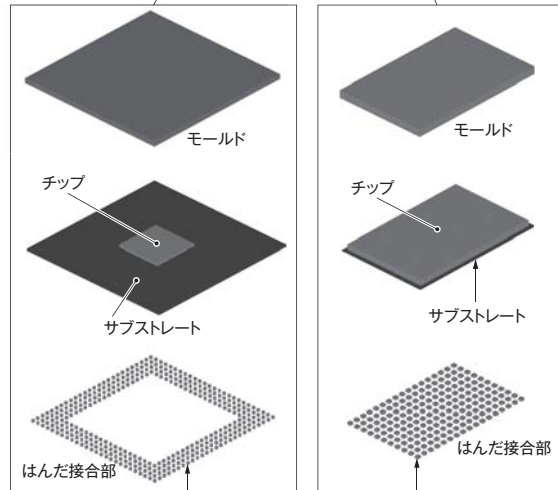
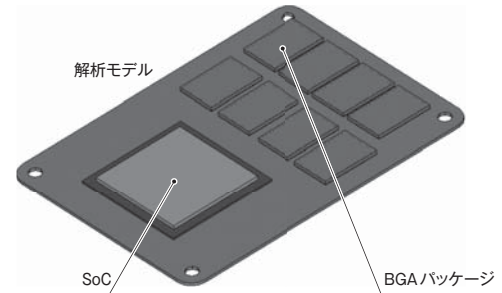
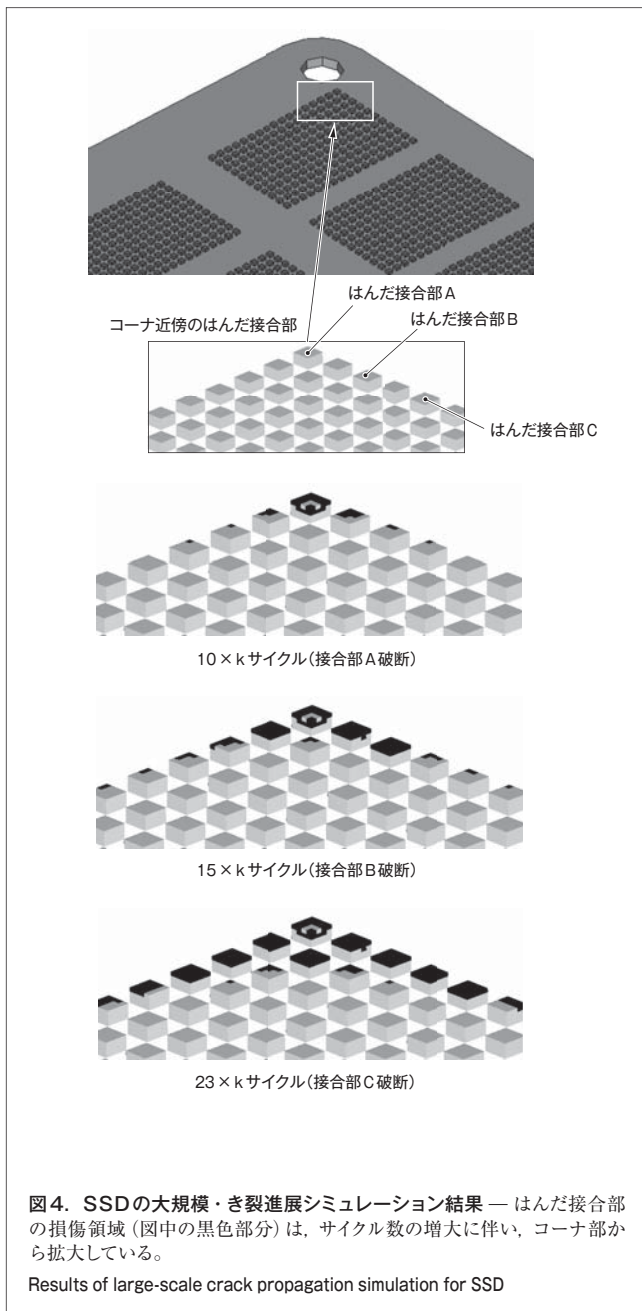


図3. SSDの解析モデル — 基板上にSoC (System on Chip) と8個のNAND型フラッシュメモリをモデル化した。BGAパッケージのはんだ接合部は直方体で模擬した。
FEM simulation model for SSD

図4に示す。図中の黒色部分が損傷領域を示している。コーナのはんだ接合部から損傷領域が発生し、サイクル数の増加にしたがって、パッケージの中央へ向かって拡大している。この解析結果では、コーナのはんだ接合部Aは $10 \times k$ サイクル、コーナから3番目のはんだ接合部Bは $15 \times k$ サイクル、5番目のはんだ接合部Cは $23 \times k$ サイクルで破断した。

したがって、はんだ接合部Aに対する寿命比率は、はんだ接合部Bが約1.5倍、はんだ接合部Cが約2.3倍となる。はんだ接合部Aの定量的な破断寿命は従来手法で予測できることから、これに寿命比率を乗じることで、はんだ接合部BとCの定量的な寿命の予測が可能になる。また、寿命比率を把握できることで、はんだ接合部Aの断線を検出したときに、他のはんだ接合部の余寿命サイクル数を予測することができる。基準とするはんだ接合部は、寿命サイクル数を予測したいは



んだ接合部より短い寿命であれば、コーナ以外のはんだ接合部であってもよい。したがってこの手法は、ダミー接合部(カナリア回路)の断線を検知することで、信号伝達接合部に断線が起こるまでの余寿命を予測するヘルスマニタリングシステム⁽²⁾にも応用できる。

4 あとがき

大規模・き裂進展シミュレーション技術を用いて、BGAパッケージのはんだ接合部が順次破断する挙動を再現し、コーナより内側にある接合部の熱疲労寿命を評価する手法を開発した。この手法は、SSDなどにおいて、ダミー接合部の断線検知情報を基に信号伝達接合部の寿命を予測するヘルスマニタリングシステムへ適用できる。

今後、不良現象データを拡充して解析の検証を継続するとともに、この解析技術の活用により、破損メカニズムの解明と故障予測の両面で、多様な電子機器の更なる信頼性向上を目指す。

文献

- (1) 川上 崇 他. 大規模応力シミュレーションによるモバイル機器の強度設計. 東芝レビュー. **63**, 8, 2008, p.7-10.
- (2) 廣畑賢治 他. 電子機器の信頼性向上を支える大規模構造解析・寿命予測技術. 東芝レビュー. **67**, 7, 2012, p.23-27.
- (3) 向井 稔 他. はんだ接合部の損傷パスシミュレーション. 日本機械学会論文集 (A編). **72**, 721, 2006, p.80-85.
- (4) 向井 稔 他. はんだバンプ接合部の損傷パスシミュレーション(機械的疲労試験条件での適用性検討). 日本機械学会論文集 (A編). **73**, 736, 2007, p.115-121.



門田 朋子 MONDA Tomoko

研究開発センター 機械・システムラボラトリー研究主務。
電子機器の信頼性設計技術の開発に従事。日本機械学会、
エレクトロニクス実装学会会員。
Mechanical Systems Lab.



大森 隆広 OMORI Takahiro

研究開発センター 機械・システムラボラトリー研究主務。
電子機器の信頼性設計技術の開発に従事。日本機械学会、
エレクトロニクス実装学会会員。
Mechanical Systems Lab.



廣畑 賢治 HIROHATA Kenji, D.Eng.

研究開発センター 機械・システムラボラトリー主任研究員、
工博。電子機器の信頼性設計技術の開発に従事。日本機械
学会、電子情報通信学会、エレクトロニクス実装学会会員。
Mechanical Systems Lab.