

# プロセッサコアを64個集積した 組み込み機器向け低消費電力メニーコア SoC

Low-Power Many-Core SoC Integrating 64 Processor Cores for Embedded Applications

田辺 淳 薄井 弘之 宮森 高

■ TANABE Jun ■ USUI Hiroyuki ■ MIYAMORI Takashi

車載機器や、デジタル民生機器、モバイル機器などの組み込み機器では、画像認識やAR (Augmented Reality : 拡張現実) などの新しいメディア処理の実用化が進んでいる。従来に増して要求される高い性能を低い消費電力で実現するため、一般的になっているマルチコアプロセッサよりもプロセッサコア数を大幅に増やしたメニーコアプロセッサの実用化が期待されている。

東芝は、組み込み機器向けに64個のプロセッサコア (64コア) を集積したメニーコア SoC (System on a Chip) を開発した。メニーコア SoC は、32コアのメニーコアクラスタを2基と画像認識向けハードウェアアクセラレータを搭載し、全ての演算リソースを合計すると1.5 TOPS (Tera Operations per Second : Tera=10<sup>12</sup>) を超える高い演算性能を持つ。メニーコアクラスタに低消費電力化技術を導入することで、64コアを同時に動作させる高負荷なアプリケーションを実行した場合でも、メニーコア部の電力が1.6 W以下という低消費電力を実現した。

New types of multimedia processing technologies, including image recognition and augmented reality (AR) technologies, have been put to practical use in embedded applications for automotive, digital consumer, and mobile products. To realize higher performance and lower power consumption than ever before, a many-core processor, which has many more processor cores than existing multicore processors, is a promising candidate for multimedia processing.

Toshiba has developed a many-core system on a chip (SoC) integrating 64 processor cores for embedded applications. This many-core SoC has two many-core clusters with 32 processor cores, as well as image recognition hardware accelerators. It achieves a total peak performance exceeding 1.5 tera operations per second (TOPS) and low power consumption of less than 1.6 W under a high-load state operating 64 cores simultaneously thanks to the introduction of low-power technologies for many-core clusters.

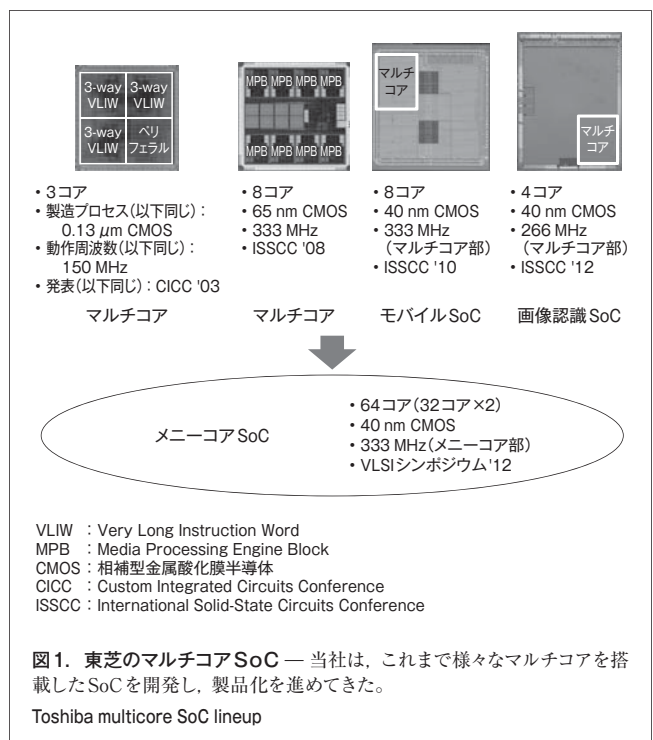
## 1 まえがき

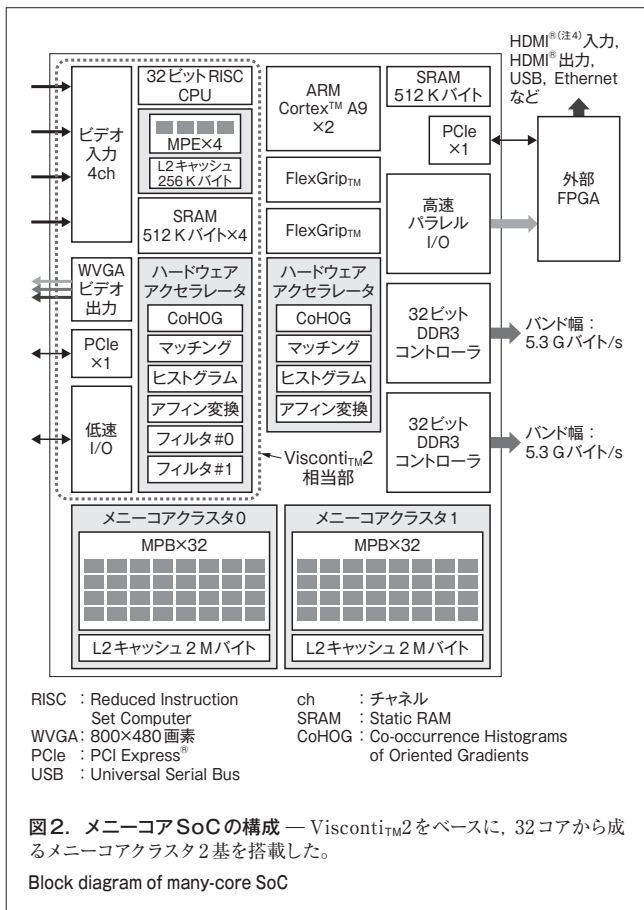
車載機器や、デジタル民生機器、モバイル機器などの組み込み機器では、動画圧縮伸張処理に加えて、画像認識やAR (Augmented Reality : 拡張現実) などの新しいメディア処理の実用化が進んでおり、従来に増して高い性能が要求されている。このような高い性能を必要とするメディア処理を、消費電力の増加を抑えて実現するため、現在一般的に使用されているマルチコアプロセッサよりもプロセッサコア数を増やしたメニーコアプロセッサの実用化が期待されている。

東芝は、これまで画像認識やモバイルマルチメディア応用向けにマルチコアプロセッサを搭載したSoC<sup>(1)-(3)</sup>を開発し、その製品化を進めてきた(図1)。今回、これらのマルチコアシステムを拡張し、64コアを搭載したメニーコアSoCを開発した。ここでは、このメニーコアSoCの概要と性能について述べる。

## 2 メニーコア SoC の構成

今回開発したメニーコア SoC の構成を図2に示す。





このメニーコア SoC は、当社が開発した高性能画像認識プロセッサ Visconti<sub>TM2</sub><sup>(3)</sup> の画像処理・画像認識用のハードウェアアクセラレータをほぼ全て内包し、更に 32 コアから成るメニーコアクラスタ 2 基に加えて、2 コアの ARM<sup>(注1)</sup> Cortex<sup>TM</sup> (注2)-A9 MPCore、当社で開発したビットストリーム処理向け動的再構成可能型プロセッサコア FlexGrip<sup>TM</sup><sup>(4)</sup>、及び Visconti<sub>TM2</sub> と同様の画像処理・画像認識用のハードウェアアクセラレータも集積している。また、演算リソースの増加に対応して、5.3 G バイト/s のピークバンド幅を持つ DDR (Double Data Rate) 3 SDRAM (Synchronous DRAM) I/F (インタフェース) を 2 チャンネル持つとともに、PCI Express<sup>®</sup><sup>(注3)</sup> や FPGA (Field Programmable Gate Array) 接続用の高速 I/O (Input/Output) などを持つことで、様々なデバイスと接続できる。

メニーコア SoC は、Visconti<sub>TM2</sub> との間にソフトウェア互換性があり、Visconti<sub>TM2</sub> 向けに開発したアプリケーションを修正することなく動作させることができる。このため、既に Visconti<sub>TM2</sub> 上で動作しているアプリケーションに対してメニーコアクラスタで動作するタスクを追加することで、性能向上や機能追加といった拡張を容易に行うことができる。

(注1)、(注2) ARM, Cotrex は、英国 ARM Limited の商標。  
 (注3) PCI Express は、PCI-SIG の商標又は登録商標。  
 (注4) HDMI は、HDMI Licensing, LLC の商標。

### 3 メニーコアクラスタの概要

#### 3.1 プロセッサコア MPB

メニーコアクラスタの内部構成を図 3 に示す。

メニーコア部に使ったプロセッサコアは、以前に開発したマルチコアシステム<sup>(1)</sup>や Visconti<sub>TM2</sub> と同じく MPE (Media Processing Engine) と呼ばれる、同時に 3 命令を実行できる VLIW (Very Long Instruction Word) 型プロセッサコアである。当社のコンフィグラブルプロセッサ MeP (Media Embedded Processor) をベースとしており、SIMD (Single Instruction, Multiple Data) 命令を実行できるコプロセッサを接続することによってメディア処理性能を向上させている。今回のメニーコアクラスタでは、MPE にアドレス変換ユニットや、アドレス保護ユニット、NoC (Network on Chip) I/F などを追加した。MPE に加えてこれらのユニットを追加したブロックを MPB (Media Processing Engine Block) と呼んでいる。クラスタ内の MPB は、全て同一の構成になっている。

#### 3.2 キャッシュ構造

プロセッサコアごとに 32 K バイトの L1 命令キャッシュと 16 K バイトの L1 データキャッシュを持ち、更に、L2 キャッシュをクラスタ内の 32 コアで共有している。以前に開発したマルチコアシステム<sup>(1)</sup>や Visconti<sub>TM2</sub> と同じプログラミングモデル<sup>(5)</sup>で動作するように、メモリ全体を各プロセッサで共有する、共有メモリベースの構成とした。L2 キャッシュはプロセッサが大幅に増えたことによるトラフィック増加に対応して、容量を 256 K バイトから 2 M バイトへ、連想度を 4 ウェイセットアソシアティブ方式から 32 ウェイセットアソシアティブ方式へと、以前のものから改良した。

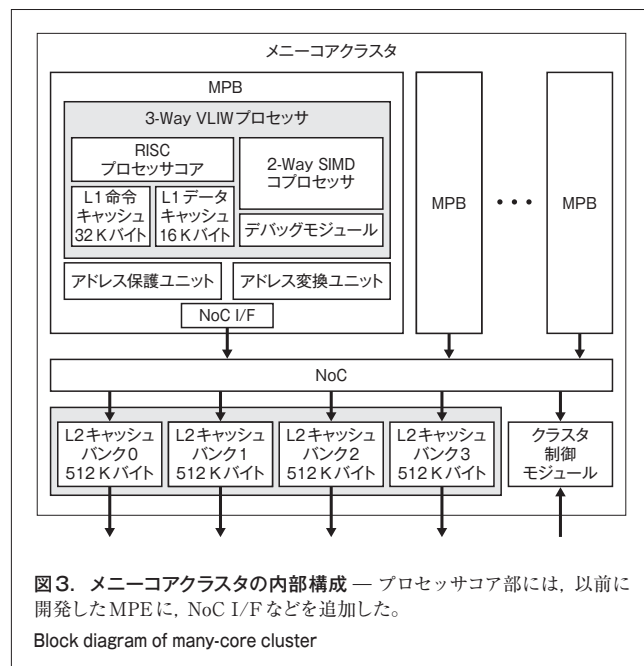


図 3. メニーコアクラスタの内部構成 — プロセッサコア部には、以前に開発した MPE に、NoC I/F などを追加した。  
 Block diagram of many-core cluster

### 3.3 NoCの構造

メニーコアクラスタの設計では、以前に開発した8コアまでのマルチコアシステムに対して、同じプログラミングモデルを維持しつつ、大幅に数を増やしたコアを効率良く接続して、その並列処理性能をフルに引き出すことが大きな課題であった。そこで、前述のL2キャッシュの改良に加えて、独自の木構造のNoCをクラスタ内部の接続に採用した。

NoCは、データをパケット化して送るというネットワークの技術を利用した、チップ内部の接続方式であり、従来のバス接続やクロスバー接続に比べて多くのモジュールを効率良く接続できる。プロセッサやL2キャッシュなどを近接のルータで接続し、近接するルータ間でパケットをより細かい転送単位でパイプライン転送する。

今回のメニーコアSoCで実装したクラスタ内部のNoC接続を図4に示す。今回のメニーコアのメモリモデルでは、各プロセッサコアからのアクセスが、共有L2キャッシュに集まる形になるので、プロセッサコアがリーフ（葉）ノードとなり、L2キャッシュがルート（根）ノードになる木構造が適している。木構造は、メニーコアに広く採用されているメッシュなど他の構造に比べて、ルータ数が少なく、ゲート数と消費電力を削減できる。また、L2キャッシュを四つのバンクに分割し、途中のルータを2重化するなどして、L2キャッシュとプロセッサコア間の帯域を最大42.6 Gバイト/sまで広げている。

### 3.4 低消費電力化の技術

クラスタ部では、次の三つの低消費電力化技術を導入している。

- (1) 細粒度と粗粒度のクロックゲーティング技術 細粒度のクロックゲーティングと、プロセッサコア単位での粗粒度のクロックゲーティング
- (2) 電源遮断技術 プロセッサコアごととメニーコア全体での、階層的な電源遮断機構
- (3) 低消費電力F/F (Flip-Flop) 当社独自の低消費電力F/F (Data-Mapping F/F)<sup>(1)</sup>の採用により、F/F部の消費電力を通常のF/Fより30%削減

## 4 メニーコアSoCチップの主な仕様

メニーコアSoCチップの外観とメニーコアクラスタのレイアウトを図5に、チップの主な仕様を表1に示す。

メニーコアSoCは、40 nm CMOS (相補型金属酸化膜半導体) プロセスで製造し、15.0×14.0 mmのダイに8,750万個のトランジスタを集積した。また、一つのMPBは0.67 mm<sup>2</sup>

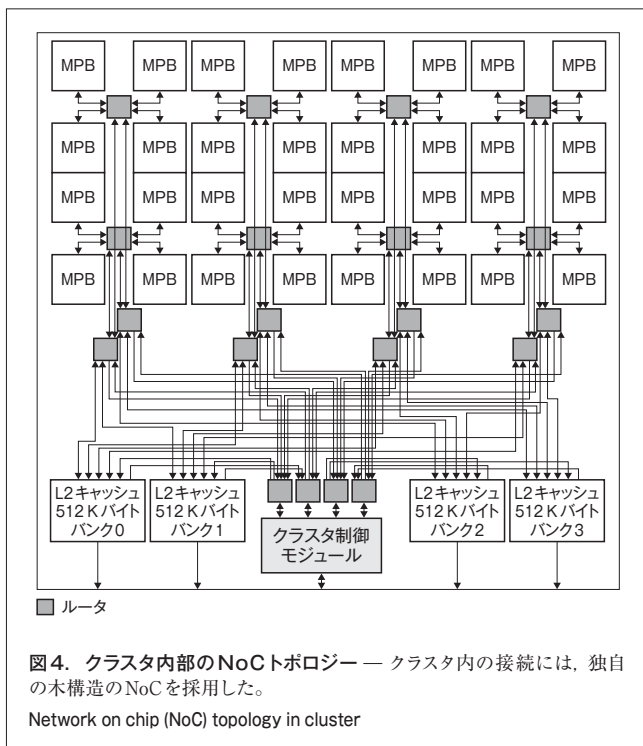


図4. クラスタ内部のNoCトポロジー — クラスタ内の接続には、独自の木構造のNoCを採用した。

Network on chip (NoC) topology in cluster

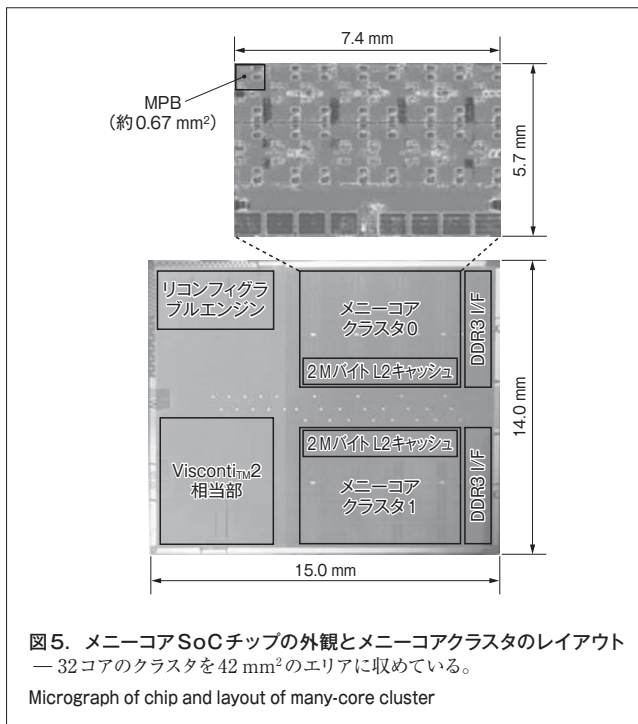


図5. メニーコアSoCチップの外観とメニーコアクラスタのレイアウト — 32コアのクラスタを42 mm<sup>2</sup>のエリアに収めている。

Micrograph of chip and layout of many-core cluster

表1. メニーコアSoCチップの主な仕様

Specifications of chip

項目	仕様
製造プロセス	40 nm LPプロセス
配線	8層メタル (銅配線)
チップ全体のサイズ	15.0 × 14.0 mm (うちクラスタ1基当たり7.4 × 5.7 mm)
総トランジスタ数	8,750万個
動作周波数	333 MHz (クラスタ部, 動作電圧1.1 V)
パッケージ	1,369ピン FCBGA

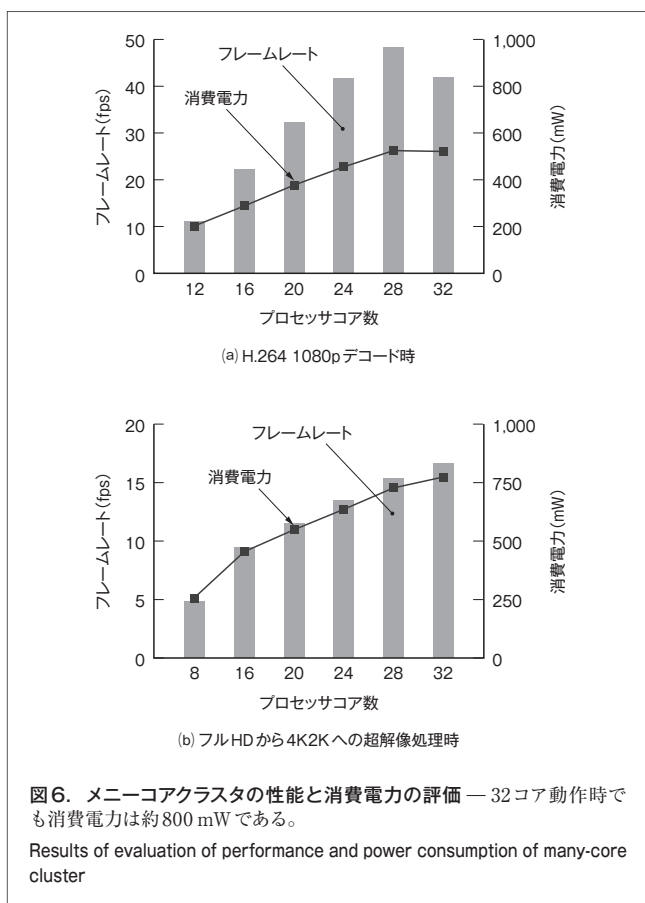
LP: Lower Power FCBGA: Flip Chip Ball Grid Array

と小さいため、32コアのメニーコアクラスタを42 mm<sup>2</sup> (7.4 × 5.7 mm) のエリアに収めることができています。メニーコア部の動作周波数は、動作電圧が1.1 Vのときに333 MHzであり、ピーク性能は、メニーコアクラスタ2基の合計で852 GOPS (Giga Operations per Second) に、アクセラレータなどを含むメニーコア SoC 全体で1.5 TOPS になる。

## 5 メニーコアクラスタの性能と消費電力の評価

今回開発したメニーコア SoC では、以前に開発した8コアまでのマルチコアシステムと互換性を保ちながら、並列処理によって1基のクラスタ内で32コアまでの性能向上を達成している。実チップでメニーコアクラスタ1基を使って動画像処理アプリケーションを実行させた結果を図6に示す。

- (1) H.264<sup>(注5)</sup>デコーダ処理 20コアでフルHD (1080p, 30 fps : 1,920 × 1,080 画素で30フレーム/sのプログレッシブスキャン方式) の実行が可能である。このときのクラスタ部消費電力は室温で約400 mW ある。
- (2) 超解像 32コアで、フルHD から4K2K (3,840 ×



(注5) ITU-T (国際電気通信連合-電気通信標準化部門) と ISO (国際標準化機構) が2003年に共同で勧告した動画像圧縮符号化の国際標準規格。

2,160画素) への超解像処理を15 fpsで実行できる。このときのクラスタ部消費電力は室温で約800 mWであり、メニーコアクラスタ2基を使ってフレーム単位で並列処理を行うことで、30 fpsのリアルタイム処理を約1.6 Wで実現できる。

## 6 あとがき

今回当社が開発した組込み機器向けメニーコア SoC のアーキテクチャとその性能について述べた。メニーコア SoC では、32コアのメニーコアクラスタ2基と各種画像認識向けハードウェアアクセラレータを搭載し、全ての演算リソースが動作した際には1.5 TOPSの高い演算性能を持つ。また、64コアを同時に動作させる高負荷なアプリケーションを実行した場合でも、クラスタ部消費電力が約1.6 Wと、組込み機器用にも実用的な低い消費電力を達成している。

今後はこのメニーコア SoC を活用し、製品化に向けて、高い性能が求められる将来の画像認識や新しいマルチメディアアプリケーションの研究開発を進めていく。

## 文献

- (1) Nomura, S. et al. "A 9.7mW AAC-Decoding, 620mW H.264 720p 60fps Decoding, 8-Core Media Processor with Embedded Forward-Body-Biasing and Power-Gating Circuit in 65nm CMOS Technology". ISSCC 2008. San Francisco, CA, USA, 2008-02. IEEE, 2008, p.262 - 263.
- (2) Tanabe, Y. et al. "A 464GOPS 620GOPS/W heterogeneous multi-core SoC for image-recognition applications". ISSCC 2012, San Francisco, CA, USA, 2012-02. IEEE, 2012, p.222 - 223.
- (3) 田邊靖貴 他. 低消費電力で高性能を実現した画像認識プロセッサ Visconti<sup>TM</sup> 2シリーズ. 東芝レビュー. 67, 10, 2012, p.25 - 28.
- (4) Yoshikawa, T. et al. "FlexGrip<sup>TM</sup>: A small and high-performance programmable hardware for highly sequential application". Cool Chips XIV, Yokohama, 2011-04. IEEE, 2011, p.11 - 13.
- (5) 坪井芳朗 他. 東芝の次世代 SoC [Venezia]. ホモジニアス・マルチコアを採用. 日経エレクトロニクス. 981, 2008, p.105 - 118.



田辺 淳 TANABE Jun

セミコンダクター&ストレージ社 半導体研究開発センター デジタルメディア SoC 技術開発部主務。組込みプロセッサコアやマルチメディア SoC の開発、及びマルチコア・メニーコアプロセッサの研究・開発に従事。  
Center for Semiconductor Research & Development



薄井 弘之 USUI Hiroyuki

セミコンダクター&ストレージ社 半導体研究開発センター デジタルメディア SoC 技術開発部主務。モバイル SoC の開発、及びマルチコア・メニーコアプロセッサの研究・開発に従事。  
Center for Semiconductor Research & Development



宮森 高 MIYAMORI Takashi

セミコンダクター&ストレージ社 半導体研究開発センター デジタルメディア SoC 技術開発部主幹。組込みプロセッサコア及びマルチコア・メニーコア搭載マルチメディア SoC の研究・開発に従事。IEEE, 電子情報通信学会会員。  
Center for Semiconductor Research & Development