

# 不揮発メモリを用いて回路面積の低減と低消費電力化を実現するFPGA

FPGA Using Nonvolatile Memories for Reduction of Circuit Area and Power Consumption

安田 心一 池上 一隆 藤田 忍  
 ■YASUDA Shinichi ■IKEGAMI Kazutaka ■FUJITA Shinobu

FPGA (Field Programmable Gate Array) は、チップ製造後に回路データをメモリに書き込むことで任意の論理を実現できるICであり、カスタムLSIの製造コストが上昇するにつれて近年注目を集めている。FPGAは回路変更が容易にできるため開発コストを抑えられる一方で、既存のFPGAは面積や消費電力が大きいという課題があった。

東芝は、FPGAがメモリ技術を用いたICであることから、不揮発メモリ技術を用いてこれらの課題が解決できないか分析を行った。その結果、LSIの配線層に製造可能な抵抗変化型の不揮発メモリを用いて最適なレイアウトを構築することで、FPGA内の回路データを保持するコンフィグレーションメモリの面積を縮小できることを確認した。更に、メモリが不揮発であることから未使用時には積極的に電源遮断することが可能になり、むだな消費電力を削減することができることを確認した。

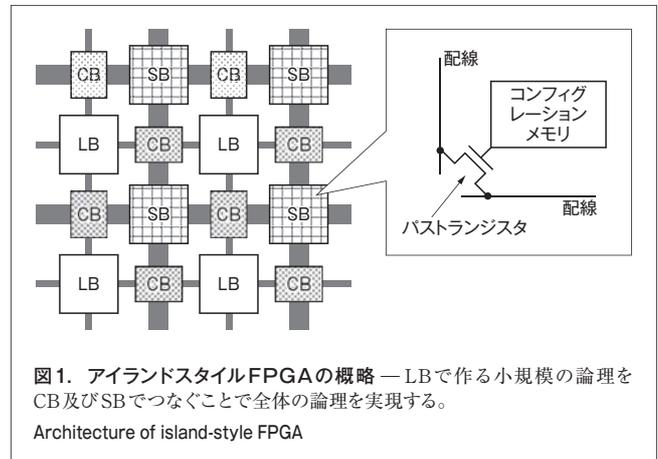
The field programmable gate array (FPGA) is an integrated circuit (IC) that can be configured to realize arbitrary logic circuits by downloading circuit data after chip manufacturing. Accompanying the increase in the manufacturing cost of custom large-scale integrations (LSIs) with advanced logic processes, attention has been recently focused on FPGAs with lower development costs because the circuit can be easily reconfigured. However, reduction of the circuit area and power consumption is a major challenge facing conventional FPGAs.

As FPGAs are based on memory technologies, Toshiba has developed an FPGA technology applying a nonvolatile memory technology to reduce the configuration memory area by fabricating nonvolatile memories between the interconnect layers. Furthermore, we have confirmed that the adoption of nonvolatile memories makes it possible to shut off the power supply to unused circuits, leading to lower power consumption.

## 1 まえがき

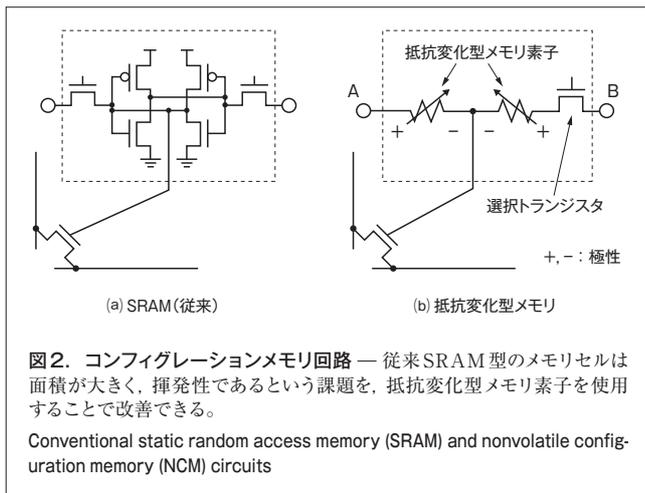
先端トランジスタを用いたLSIに掛かる設計・製造コストが増加するにつれ、FPGA (Field Programmable Gate Array) に対する注目が高まっている。FPGAは、真理値表とスイッチによる配線経路切替を組み合わせることで論理回路を実現している。すなわち、真理値表データ及び配線経路データをコンフィグレーションメモリと呼ぶ内部のメモリに書き込むことで、任意の論理を実現する。FPGAを使うことで、設計者は短時間で機能を実現することが可能で、またメモリ情報を書き換えることで修正も比較的容易に実現できるため、製品開発コストを削減することができる。反面、その汎用性のため構成が冗長的であり、カスタム設計によるICに比べて、回路面積や消費電力が大きくなるという課題がある。

東芝は、LSIの配線層に作製可能で、抵抗値の違いをメモリ値とする抵抗変化型の不揮発メモリを用いて回路及びアーキテクチャの設計を行い、それらが回路面積や消費電力を削減できることを確認した。ここでは、その技術の概要について述べる。



## 2 FPGAアーキテクチャ

図1はアイランドスタイルと呼ばれるFPGAの基本的なアーキテクチャを示している。小規模の任意の論理を真理値表回路を使って実現するロジックブロック (LB)、LBの入出力と配線領域との接続を切り替えるコネクショブロック (CB)、及び配線どうしの接続を切り替えるスイッチブロック (SB) から成っている。CBやSBは、主にパストランジスタを用いたスイッチとその制御用のコンフィグレーションメモリで構成される。



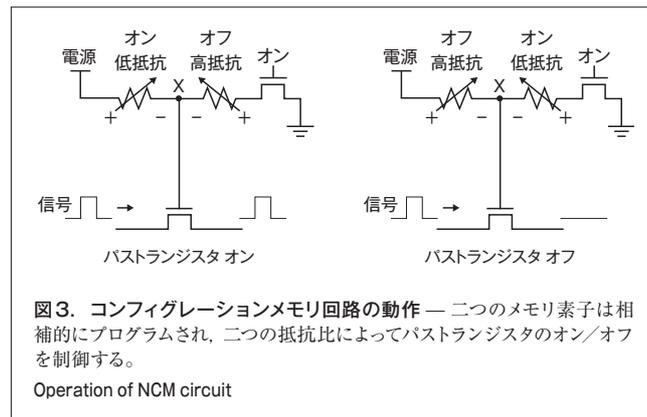
FPGAでは、CBやSBで経路を切り替えて、LBで実現される小規模の論理をつないでいくことで、大規模な論理機能を実現する。そのため、一つの機能を実現するために、多数のLB, CB, SBを使用する。真理値表も配線経路切替えスイッチもコンフィグレーションメモリによって制御されるため、コンフィグレーションメモリの回路面積がFPGA全体の面積に影響する。

従来FPGAの配線経路切替えスイッチ部分の典型的な回路構成を図2(a)に示す。スイッチの役割を担うパストランジスタで二つの配線を接続して、配線間の接続と非接続を切り替える。パストランジスタのゲートにはコンフィグレーションメモリが接続され、このメモリに記憶される接続(0)又は非接続(1)のデータに応じて、パストランジスタのオン/オフ状態が制御される。従来、特に高性能を要求されるFPGAでは、ここにSRAM (Static RAM) 型のメモリセルが使用されるが、この回路はトランジスタを六つ使用するため面積が大きく、また電源を切ると書き込まれた0/1の情報を失う(揮発性)という課題があった。

### 3 不揮発コンフィグレーションメモリ

#### 3.1 基本回路構成

図2(b)は、抵抗変化型メモリ素子を用いた不揮発コンフィグレーションメモリ (NCM: Nonvolatile Configuration Memory) セルの回路構成である<sup>(1)</sup>。抵抗変化型メモリは、両端に印加する電圧の方向で抵抗値を変化させられる不揮発なメモリ素子である。図では、この極性を+と-の記号で示す。メモリセル回路は抵抗変化型メモリ素子二つと選択トランジスタ一つで構成され、メモリ素子はA, B端子方向に対して互いに逆向きの極性で接続される。抵抗変化型メモリ素子は配線層に作られるため、シリコン基板上ではトランジスタ一つ分の面積で作製でき、従来のSRAM型に比べて面積を大幅に削減で



きる。更に、面積が小さくなり、配線長が短くなるため、動作速度も向上する。

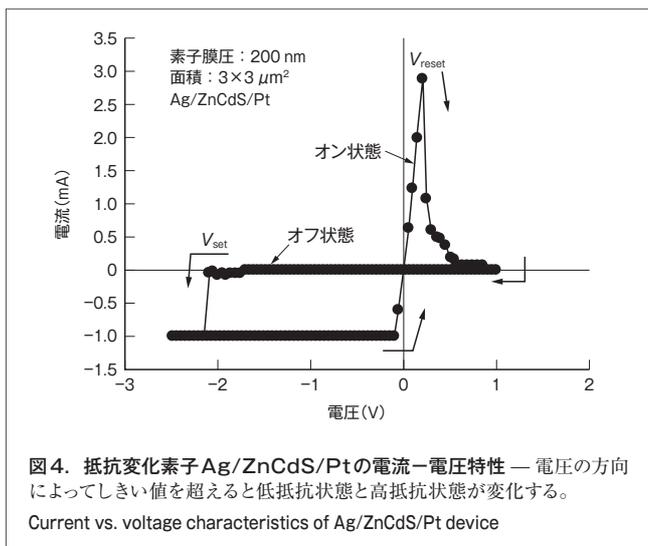
二つのメモリ素子は互いに異なる抵抗状態に書き込まれる。すなわち、一方が低抵抗状態(オン状態)であれば、もう一方は高抵抗状態(オフ状態)にし、どちらのメモリ素子を低抵抗あるいは高抵抗にするかに応じてメモリに0又は1を割り当てる。このようにすると、0の状態でも1の状態でも必ず高抵抗のメモリ素子が存在するため、リーク電流を最小限に抑えられることになる。また、NCMへの書込みは、A, Bの両端にプログラム電圧  $V_{prg}$  を印加することで行う。互いに極性が異なるようにメモリ素子が接続されているため、電圧印加の方向によって、二つのメモリ素子を相補的にプログラムすることができる。

FPGA動作時は図3に示すように、A, Bの端子の片方を電源電圧、もう片方をグラウンド電圧に接続する。二つのメモリ素子の抵抗値は相補的にプログラムされているため、パストランジスタのゲートに接続されるノードXには抵抗値に応じて電源電圧、又はグラウンド電圧のどちらかが出力される。

ここで、抵抗変化型メモリ素子を使うその他の構成として、パストランジスタそのものをメモリ素子で直接置き換える構成も考えられるが、この場合には大きなトレードオフを解決する必要がある。すなわち、信号の遅延時間がメモリ素子のオン抵抗に依存するため、遅延の観点では低いオン抵抗が望ましい。一方、低いオン抵抗はプログラム電流を増大させるため、消費電力や選択トランジスタのサイズが極端に増加してしまう。当社が考案したNCMの構成では、パストランジスタはそのまま残し、ゲート電圧の変調だけをNCMで行う。このようにすると、FPGAの動作信号はメモリ素子を通過しないため、比較的高いオン抵抗でもよく、消費電力や選択トランジスタのサイズを抑えられる。

#### 3.2 抵抗変化型メモリ素子

ここでは、ケーススタディとして硫化亜鉛カドミウム (ZnCdS) によるメモリ素子を用いる<sup>(2)</sup>。ZnCdSは高いオフ抵抗を持つメモリ素子として知られており、ZnCdSを挟んだ上部電極と下部電極の間に電圧を印加することで、金属フィラメントの形成と



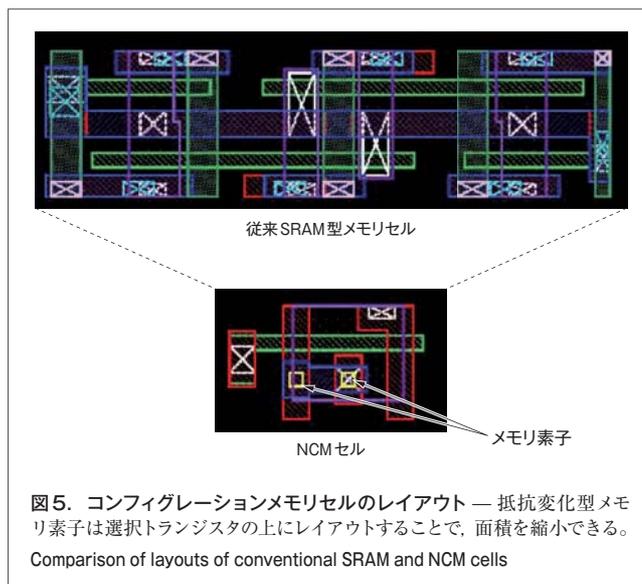
除去を制御できる。図4は上部電極と下部電極にそれぞれ銀(Ag)とプラチナ(Pt)を用いたAg/ZnCdS/Pt構造における電流-電圧特性を示したものである。オフ状態からオン状態へはセット電圧( $V_{set}$ )約-2.1 Vで変化し、オン状態からオフ状態へはリセット電圧( $V_{reset}$ )0.2 Vで変化し、1.0 Vにかけて徐々に変化している。0.2 Vのリセット電圧は、FPGAの動作電圧である約1 Vに対して小さいが、基本回路は二つのメモリ素子を相補的にプログラムして用いるため、ほとんどの電圧はオフ状態のメモリに掛かり、オン状態のメモリ素子には0.2 Vも電圧は掛からないため、リセット電圧は大きな問題にはならない。このセット電圧及びリセット電圧は、材料や素子形状により調整が可能である。

ここで、オン状態の電流が-1 mAで飽和しているのは、測定環境で制限を掛けているためであり、この最大電流の設定によって、オン抵抗を制御することができる<sup>(2)</sup>。前述したように、低すぎるオン抵抗はプログラム電流と選択トランジスタの面積を増大させてしまうため、この制限値でオン抵抗を適切に制御することが必要である。

NCMの構成では、オフ状態の抵抗は更に重要である。すなわち、FPGA動作中はNCMに電圧が掛かり続けるため、オフ抵抗が十分高くなければリーク電流が流れ続けることになる。そのため少なくとも従来SRAMと同程度のオフ抵抗が必要であるが、ZnCdSは素子形状を調整することで、高いオフ抵抗を得られることが報告されている<sup>(3)</sup>。

### 3.3 コンフィグレーションメモリセルの設計

従来FPGAのSRAM型コンフィグレーションメモリセルのレイアウトと、今回設計したNCMセルのレイアウトを図5に示す。抵抗変化型メモリ素子は配線層に作製されるため、メモリ素子を選択トランジスタの直上に配置するようにレイアウトすることで、面積としては選択トランジスタのサイズまで縮小することが可能である。選択トランジスタのサイズは、メモリ素

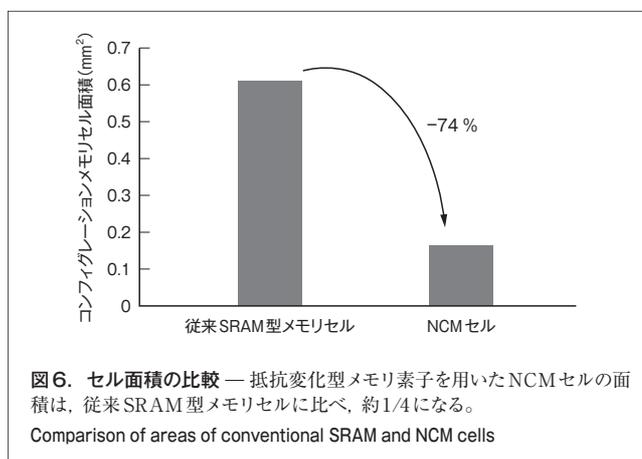


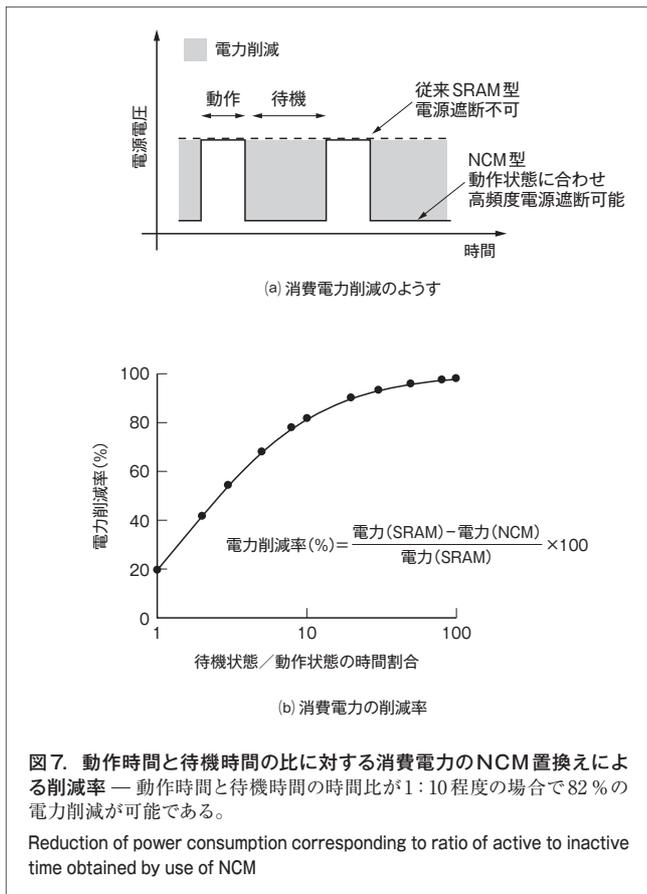
子に流す最大電流量で決まるが、今回のケーススタディで詳細に計算を行ったところ<sup>(1)</sup>、チャンネル長40 nm及びチャンネル幅300 nmのトランジスタで作製可能であり、結果として、今回設計したメモリセルは従来のSRAM型メモリセルより大幅に面積を縮小できた。

## 4 評価

図6は、コンフィグレーションメモリセルの面積を比較したものである。NCM構成は従来のSRAM型に比べて74%もの面積削減を達成している。今回採用したコンフィグレーションメモリの構成により、回路面積が大幅に削減されることが確認できた。

NCMを用いたFPGAを実現する場合でも、FPGAの回路構成はそのままに、従来のSRAM型コンフィグレーションメモリを置き換えるだけで適用可能なため、FPGA全体として性能のオーバーヘッドはない。実際、NCMを使ったFPGAの性能





シミュレーションを行ったところ<sup>(1)</sup>, 劣化するよりもむしろ改善する結果が得られている。これは主に、NCMにより回路面積が縮小したため、各LBをつなぐCBやSBの配線間隔が縮まり、結果として配線遅延が縮小したためであると考えられる。構成する回路によって大小はあるものの、平均して2%弱の遅延減少が期待されることが確認できた。

NCMは不揮発メモリであるため、電源投入後、瞬時に電源遮断前と同じ回路情報でFPGAを使用することができ、回路が使用されていない状態ではFPGAへの電源供給を遮断することが可能である。従来のSRAM型コンフィグレーションメモリの場合は、電源を遮断すると保持していた回路データが消えてしまうため、再度データを読み込む必要があり、時間や消費電力に大きなオーバーヘッドが生じる。そのために頻繁に電源を遮断することは難しく、未使用状態でもリーク電力を消費してしまう。

図7は、動作時間と待機時間の比に対して、消費電力が従来のSRAM型コンフィグレーションメモリの場合に比べて、どの程度削減されるかを計算したものである。動作時間に対して10倍程度の待機時間がある場合には、82%程度の電力削減が可能である。また、例えば携帯電話など利用シーンを考えてみると、待機時間がより長いケースも多くあり、用途によっては更に大きな電力削減が期待できる。

## 5 あとがき

配線層に製造可能な抵抗変化型不揮発メモリ素子をコンフィグレーションメモリに適用して、従来のSRAM型コンフィグレーションメモリで課題であったFPGAの面積と消費電力を削減できることを確認した。メモリセルのレイアウトを最適化し、コンフィグレーションメモリセルの面積を74%削減するレイアウトを設計した。また、不揮発であるため電源を遮断できることから、モバイル端末のような動作時間に対して待機時間が10倍程度あるような動作条件の場合、82%の電力削減が可能である。

今後、この不揮発メモリを生かしたFPGAの更なる小面積化と低消費電力化を実現する技術を開発していく。

## 文献

- (1) Yasuda, S. et al. "Nonvolatile Configuration Memory Cell for Low Power Field Programmable Gate Array". Proceedings of International Memory Workshop 2011. Monterey, CA, USA, 2011-05, IEEE. p.171-174.
- (2) Wang, W. et al. "Nonvolatile SRAM Cell". International Electron Devices Meeting (IEDM). San Francisco, CA, USA, 2006-12, IEEE. p.785-788.
- (3) Abe, K. et al. "Novel Cross Point Switch based on  $Zn_{1-x}Cd_xS$  memory devices for FPGA". Device Research Conference. South Bend, IN, USA, 2007-06, IEEE. p.227-228.



安田 心一 YASUDA Shinichi

研究開発センター LSI 基盤技術ラボラトリー研究主務。  
半導体ナノデバイスを用いた回路及びアーキテクチャの研究・開発に従事。IEEE 会員。  
Advanced LSI Technology Lab.



池上 一隆 IKEGAMI Kazutaka

研究開発センター LSI 基盤技術ラボラトリー。  
不揮発メモリを用いた回路及びアーキテクチャの研究・開発に従事。  
Advanced LSI Technology Lab.



藤田 忍 FUJITA Shinobu

研究開発センター LSI 基盤技術ラボラトリー研究主幹。  
不揮発メモリ新領域開拓に向けた回路及びシステムの開発に従事。IEEE 会員。  
Advanced LSI Technology Lab.