

無線通信 LSI の低消費電力化技術

Low-Power-Consumption Driving Technologies for Wireless Communication LSIs

テー チェン コン 藤田 哲也 櫛田 桂一

■TEH Chen Kong ■FUJITA Tetsuya ■KUSHIDA Keiichi

近年の無線技術の発展に伴い、そこに使われる無線通信 LSI の大規模化と高性能化が進み、消費電力も増大を続けている。これらに使われる無線通信 LSI はバッテリーを電源として動作するため、低消費電力化の技術が極めて重要になる。

この要求に応えるため東芝は、スイッチング電力とリーク電力それぞれの低減に有効な、低消費電力フリップフロップ (以下、FF と略記) とオンチップ電源制御の回路技術を開発し、無線 LAN ベースバンド LSI や TransferJet™ (注1) LSI などの製品に適用した。また、更なる低消費電力化を目指して、SRAM (Static RAM) の低消費電力回路技術の研究開発も進めている。

Wireless communication technologies including Bluetooth® and wireless LAN have been widely utilized for smartphones and personal information devices in recent years. As wireless communication large-scale integrations (LSIs) are basically powered by the battery of the device, low-power-consumption driving technologies for these LSIs have become essential.

Toshiba has developed two technologies, low-power flip-flops and on-chip voltage control circuits, that effectively reduce switching power and leakage power, respectively. These technologies have been applied to our products including a wireless LAN baseband LSI and a TransferJet™ LSI. In order to achieve further reductions in power consumption, we are also engaged in the research and development of circuit technologies for low-power static random access memories (SRAMs) used in LSIs.

1 まえがき

近年、Bluetooth® (注2) や無線 LAN といった無線通信技術が一般的となり、スマートフォンや携帯情報端末の通信手段として広く利用されるようになってきた。これに伴い、無線通信 LSI の大規模化と高性能化が進み、消費電力も増加を続けている。無線通信 LSI は、基本的にバッテリーを電源として動作するため、低消費電力化は、設計においてもっとも重要な課題となっている。これを実現するため、アーキテクチャレベルから回路、レイアウトレベルに至る様々な設計段階で、低消費電力化のための対策が行われている。

このうちアーキテクチャレベルでの対策がもっとも効果が大きく、無線通信 LSI では、通信を行っていないときに不要なブロックの動作を停止するモードを設け、電力の削減を図っている。また機能及び回路レベルでは、同等の機能を少ない回路規模で実現するための論理の最適化や、回路の不必要な動作を低減するためのクロックゲーティング技術が適用されている。更にレイアウトレベルでは、セル配置の最適化やトランジスタサイズの最適化による、負荷容量の低減で低消費電力化を行っている。

無線通信 LSI の基本的な構成を図1に示す。RF (高周波

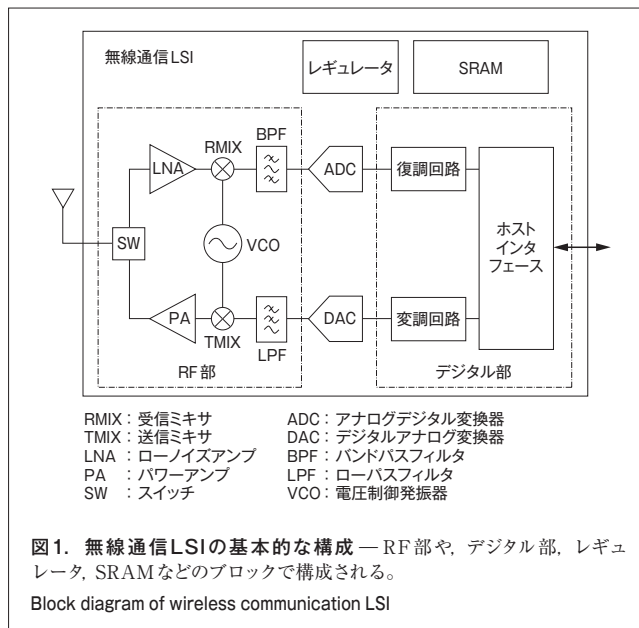


図1. 無線通信 LSI の基本的な構成 — RF 部や、デジタル部、レギュレータ、SRAM などのブロックで構成される。

Block diagram of wireless communication LSI

回路) 部や、デジタル部、レギュレータ、SRAM などで構成され、消費電力を低減するには、それぞれのブロックに応じた技術を適用する必要がある。

ここでは、無線通信 LSI の低消費電力化を目指して東芝が開発している技術として、デジタル部の低消費電力化に効果がある低消費電力 FF とオンチップ電源制御の回路技術、及び SRAM の低消費電力化技術、更にこれらを無線通信 LSI

(注1) TransferJetは、一般社団法人 TransferJet コンソーシアムがライセンスしている商標。TransferJetは、ソニー (株) の商標。

(注2) Bluetoothは、Bluetooth SIG, Inc. の登録商標。

へ適用したときの効果について述べる。

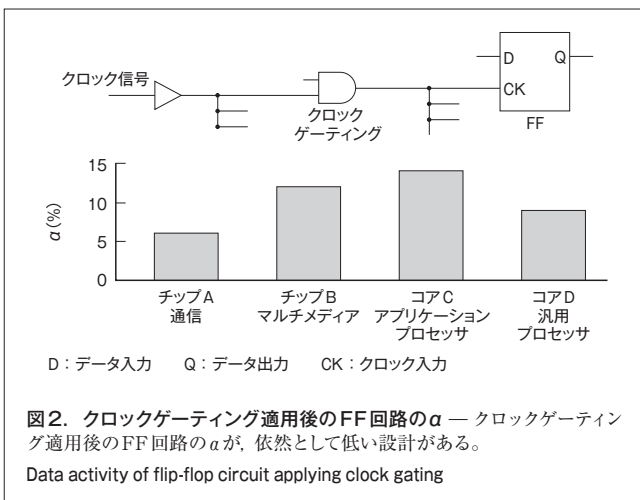
2 低消費電力化技術

バッテリーで動作するLSIでは、動作時のスイッチング電力削減と同様に、待機時のリーク電力削減が重要になる。当社は、スイッチング電力とリーク電力それぞれの削減に有効な低消費電力FFとオンチップ電源制御の回路技術、及び低消費電力SRAMを開発した。

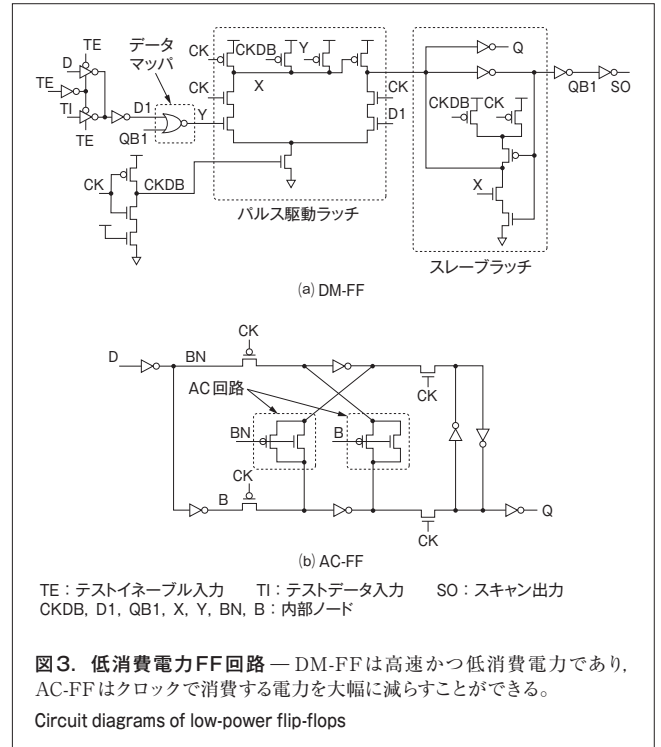
2.1 低消費電力FF回路

現在の同期設計を行うLSIでは、データを一時的に保持するためのFF回路が大量に必要になり、スイッチング電力の半分近くをクロック分配とFF回路で消費している。そのため、動作に関係しないFF回路へのクロック信号を停止するクロックゲーティング技術が広く用いられている。しかし、制御回路のオーバーヘッドを考えると、ある程度まとまった単位でFF回路のクロック制御を行う必要があり、その場合、クロックゲーティングを十分に行えないFF回路が増えていくと予想される。いくつかの設計において、クロックゲーティングを適用した後のFF回路のアクティブ率^(注3) α を、**図2**に示す。クロックゲーティングを適用しても α が低い設計があり、FF回路自身の低消費電力化も必要であることがわかる。

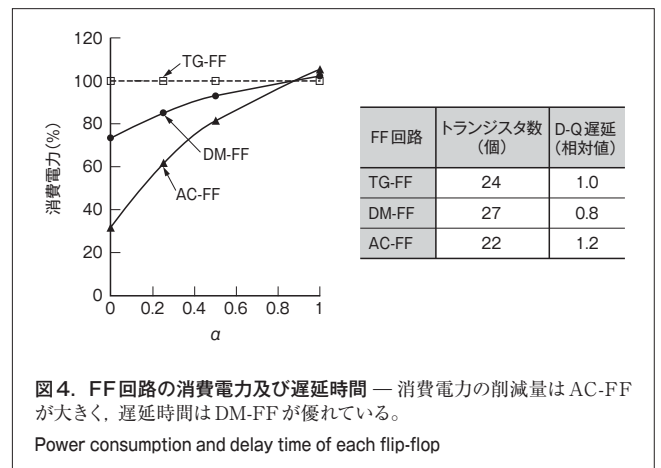
低消費電力化を図ったFF回路として、当社は、DM-FF (DM: Data Mapping) 回路 (**図3(a)**)を開発した⁽¹⁾。高速のパルス駆動ラッチをベースに、パルス駆動ラッチの欠点であったむだなプリチャージ遷移を、制御回路(データマッパ)を追加することで抑制し、標準的に用いられるTG-FF (TG: Transfer Gate) に比べ、25%高速でかつ20%の消費電力低減 ($\alpha=0.1$ のとき) という性能を実現した。また、高速であるため低電圧化やFF以外の回路を小さくでき、更なる低消費電力化を行える。

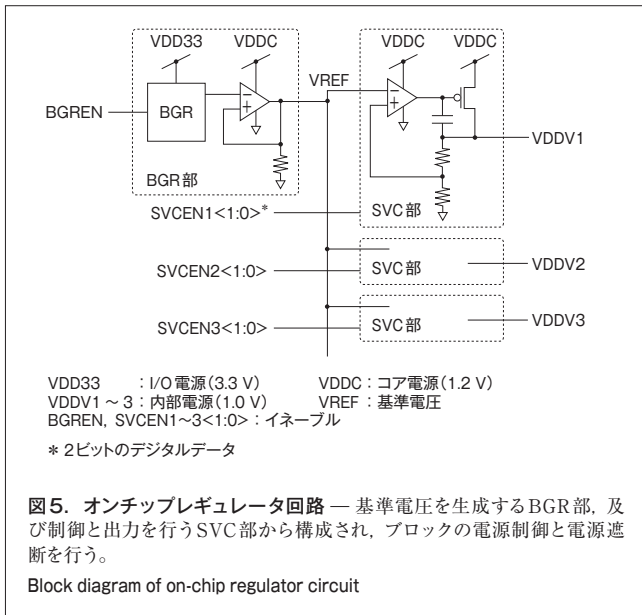


(注3) クロック変化に対するデータ変化の比。



更に当社は、クロックが入力されることで消費する電力を大幅に減らしたAC-FF (AC: Adaptive Coupling) 回路 (**図3(b)**)を開発した⁽²⁾。AC-FF回路は、データ書込み時に、データ保持側の能力を適性化し、書込みをアシストする当社独自のAC回路を用いることにより、従来はクロック信号で制御を行っていた回路を省略できる。この結果、クロック信号で動作するトランジスタ数をTG-FFの12個から4個に減らせ、クロック入力で消費する電力を大幅に削減できる。各FF回路の α に対する消費電力(相対値)の依存性を**図4**に示す。AC-FFは、TG-FFに比べて $\alpha=0.1$ のときに60%の電力削減が行える。また、D-Q遅延^(注4)はAC-FFでは悪化するため、TG-FFやDM-FFと併用し、それぞれの長所を生かした設計を行うことが望ましい。





2.2 オンチップ電源制御回路

当社はまた、デジタル部電源の制御と遮断を行うためのオンチップレギュレータ回路を開発した。オンチップレギュレータを搭載することにより、ブロックの性能に合った電源電圧を個別に設定できるほか、電源電圧の変動も抑えられ、更にブロックを使用していないときには電源の供給を遮断することもできるため、動作時のスイッチング電力と待機時のリーク電力をともに削減する効果がある。

オンチップレギュレータの回路構成を図5に示す。基準電圧を生成するBGR (バンドギャップ リファレンス) 部、及び制御と出力を行うSVC (サプライボルテージ コントローラ) 部から構成される。SVC部は複数個を用い、電源制御を行いたいブロックそれぞれの周辺に配置した。またBGR部は複数のSVC部が共有するようにして、I/O (Input/Output) 領域に配置した。

レギュレータに加え、電源遮断専用のオンチップ電源スイッチセルや、内部状態を保持したまま電源電圧を低下させてリーク電力の削減を行うためのリテンションレギュレータも実用化した。実用化したオンチップ電源制御回路の主な仕様を表1に示す。いずれも、きめ細かな電源制御を行うために重要な回路技術である。

2.3 低消費電力SRAM

無線通信LSIでは通信データ用バッファに多くのSRAMを使用している。そのためSRAMには、高速動作と同時に低消費電力の性能が求められる。当社はこの相反する課題を解決するため、2電源駆動のSRAMを開発した。

2電源駆動SRAMでは、SRAMセルアレーの電源を高電

(注4) クロック信号が入力されるより前に入力データを確定しておくのに必要なセットアップ時間と、クロック信号が入力されてからデータが出力されるまでの遅延時間の合計。

表1. 実用化したオンチップ電源制御回路の主な仕様

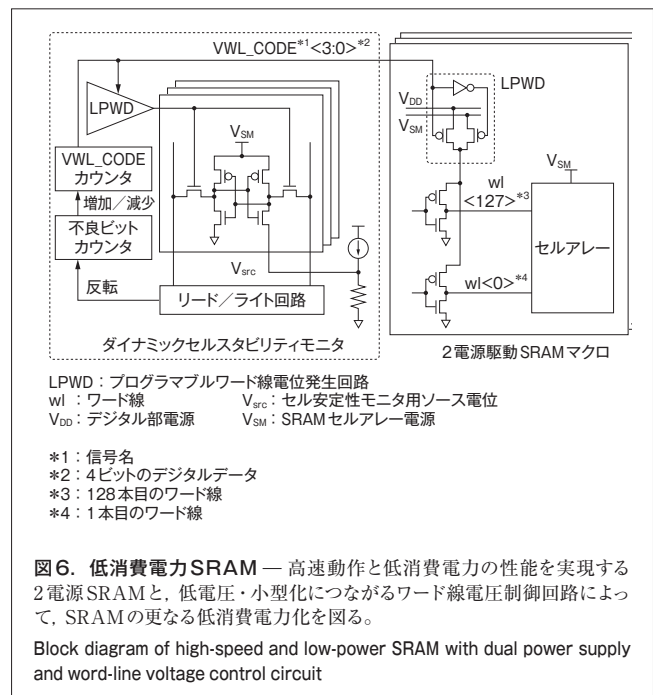
Main specifications of newly developed on-chip voltage control circuits

項目	レギュレータ		電源スイッチ		リテンションレギュレータ
	90	65	65	40	65
プロセステクノロジー (nm)	90	65	65	40	65
入力電圧 (V)	1.2 ± 0.1	1.8 ± 0.2	1.2	1.1	1.2 ± 0.1
出力電圧 (V)	1.0 ± 0.05	1.2 ± 0.1	1.2	1.1	0.8 ± 0.08
出力電流 (mA)	1 ~ 100	0 ~ 150	—	—	0.5 ~ 30
消費電流 (μA)	260 ~ 850	13 ~ 600	—	—	4 ~ 20
リーク削減能力 (μA)	20	20	10未満*	—	—
使用素子	LVMOS及びMOM	HVMOS及びMOM	LVMOS及びMOM	LVMOS及びMOM	LVMOS及びMOM
外付け素子	なし	コンデンサ (1 μF)	なし	なし	なし

LVMOS: 低耐圧MOSトランジスタ HVMOS: 高耐圧MOSトランジスタ
MOM: Metal-Oxide-Metal (配線間の静電容量を利用した、実効的なコンデンサ)
*遮断ブロックの消費電流による

圧化し、アクセス時間に影響を与えるセル電流を高めて高速化を図りつつ、消費電力の大半を占めるビット線振幅と周辺回路には低電圧電源を適用した。これにより、動作電力を抑えることを可能にした。

更に、この2電源の出力電圧を組み合わせ、PVT^(注5)の変動に応じたワード線電圧を生成する、ダイナミックセルスタビリティモニタ回路⁽³⁾を提案した(図6)。セルの読出しと書込みの特性を最適化することによりセルの動作マージンを広げ、SRAMの更なる低電圧化や小型化につながる回路技術として研究開発を続けている。



(注5) プロセス、電源電圧、及び温度。

3 無線通信LSIへの適用

低電力FFのDM-FFとオンチップ電源制御回路を、90 nm CMOS (相補型金属酸化膜半導体) プロセステクノロジーで製造する無線LANベースバンドLSIに適用した(図7)。無線LANベースバンドLSIの主な仕様を表2に示す。DM-FFの高速性と α を考慮した最適化を行うことにより、デジタル部の動作電力を23%削減した。また、CPU、ベースバンド、及びホストの三つの電源ドメインにおいてそれぞれオンチップレギュレータ回路を用い、1.2 Vの外部電圧を1.0 Vの内部電圧に降圧して低消費電力化を図った。この結果、ノーマル動作時の消費電力を80 mW、スリープ時の消費電力を10 mWに抑えた。更に、自律復帰用のタイマだけが動作しているディープスリープモードでは、ゲーテッドI/Oや厚膜プリミティブセルなども適用して、0.007 mWの消費電力を実現した⁽⁴⁾。複数のオンチップレギュレータ回路を搭載すると、電源ドメイン間の電圧がアンバランスになる可能性がある。当社は、電圧係数を用いてアンバランスが発生するタイミングを予測する手法を独自に開発し、設計検証に活用している⁽⁵⁾。

また、TransferJet™ LSI (TC35420) には、1.8 Vの外部電圧を1.2 Vの内部電圧に降圧するオンチップレギュレータと、待機時にデジタル部の電源を0.8 Vまで低下させるリテンシ

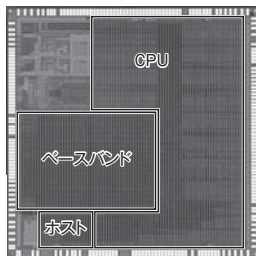


図7. 無線LANベースバンドLSIチップ — 低消費電力化回路技術を適用した、90 nm CMOS プロセステクノロジーで製造する無線LANベースバンドLSIのチップである。

Chip of wireless LAN baseband LSI fabricated with 90 nm complementary metal-oxide semiconductor (CMOS) technology

表2. 無線LANベースバンドLSIの主な仕様

Main specifications of wireless LAN baseband LSI fabricated with 90 nm CMOS technology

項目	仕様
プロセステクノロジー	90 nm CMOS 6層メタル
電源電圧 (V)	3.3 (I/O部), 1.0 (CPU, ベースバンド, 及びホストの各電源ドメイン), 1.2 (その他の回路)
ゲート規模	ランダムロジック: 2.0 Mゲート, メモリ: 3.4 Mビット
動作周波数 (MHz)	20, 40, 80, 及び160 (スタンバイ時周波数: 32 kHz)
CPU	32 ビット RISC×1
消費電力 (mW)	ノーマル時: 80, スリープ時: 10, ディープスリープ時: 0.007

RISC: Reduced Instruction Set Computer

用のレギュレータとオンチップ電源スイッチを搭載し、待機時の消費電力削減と部品点数の削減を行った。

AC-FFや低消費電力SRAMに関しては、65 nmや40 nm CMOS プロセステクノロジーでテストチップを試作し、性能や低消費電力化の効果を確認した。

4 あとがき

動作時のスイッチング電力と待機時のリーク電力それぞれの低減に有効な低消費電力化技術として、低消費電力FFとオンチップ電源制御の回路技術を開発し、90 nm CMOSテクノロジーの無線LANベースバンドLSIや65 nm CMOSテクノロジーのTransferJet™ LSIなどに適用し、低消費電力化や部品点数の削減を行った。

更なる低消費電力化に向け、2電源駆動のSRAMやワード線電圧を最適化するSRAMの研究開発も進めている。

文献

- (1) Teh, C. K. et al. Conditional Data Mapping Flip-Flops for Low-Power and High-Performance Systems. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 14, 12, 2006, p.1379 - 1383.
- (2) Teh, C. K. et al. "A 77 % Energy-Saving 22-Transistor Single-Phase-Clocking D-Flip-Flop with Adaptive-Coupling Configuration in 40nm CMOS". 2011 IEEE ISSCC Digest of Technical Papers. San Francisco, CA, USA, 2011-02, IEEE, 2011, p.338 - 340.
- (3) Kushida, K. et al. "A Trimless, 0.5V-1.0V Wide Voltage Operation, High Density SRAM Macro Utilizing Dynamic Cell Stability Monitor and Multiple Memory Cell Access". Proc. Technical Papers of 2011 IEEE A-SSCC. Jeju, Korea, 2011-11, IEEE, 2011, p.161 - 164.
- (4) Taki, D. et al. "A 7uW deep-sleep, ultra low-power WLAN baseband LSI for mobile applications". Proc. 2011 IEEE Cool Chips XIV. Yokohama, 2011-04, IEEE, 2011, p.1 - 3.
- (5) Shiozawa, T. et al. "A New Timing Closure Methodology for an SoC with Multiple On-chip Regulators". Design Automation Conference. Anaheim, CA, USA, 2010-06, DAC, 2010, User Track 7U.4S.



テー チェン コン TEH Chen Kong, D.Eng.
セミコンダクター & ストレージ社 半導体研究開発センター
先端ワイヤレス・アナログ技術開発部主務, 博士 (工学)。低消費電力回路及びデジタル電源回路の研究・開発に従事。
Center for Semiconductor Research & Development



藤田 哲也 FUJITA Tetsuya
セミコンダクター & ストレージ社 半導体研究開発センター 先端ワイヤレス・アナログ技術開発部主務。低消費電力回路, オンチップ電源スイッチ回路, 及びレギュレータ回路の研究・開発に従事。
Center for Semiconductor Research & Development



櫛田 桂一 KUSHIDA Keiichi
セミコンダクター & ストレージ社 半導体研究開発センター
先端ワイヤレス・アナログ技術開発部主務。低消費電力回路及びスタティックメモリ回路の研究・開発に従事。
Center for Semiconductor Research & Development