

高S/NのCMOSイメージセンサを実現する画素技術

Pixel Technologies for High-SNR CMOS Image Sensors

幸山 裕亮

山下 浩史

■ KOHYAMA Yusuke

■ YAMASHITA Hirofumi

CMOS (相補型金属酸化膜半導体) イメージセンサでは一貫して画素サイズの縮小が続けられており、特に低照度撮像時のS/N (信号対雑音比) 確保が重要課題となっている。S/Nを確保するためには、画素の高量子効率化及び低クロストーク (混色) 化が鍵となる。

東芝は、画素の世代ごとに高量子効率と低クロストークを実現するための技術を開発することで、高S/NのCMOSイメージセンサを実現してきた。更に、今後の1 μm 以下の画素微細化において十分なS/Nを確保するために重要な技術の開発も進んでいる。

Accompanying the pixel size shrinkage of complementary metal-oxide semiconductor (CMOS) image sensors, demand has been growing in recent years for improvement of the signal-to-noise ratio (SNR) at low light intensity. High quantum efficiency (QE) and low crosstalk between adjacent pixels are key factors for the realization of high-SNR CMOS image sensors.

Toshiba has developed high-QE and low-crosstalk technologies for each generation of the CMOS process, and realized high-SNR CMOS image sensors by applying these technologies. We are also promoting the development of future key technologies to ensure a sufficient SNR for the next-generation CMOS sensor with a pixel size of less than 1 μm .

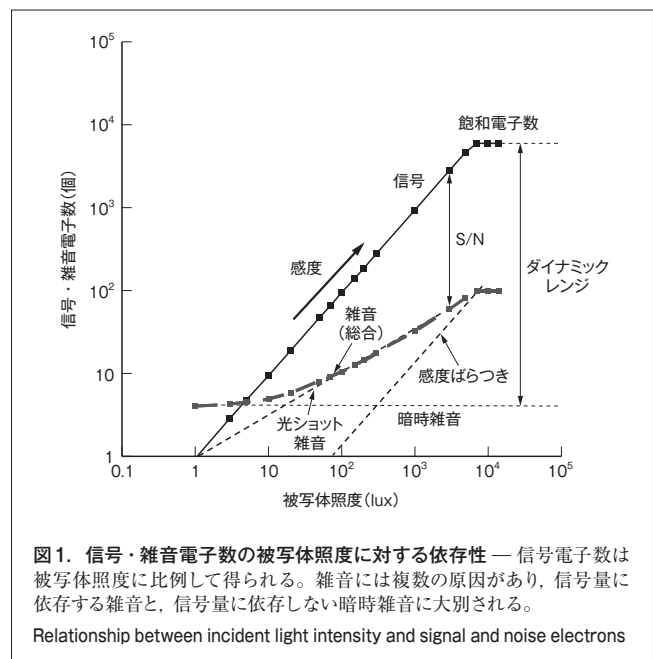
1 まえがき

CMOSイメージセンサは、携帯用機器をはじめとする多くの応用分野で広く普及している。このような分野では多画素化による高解像度化及びカメラサイズの縮小が求められるため、画素サイズの縮小が一貫して続けられてきた。画素サイズが縮小されると画素に入射する光子数が低下し、更に隣接する画素間でのクロストークが増加するためS/Nが劣化する。再生画面上で高いS/Nを維持するためには、画素の量子効率を高くし、更に隣接する画素間でのクロストークを低減する必要がある。それらを微細画素で実現する方法が、主な技術課題の一つとなっている。

ここでは、低照度でのS/Nを決める要因、東芝が開発してきた高量子効率化技術と低クロストーク化技術、及び今後の画素微細化において鍵となる技術について述べる。

2 低照度S/Nと画素構造の推移

S/Nは画素で得られる信号電子数と等価雑音電子数との比で決まる。信号電子数及び雑音電子数の被写体照度に対する依存性の例を、図1に示す。被写体照度に応じてセンサ面に光子が到達し、それに比例して光電子が各画素で発生するので、信号電子数は被写体照度に比例して得られる。画素の量子効率が高ければそれだけ多くの信号電子が得られるためS/N



を高くできる。一方、雑音には複数の原因があり、信号量に依存する雑音と、信号量に依存しない暗時雑音に大別される。暗時に近い極低照度の撮像では、暗時雑音が主な雑音となるが、それよりも照度が高いと光ショット雑音が支配的になる。

携帯電話搭載カメラでは、数十から100 lux程度の低照度撮像時のS/Nが問題となることが多い。この照度領域で支配

的な雑音は光ショット雑音なので、低照度撮像時のS/Nを確保するためにはまず画素の量子効率を高くして検出できる光子数を増やすことが重要である。

クロストークがS/Nに与える影響については、次のように考えることができる。画素アレーには画素ごとにR(赤), G(緑), 及びB(青)の3原色の色フィルタが配置され、画素ごとに1色分の信号を取得するが、画素が縮小されると隣接する画素への入射光漏れ込みやシリコン(Si)内で発生した光電子の拡散などによりクロストークが発生して、色再現性が劣化する。後段の信号処理で色マトリクス処理により色再現を調整するが、画素でのクロストークが多い場合には、クロストークが少ない状態で同じ調整を行う場合に比べて色マトリクス処理での雑音増幅係数が大きくなる。したがって、クロストークをできるだけ低減することが、S/Nを維持するのに重要になる。

低照度のS/Nを記述する特性指標として、輝度信号のS/Nが10となるときの被写体照度(以下、SNR10と呼ぶ)で表すことが提案されている⁽¹⁾。R, G, B各画素で取得できる信号電子数が多いほど、また画素間のクロストークが小さく色マトリクスでの雑音増幅係数が小さいほど、SNR10は小さくなるので、低照度でのS/Nを一意に表現できる。

当社が開発してきた高量子効率化技術と低クロストーク化技術により、低照度S/Nが改善された効果を、SNR10を用いて以下に述べる。

3 広開口・低背化技術

画素の量子効率を高くするためには、画素の最表面に入射した光子を最大限フォトダイオードに取り込むことが重要である。また低クロストークとするためには、入射した光を隣接する画素に漏れ込まないようにするとともに、フォトダイオード中で発生した光電子を隣接する画素にできるだけ拡散させない構造とすることが重要になる。

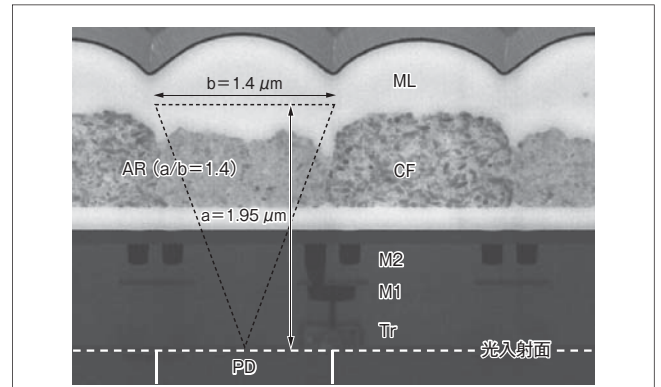
入射光量を最大限に取り込む方法及び隣接する画素に漏らさない方法はいくつかある。もっとも有効なのは、フォトダイオード上に配置されている多層配線層の開口面積をできるだけ広くとること、及び画素最上層のマイクロレンズで集光され入射する集光口から、入射光を光電子に変換するフォトダイオードの光入射面までの距離(入射距離)を短くすることである。前者は、配線層の開口を広くすることにより、集光される入射光が配線表面で反射されたり、配線端で回折されて隣接する画素へ漏れ込んだりすることを防止でき、後者は、入射距離を短くすることにより、入射光の反射や、吸収、回折などをいっそう抑制できるためである。

当社は、画素レイアウトを最適化することで、画素アレーの配線層数を従来の3層から2層に削減し、更に多層配線層を従来のアルミニウム(Al)から銅(Cu)とすることで、画素の配

線層の厚さを低減して配線開口幅を拡大した。このような広開口・低背構造画素の例として、1.4 μm表面照射(FSI)型画素の断面走査型電子顕微鏡(SEM)像を図2に示す。入射距離と集光口幅との比率(アスペクト比)は世界最高レベルである。また、種々の画素サイズにおけるアスペクト比を図3に示す。配線のCu化、及び画素配線の2層化により、大幅な低背化を達成した。

Si内での隣接する画素間でのクロストークを低減するためには、前述したように光電子が拡散によりフォトダイオードの素子間を分離する境界(以下、素子分離と呼ぶ)を越えるのを阻止する構造が重要である。

高い量子効率を維持したまま短波長から長波長までクロストークを低減させるためには、フォトダイオードの光入射面付近の“浅い”領域から、光入射面から離れた“深い”領域まで、素子分離の幅を狭く維持できる構造が必要になる。高い量子



ML : マイクロレンズ CF : 色フィルタ AR : アスペクト比
a : 入射距離 b : 集光口幅 M1, M2 : 配線層
Tr : トランジスタ PD : フォトダイオード

図2. 広開口・低背構造 1.4 μm FSI型画素断面のSEM像 — アスペクト比では世界最高レベルである。

Cross-sectional scanning electron microscope (SEM) photograph of 1.4 μm front-side illumination (FSI) pixel

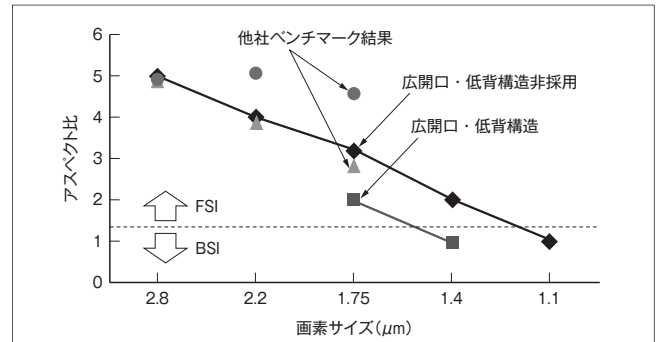


図3. 種々の画素サイズでのアスペクト比 — 配線のCu化、及び画素配線の2層化により、大幅な低背化を達成した。

Relationship between pixel size and microlens height to opening width ratio

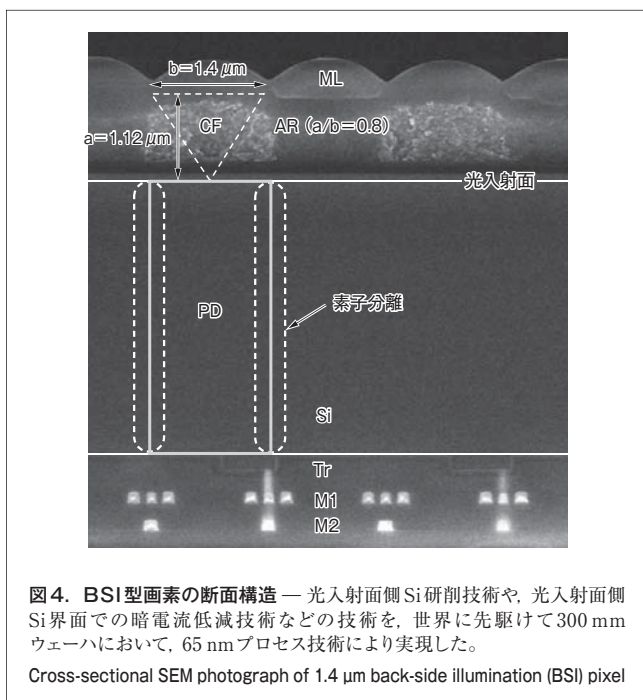
効率を実現するためにはフォトダイオードは厚いほうが望ましく、その一方で素子分離の幅が広がると、フォトダイオードと素子分離の間の電位障壁が小さくなってしまい、光電子拡散の抑制が困難になるからである。

Siの深い領域まで幅の狭い素子分離p型拡散層を形成するために、当社は、 $1.4\ \mu\text{m}$ 画素用技術として、フォトダイオードの浅い領域から深い領域まで幅の細いp型拡散層を形成することが可能な、イオン注入時の狭開口厚膜マスクの形成技術と高エネルギーイオン注入技術を新たに開発した。前述したような広開口・低背構造で狭く深い画素間素子分離p型拡散層構造を実現することにより、 $1.75\ \mu\text{m}$ 画素の量子効率は24%向上し、またSNR10は46%向上した。

4 裏面照射 (BSI) 型画素

3章で述べた広開口・低背画素では、入射距離は $2\ \mu\text{m}$ 以下まで縮小されている。しかし、画素微細化の次のステップである画素サイズ $1.1\ \mu\text{m}$ の素子を、この低背構造で実現するためには、図3に示したように、入射距離を $1\ \mu\text{m}$ 前後までに低減する必要がある。画素アレー内の配線層は、最低限2層必要であること、また色フィルタだけでも約 $0.7\ \mu\text{m}$ の厚さがあることから、 $1\ \mu\text{m}$ 以下の低背化は困難である。このため当社は、微細画素でのS/Nを確保するための手段としてBSI型画素を採用した⁽²⁾。BSI型画素の断面構造を図4に示す。

BSI型画素は、従来から科学計測用のCCD(電荷結合素子)などで採用されてきたものであるが、近年、微細画素においてもS/Nを確保するための鍵となる技術として採用されつ



ある^{(3), (4)}。BSI型画素では、配線の上部に別の支持基板を貼り付け、元のSi基板を削り取った面に色フィルタとマイクロレンズを形成する。この構造では光入射面に配線がないため更なる低背化が可能になる。BSI型画素にすると、入射光を集光するマイクロレンズとフォトダイオードの間には、入射光を障害する金属配線層を配置しなくてもよいので、微細画素でも量子効率を増加させることができる。

BSI型画素を実現するため、光入射面側Si研削技術や、光入射面側Si界面での暗電流低減技術をはじめとした多くの要素技術の開発を行った。当社は、それらの技術を、世界に先駆けて300mmウェーハにおいて、65nmプロセス技術により実現した。既に、デジタルカメラへ適用するためのBSI型画素センサを製品化し、更に携帯電話に搭載するカメラへ適用するため、画素サイズ $1.4\ \mu\text{m}$ 及び $1.1\ \mu\text{m}$ のBSI型画素センサを製品化している。

BSI型画素の採用により量子効率とSNR10が改善される効果を図5に示す。同じ $1.4\ \mu\text{m}$ 画素と比較すると、BSI型画素構造の採用により量子効率は15%の向上を、SNR10は25%の向上を実現した。

BSI技術を用いて実現した、画素サイズ $1.12\ \mu\text{m}$ 、800万画素CMOSイメージセンサによるカラー再生画像を、図6に示す。

5 今後のS/N改善技術

4章で述べたように、BSI型画素構造の採用により微細画素でのS/Nは大きく改善された。しかし、 $1\ \mu\text{m}$ 以下の画素サイズで十分なS/Nを確保するためには、更なる新規技術の導入が必要になる。画素サイズが縮小されると斜め光が入射したときに入射光がSi内で斜めに角度を保ったまま進行して隣

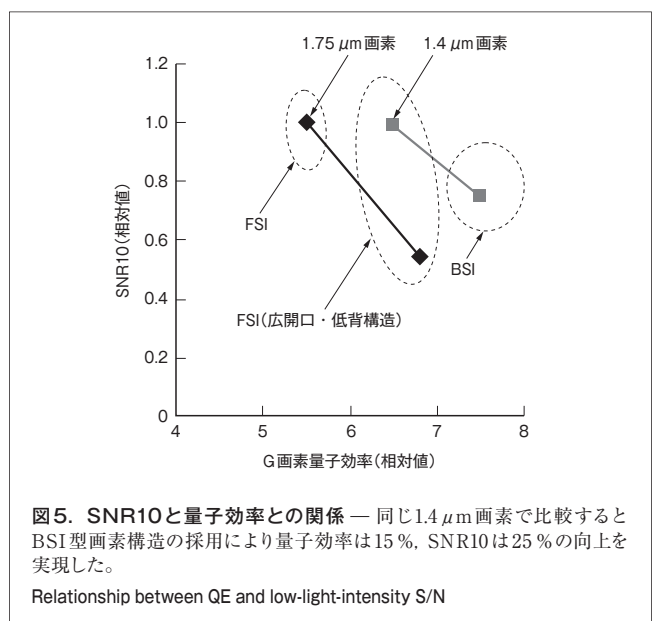
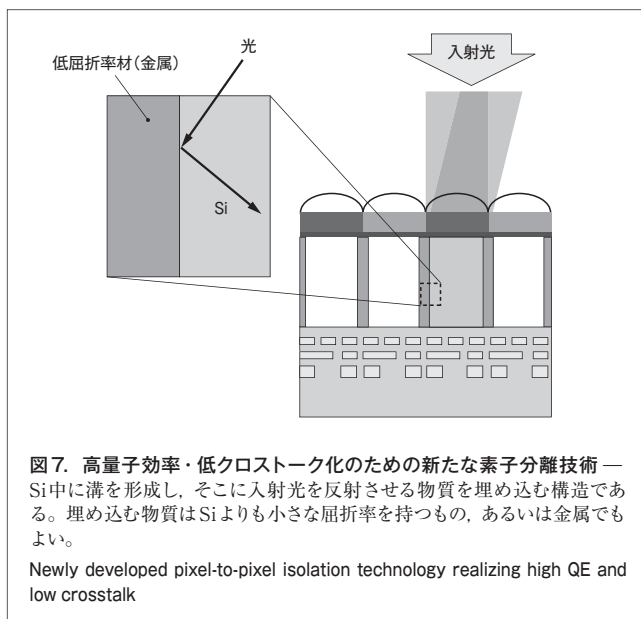




図6. BSI技術を用いたCMOSイメージセンサのカラー再生画像 — BSI技術により、画素サイズ1.12 μm 、800万画素CMOSイメージセンサを実現した。
Color image obtained by 8 Mpixel BSI-type CMOS sensor with individual pixel size of 1.12 μm

接する画素に入射し、光によるクロストークが発生してしまうためである。

これを防止するためには、画素サイズの縮小とともにSi層を薄くしていく必要があるが、光電子を発生するのに必要な深さは入射光の波長で決まるためにスケールダウンできないことから、必然的に量子効率が低下してしまう。このような問題を解決するためには、例えば、素子分離を従来のp型拡散層構造によるものから、Si中に溝を形成し、そこに入射光を反射させる物質を埋め込む構造とする技術などが有効である。埋め込む物質はSiよりも小さな屈折率を持つもの、あるいは金属でもよい。このような画素の断面構造の一例を図7に示す。



当社は、将来画素がいつそう微細化したときにもS/Nを確保するため、このような技術を含め様々な新規技術の開発を行っている。

6 あとがき

CMOSセンサにおいて低照度のS/Nを確保するための鍵となる技術について述べた。広開口・低背技術によってFSI型画素で十分なS/Nを実現し、またBSI型画素の採用によって微細画素でも十分なS/Nを実現した。

今後は、高量子効率及び低クロストーク化を実現する新たな技術を導入することにより、1 μm 以下の更に微細な画素を実現していく。

文 献

- (1) Juha, A. "Image Sensors and Image Quality in Mobile Phones". 2007 Int. Image Sensor Workshop (IISW). Ogunquit, ME, USA, 2007-06, International Image Sensor Society (IISS). 2007, Session 01.
- (2) Kohyama, Y. et al. "A 1.4 μm Pixel Backside Illuminated CMOS Image Sensor with 300 mm Wafer Based on 65nm Logic Technology". 2009 IISW. Bergen, Norway, 2009-06, IISS. 2009, Session 02.
- (3) Iwabuchi, S. et al. "A Back-Illuminated High-Sensitivity Small-Pixel Color CMOS Image Sensor with Flexible Layout of Metal Wiring". IEEE International Solid-State Circuits Conference 2006 Dig. Tech. Papers. San Francisco, CA, USA, 2006-02, IEEE. 2006, p.302 - 303.
- (4) Rhodes, H. "Mass Production of BSI CMOS Image Sensors". 2009 IISW Symposium on Backside Illumination of Solid-State Image Sensors. Bergen, Norway, 2009-06, IISS. 2009.



幸山 裕亮 KOHYAMA Yusuke

セミコンダクター&ストレージ社 アナログ・イメージングIC事業部
イメージセンサー技術部主幹。DRAMや、SOI論理素子、
CMOSイメージセンサなどのデバイスの開発に従事。
Analog & Imaging IC Div.



山下 浩史 YAMASHITA Hirofumi, Ph.D.

セミコンダクター&ストレージ社 アナログ・イメージングIC事業部
イメージセンサー技術部参事、博士(工学)。CMOSイメージセ
ンサーをはじめとする固体撮像素子の開発に従事。IEEE会員。
Analog & Imaging IC Div.