

# 擬似SoC技術を用いた 異種デバイスのシステムインテグレーション

Pseudo-SoC High-Density System Integration Technology for Heterogeneous Devices  
Using Pseudo-SoC Process

山田 浩

小野塚 豊

板谷 和彦

■ YAMADA Hiroshi

■ ONOZUKA Yutaka

■ ITAYA Kazuhiko

最先端のエレクトロニクス機器では、小型化と高性能化を実現するため、多種多様な異種デバイスを高密度にシステムインテグレーションすることが要求されている。

東芝は、異種デバイスの新しいシステムインテグレーションとして、設計自由度が高い“擬似SoC (System on Chip) 技術”を開発した。製造技術の異なるデバイスに対して、KGD (Known Good Die) 検査で良品保証された異種デバイスだけをウェーハレベルで大規模に集積することで、SoCとSiP (System in Package) では実現困難である高密度システムインテグレーションが実現できる。更に、この技術により、これまで実現困難とされてきた、MEMS (Micro Electro Mechanical Systems) やCMOS (Complementary Metal Oxide Semiconductor)-LSIから構成される異種デバイスを搭載したフレキシブル電子デバイスの実現に成功した。

There is a strong need for high-density system integration technologies for heterogeneous devices to realize high-performance and small-sized electronic devices.

Toshiba has developed a "pseudo-SoC technology" as an advanced system integration technology that provides a high degree of flexibility in electronic system design. This pseudo-SoC technology performs large-scale wafer-level integration of heterogeneous known good die (KGD) devices fabricated by incompatible processes, achieving high-density system integration that overcomes the limitations of system-on-chip (SoC) and system-in-package (SiP) processes. We have successfully applied the newly developed pseudo-SoC technology to the fabrication of flexible large electronic devices incorporating heterogeneous devices; namely, microelectromechanical system (MEMS) and complementary metal-oxide semiconductor large-scale integration (CMOS-LSI) devices.

## 1 まえがき

最近のエレクトロニクス機器は、従来技術では実現できない小型化と高機能化が要求され、異種デバイスを高密度にシステムインテグレーションすることが必要になっている<sup>(1)</sup>。異種デバイスのシステムインテグレーション技術の代表的なものとして、SoC技術とSiP技術が挙げられる。

SoC技術は、異種デバイス(素子)を同一チップ上に混載する技術で、最先端の半導体プロセスで製造するため、小型で高性能なシステムLSIを構築できる。しかし、混載デバイスの種類に制限があるばかりでなく、大規模システムの集積による製品開発コストが高いという課題があった。

これに対してSiP技術は、異種デバイス(チップ)を同一の回路配線基板上に混載する技術で、既存の異種デバイスを使用するため、搭載する異種デバイスの種類に制限がないことと、SoC技術に比較して製品開発コストが低い特長がある<sup>(2)</sup>。しかし、SiP技術は、異種デバイス間の電気接続に回路配線基板を用いるため、回路配線の微細化限界がSiPの小型化限界になっていた。

このため、SoC技術とSiP技術の特長と課題を相互補完す

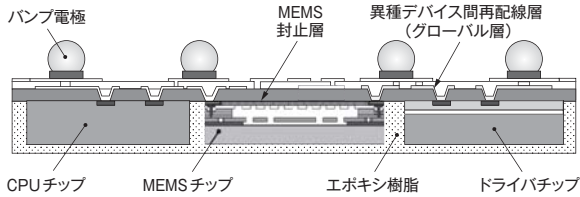
る新たな異種デバイスのシステムインテグレーションが必要となっていた。

東芝は、異種デバイスのシステムインテグレーションを高密度に実現する技術として、SoCとSiPの相互特長がある擬似SoC技術を開発した。ここではその技術の概要と応用例について述べる。

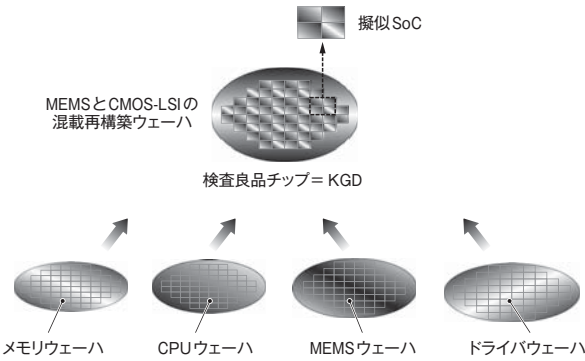
## 2 擬似SoC技術を用いたシステムインテグレーション

擬似SoC技術の概要とそのプロセスを図1、図2に示す。擬似SoCは、MEMS、CPU、メモリ、ドライバなどの異種デバイスを検査してダイシングにより個別のKGDとした後、それらを隣接配置して、エポキシ樹脂で再構築ウェーハとして形成する。その後、再構築ウェーハ上の異種デバイス(チップ)間を、半導体後工程プロセスによる微細再配線で電氣的接続することでシステムインテグレーションする技術である。

擬似SoC技術は、製造技術の異なる異種デバイスを混載できることと、検査された異種デバイスだけをウェーハレベルで大規模集積できることから、SoCとSiPでは実現困難なシステムインテグレーションを実現可能にする。また、エレクトロニ



(a) 擬似SoC断面



(b) 再構築ウェーハプロセス

図1. 擬似SoC技術の概要 — MEMSやCPUなどの異種デバイスを検査してダイシングによって個別のKGDにした後、隣接配置してエポキシ樹脂で再構築ウェーハを形成する。

Outline of pseudo-SoC technology

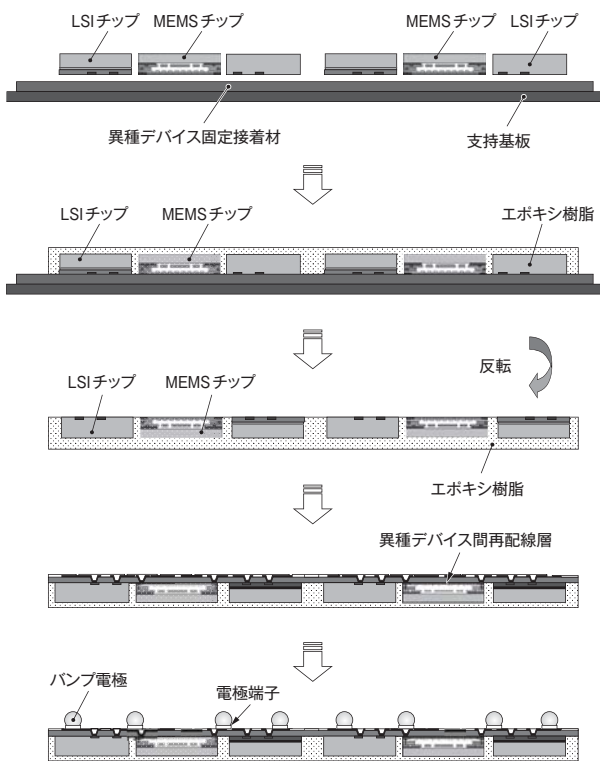


図2. 擬似SoCプロセス — 再構築ウェーハ上の異種デバイス（チップ）間を、半導体後工程プロセスによる微細再配線にて電気的に接続する。

Process of pseudo-SoC fabrication

クス機器の設計・製造コストの低下が期待できる<sup>(3)-(8)</sup>。

### 3 擬似SoC要素技術

#### 3.1 ウェーハ再構築技術

擬似SoCは、異種デバイスを隣接配置しエポキシ樹脂で再構築ウェーハとして形成するため、不完全な樹脂充填による微細隙間の気泡と、エポキシ樹脂との段差に起因する再配線の断線に課題があった。更に、異種デバイスとエポキシ樹脂との熱膨張係数差による応力ひずみと、エポキシ樹脂の硬化収縮に起因する応力変形により、再構築ウェーハが擬似SoCプロセスで破壊される課題もあった。

微細隙間の気泡とエポキシ樹脂との段差に起因する再配線断線に対して、真空印刷における圧力条件の最適化により、100 μm幅の微細な隙間に均一なエポキシ樹脂を充填できるようにした。応力変形による再構築ウェーハの破壊に対しては、エポキシ樹脂物性の最適化と、再構築ウェーハ応力解析による樹脂収縮量の低減によって解決した。

再構築ウェーハの最大変位量とエポキシ樹脂硬化温度の関係を図3に示す。最大変位量は、エポキシ樹脂硬化温度の上昇に伴い増加することと、再構築ウェーハが厚くなるに伴い増加することがわかる。

#### 3.2 異種デバイス間配線

再構築ウェーハは、半導体後工程プロセスによる再配線で異種デバイス間を接続するため、再構築ウェーハの表面段差が再配線の断線の原因になる課題があった。また、エポキシ樹脂上に半導体後工程プロセスを行うことから、再配線形成

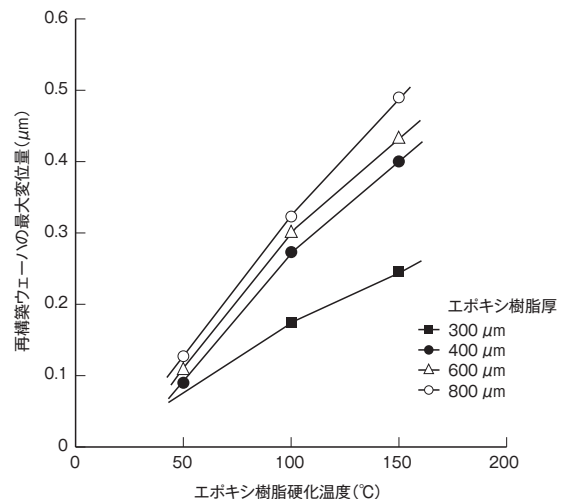
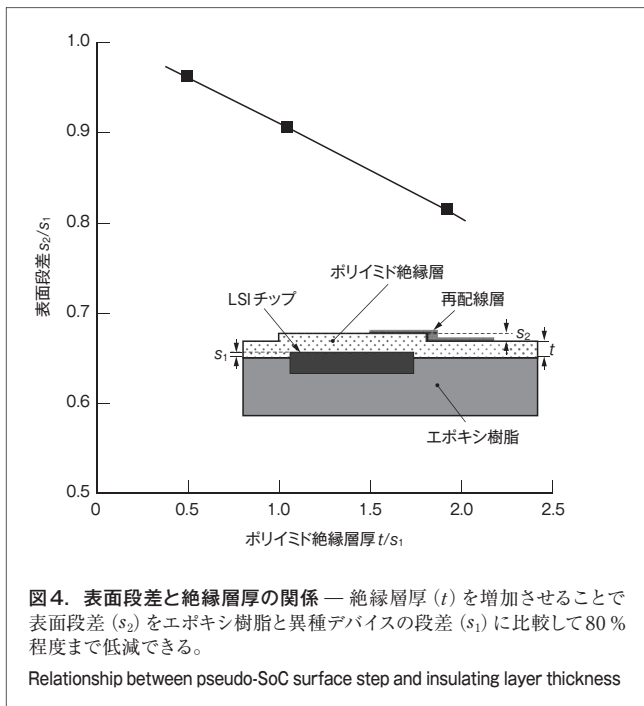


図3. 再構築ウェーハの最大変位量とエポキシ樹脂硬化温度の関係 — 最大変位量はエポキシ樹脂硬化温度の上昇に伴い増加し、再構築ウェーハが厚くなると増加する。

Relationship between maximum displacement of reconfigured wafer and curing temperature of epoxy resin



に低温プロセスが要求されるが、これが再構築ウエーハ上のAl/Ti<sup>(注1)</sup>再配線とポリイミド絶縁層の密着性を低下させる課題となっていた。

再配線の断線に関しては、接着層と異種デバイス転写条件の最適化により、擬似SoC表面段差を断線の発生しない5 $\mu$ mに低減した。エポキシ樹脂と異種デバイスの段差 ( $s_1$ ) で規格化した、表面段差 ( $s_2$ ) と絶縁層厚 ( $t$ ) の関係を図4に示す。

この結果から、絶縁層厚を増加させることで、表面段差をエポキシ樹脂と異種デバイスの段差に比較して80%程度まで低減できることがわかる。

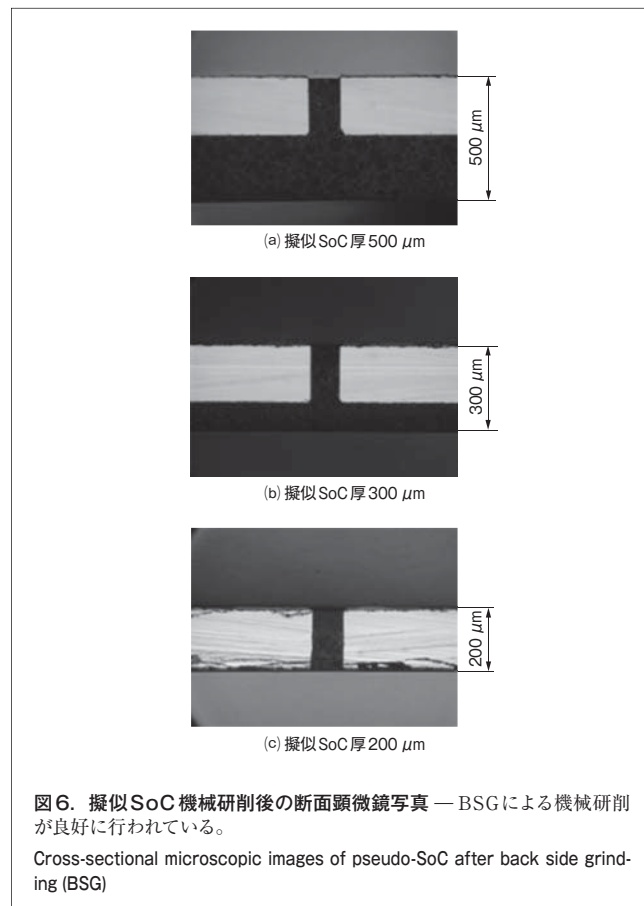
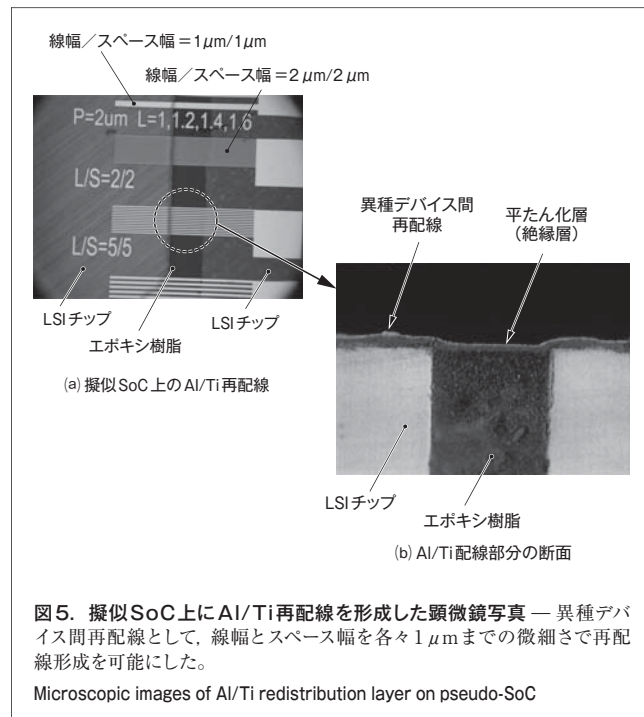
擬似SoC上にAl/Ti再配線を形成した顕微鏡写真を図5に示す。擬似SoCは、100 $\mu$ m隙間にエポキシ樹脂が配置された評価用素子 (TEG: Test Element Group) で、再配線層Al/Tiの膜厚はAl=1 $\mu$ m, Ti=0.1 $\mu$ mである。絶縁層表面をプラズマ処理条件の最適化により改善することで再配線と絶縁層の密着性を向上させて、再構築ウエーハ上の再配線低温プロセス形成 (220 $^{\circ}$ C) を可能にした。これらの結果を用いることで、図に示すように、異種デバイス間配線として、線幅が1 $\mu$ m、スペース幅が1 $\mu$ mまでの微細さで再配線を形成できる。

### 3.3 擬似SoC薄型化技術

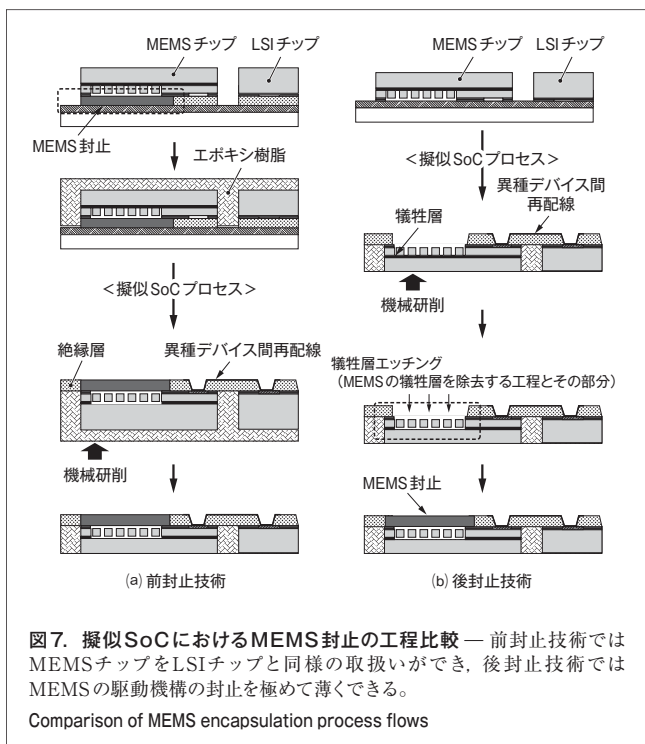
擬似SoCを機械研削BSG (Back Side Grinding) で薄型化した結果の断面顕微鏡写真を図6に示す。写真から、BSGによる機械研削が良好に行われていることがわかる。

擬似SoCを薄型化する場合にもっとも課題となるのが、

(注1) チタン (Ti) 薄膜上にアルミニウム (Al) を載せた薄膜構造体。



MEMSを形成するための犠牲層を除去するプロセスである。擬似SoCにおけるMEMS封止の工程比較を図7に示す。前封止技術は、MEMS駆動機構をあらかじめ封止しておくため、



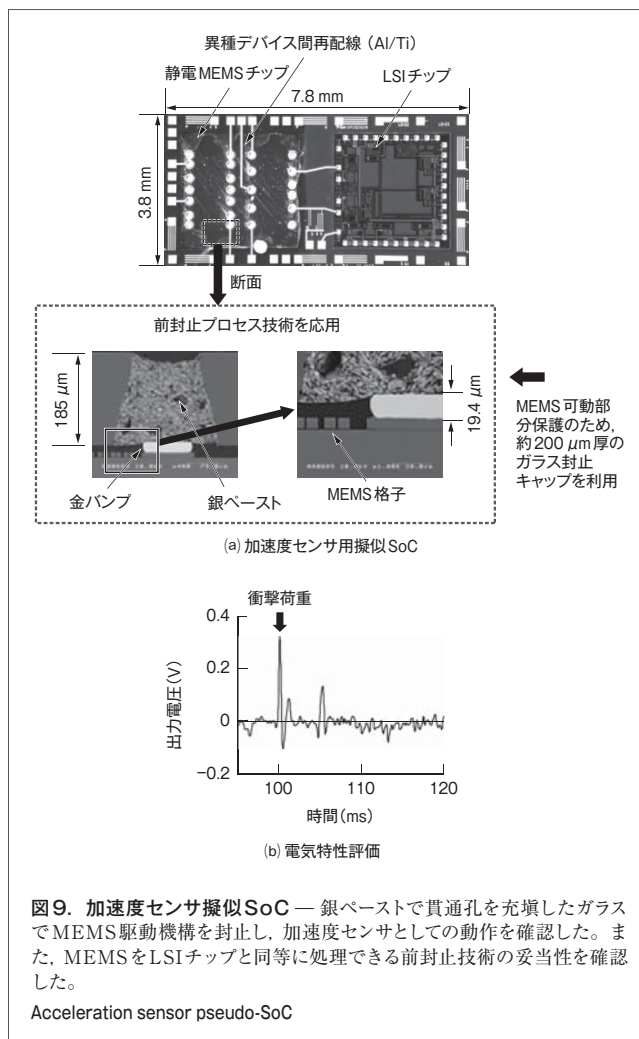
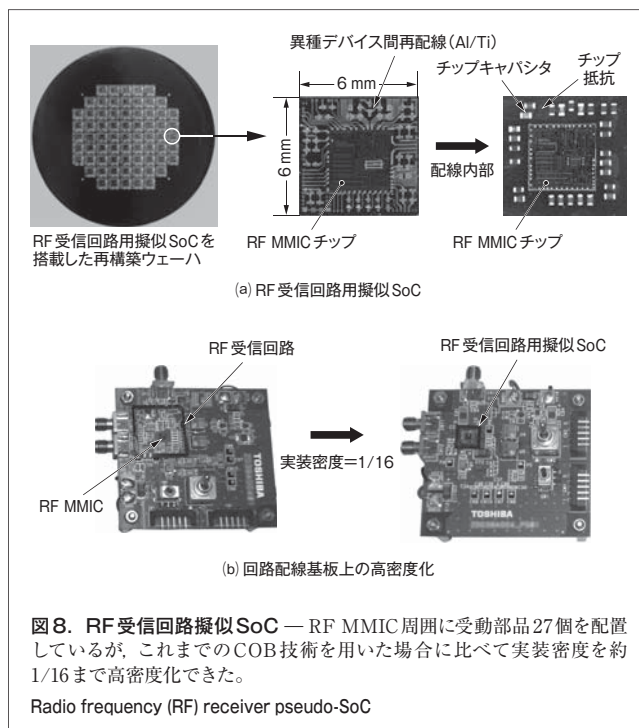
MEMSをLSIチップと同様に処理できるが、その後の擬似SoC製造プロセスに耐性を持たせる必要から、封止を強固にしなければならなかった。これに対して後封止技術は、擬似SoCの製造プロセス後に犠牲層を除去してMEMS駆動機構を完成させるため、擬似SoCプロセスに耐性を持たせる必要がないことから、MEMS駆動機構の封止を極めて薄くできる。

#### 4 擬似SoC技術の応用例

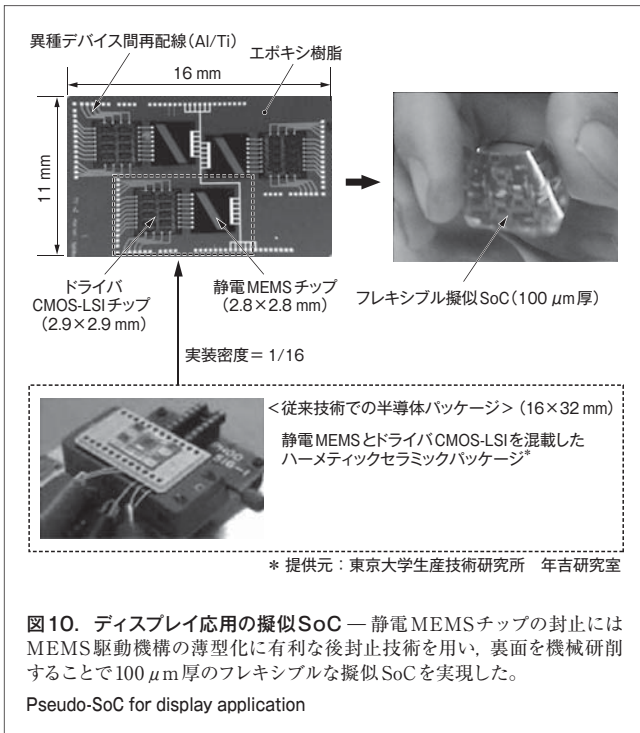
高周波 (RF) 受信回路を対象に試作した結果を図8に示す。この擬似SoCは、RF MMIC (Monolithic Microwave IC) 周囲に受動部品27個を配置している。試作の結果、これまでCOB (Chip on Board) 技術を用いた場合に比較して、実装密度を約1/16まで高密度化できた<sup>(4), (6)</sup>。

加速度センサを搭載した擬似SoC試作結果を図9に示す。加速度センサに搭載する静電MEMSは、銀ペーストで貫通孔を充填したガラス封止キャップを利用して前封止技術で封止した。試作の結果、加速度センサとしての動作確認に成功して、MEMSをLSIチップと同等に処理できる前封止技術の妥当性を確認できた<sup>(7)</sup>。

静電MEMSを搭載したディスプレイ応用の擬似SoC試作結果を図10に示す。ドライバCMOS-LSIで駆動される静電MEMSの封止には、MEMS駆動機構の薄型封止に有利な後封止技術を用いた。試作の結果、裏面を機械研削することで、これまでは実現不可能であった、100  $\mu\text{m}$ 厚のフレキシブルな擬似SoCを実現することに成功した<sup>(7)</sup>。







## 5 あとがき

異種デバイスのシステムインテグレーションを高密度に実現する技術として、SoCとSiPそれぞれの特長を持つ擬似SoC技術を開発した。擬似SoC技術は、製造技術の異なる異種デバイスの混載を可能にし、検査された異種デバイスだけをウェーハレベルで大規模集積することで、SoCとSiPでは実現困難なシステムインテグレーションを実現できる。更に、エレクトロニクス機器の設計・製造コストの低下が期待できる。今後は、この擬似SoCの量産化技術の確立とエレクトロニクス機器の応用拡大を目指していく。

この研究開発の一部は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) の助成事業「高集積・複合MEMS製造技術開発事業」の中で、「高集積MEMS擬似SOC製造技術の研究開発」として実施したものである。

## 文献

- (1) エレクトロニクス実装学会技術委員会. エレクトロニクス実装技術の現状と展望. エレクトロニクス実装学会誌. 14, 1, 2011, p.1-44.
- (2) SoC/SiP技術に関する調査研究報告書 (05-情-1). 電子情報技術総合委員会情報・デバイス技術委員会2004年度. 電子情報技術産業協会編. <<http://home.jeita.or.jp/tech/oldfile/report/index2005.html>>, (参照2012-07-17).
- (3) 山田 浩. 半導体デバイスとMEMSの融合における新たな展開. エレクトロニクス実装学会誌. 11, 1, 2008, p.43-47.
- (4) Yamada, H. et al. "MEMS-LSI Heterogeneous Device Integration Technology for System-on-Chip Applications". 5th International Nanotechnology Conference on Communication and Cooperation. Los Angeles, CA, USA, 2009-05.
- (5) Yamada, H. et al. "Highly Integrated MEMS-Pseudo-SoC Technology". Proceeding of ICEP2009. Kyoto, 2009-04, p.583-589.
- (6) 小野塚豊 他. 異種デバイスを高密度集積化できる擬似SOC技術. 東芝レビュー. 64, 2, 2009, p.52-55.
- (7) Yamada, H. et al. "A wafer-level system integration technology for flexible pseudo-SOC incorporates MEMS-CMOS heterogeneous devices". Proceedings of IEEE CPMT Symposium Japan 2010. Tokyo, 2010-08, p.11-14.
- (8) Yamada, H. et al. "A Wafer-Level Heterogeneous Technology Integration for Flexible Pseudo-SoC". ISSCC Digest of Technical Papers. 53, San Francisco, CA, USA, 2010-02, p.146-147.



山田 浩 YAMADA Hiroshi

研究開発センター 電子デバイスラボラトリー主任研究員。  
高密度・高速実装を主体にした集積回路パッケージ技術の研究・開発に従事。電子情報通信学会, IEEE (フェロー) 会員。  
Electron Devices Lab.



小野塚 豊 ONOZUKA Yutaka

研究開発センター 電子デバイスラボラトリー研究主務。  
液晶ディスプレイ及び半導体デバイスパッケージ技術の研究・開発に従事。応用物理学学会会員。  
Electron Devices Lab.



板谷 和彦 ITAYA Kazuhiko, D.Eng.

研究開発センター 電子デバイスラボラトリー研究主幹, 工博。  
半導体デバイス・材料及びMEMS, 関連するモジュール技術の研究・開発に従事。応用物理学学会会員。  
Electron Devices Lab.