

高画質CMOSイメージセンサの実現に有効な3次元デバイスシミュレータ

3D Random Telegraph Noise Simulator for High-Resolution CMOS Image Sensors

東 悠介 百々 信幸 大黒 達也
 ■HIGASHI Yusuke ■MOMO Nobuyuki ■OHGURO Tatsuya

CMOS (相補型金属酸化膜半導体) イメージセンサの開発では、通常、電流-電圧特性を模擬する3次元デバイスシミュレータを用いるが、従来のシミュレータでは画質劣化の主要因の一つ“ランダムテレグラフノイズ (RTN)”の原因となる絶縁膜中への電荷の捕獲と放出が予測できず、効率的にノイズを低減させる技術への展開が困難であった。

東芝は、RTNの低減を検討できる3次元デバイスシミュレータを世界で初めて^(注1)開発した。これを用いて、今回、絶縁膜中に欠陥(トラップサイト)を設けたモデルを作成し、電荷がトラップサイトに捕獲され、放出される機構を再現することに成功した。更に、これを活用して実測と比較することで、トラップサイトの3次元分布を抽出した。この技術を実用化することで、デバイスを試作する場合と比べ、開発期間を約20%短縮できると見込んでいる。

In the development of complementary metal-oxide semiconductor (CMOS) image sensors, a three-dimensional (3D) device simulator is used as a means to simulate the current-voltage characteristics of CMOS devices. However, as conventional 3D device simulators cannot predict the dynamic behavior of charge trapping and detrapping at the gate insulator of metal-oxide-semiconductor field-effect transistors (MOSFETs), it is difficult to apply these simulators to technologies aimed at efficiently reducing the random telegraph noise (RTN) of MOSFETs, which causes image degradation in CMOS image sensors.

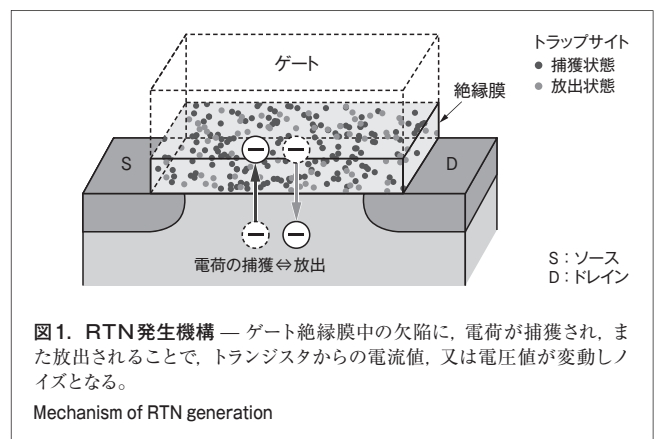
As a solution to this issue, Toshiba has developed a 3D RTN simulator for the first time in the world. We have confirmed that this simulator can model the trapping and detrapping processes at the gate insulator considering discretized trap sites in the insulator, and that it can quantitatively simulate 3D trap site distribution through the comparison of measured and simulated data. This simulator is expected to reduce the development period for CMOS image sensors by 20% compared with conventional prototype fabrications.

1 まえがき

CMOSイメージセンサは光信号を電気信号に変換する素子で、フォトダイオードと複数のCMOSトランジスタから構成されている。これを小型化かつ高機能化するためには、構成されているトランジスタの微細化が重要となる。

ランダムテレグラフノイズ (RTN) はMOSFET (MOS型電界効果トランジスタ) のゲート絶縁膜中の欠陥に電荷が捕獲され放出されることで、トランジスタからの電流値若しくは電圧値が変動してしまう現象であり、CMOSイメージセンサの画質劣化の主要因の一つである(図1)。RTNはデバイスサイズが小さくなるほど強度が大きくなることが知られており、デバイスの微細化に伴い大きな問題となる。そのためRTNを低減させることは、デバイスの微細化を続けるうえで非常に重要な課題である。通常、新規デバイス開発には、デバイスシミュレータによる構造検討などが非常に有効である。しかし従来のデバイスシミュレータでは、電荷の捕獲や放出などの動的な変化を伴うRTNシミュレーションを行うことは困難であった。

東芝はRTNモデルを3次元デバイスシミュレータに組み込



むことに成功し、更に、RTN低減検討を効果的に行うために過渡解析と周波数領域解析の二つのモードのシミュレーションスキームを開発した⁽¹⁾。ここでは、この3次元RTNシミュレータの概要とその活用例として、トラップサイトの3次元分布を抽出した結果について述べる。

2 RTNシミュレータ

過渡解析ノイズシミュレータはRTN波形を直接得ることが

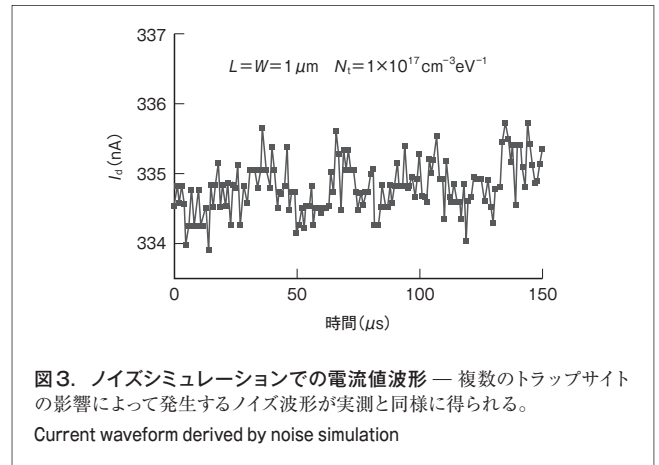
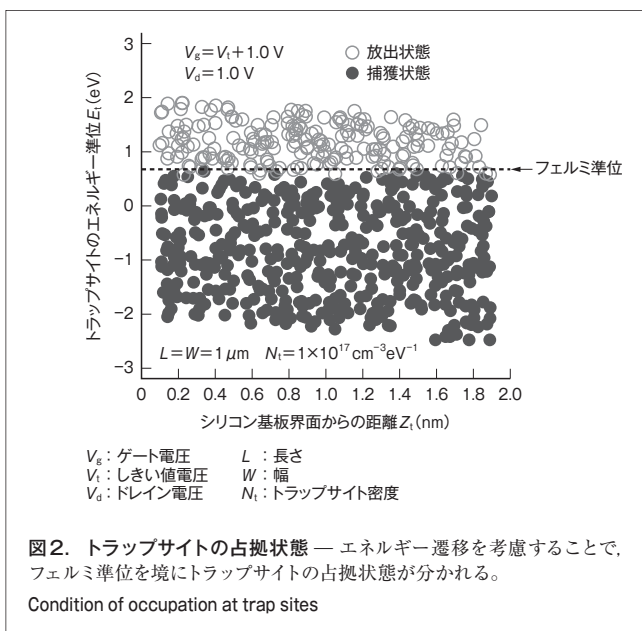
(注1) 2011年6月時点、当社調べ。

でき、捕獲と放出の動的なふるまいが解析できる。またバイアスの動的な変化に伴うシミュレーションも行えるため回路動作によるノイズの低減も検討できる。まずこのモデルの概略について述べる。シミュレーションでは、ノイズの原因となる個々のトラップサイトを絶縁膜中に空間的かつエネルギー的にランダムに配置する⁽²⁾。電荷の捕獲と放出の過程は、それぞれのトラップサイトの捕獲と放出の時定数に従い、モンテカルロ法と呼ばれる乱数を用いた確率処理手法によって生成される。捕獲時間は従来の一般的なモデルに従いトンネル確率に反比例するとした^{(3), (4)}。これに加え、捕獲と放出の時定数とトラップサイトのエネルギー準位との関係式を満たすために、絶縁膜中のエネルギー遷移を考慮した。

シミュレーションによって得られたトラップサイトの占拠状態を図2に示す。エネルギー遷移を考慮することで、フェルミ準位(図中の破線)を境にトラップサイトの占拠状態が分かれる。ここでフェルミ準位とは、フェルミ-ディラック統計から導出される電子の占拠確率がちょうど1/2になるエネルギーのことである。このフェルミ準位近傍のトラップサイトは、時間が経過すると各トラップサイトの時定数に応じて電荷が捕獲、若しくは放出されて占拠状態が変化する。またゲートバイアス条件を変更した場合、これに合わせてトラップサイトの占拠状態及び捕獲と放出の時定数も変化する。これによってバイアス状態を考慮したRTNをシミュレーションすることが可能になる。

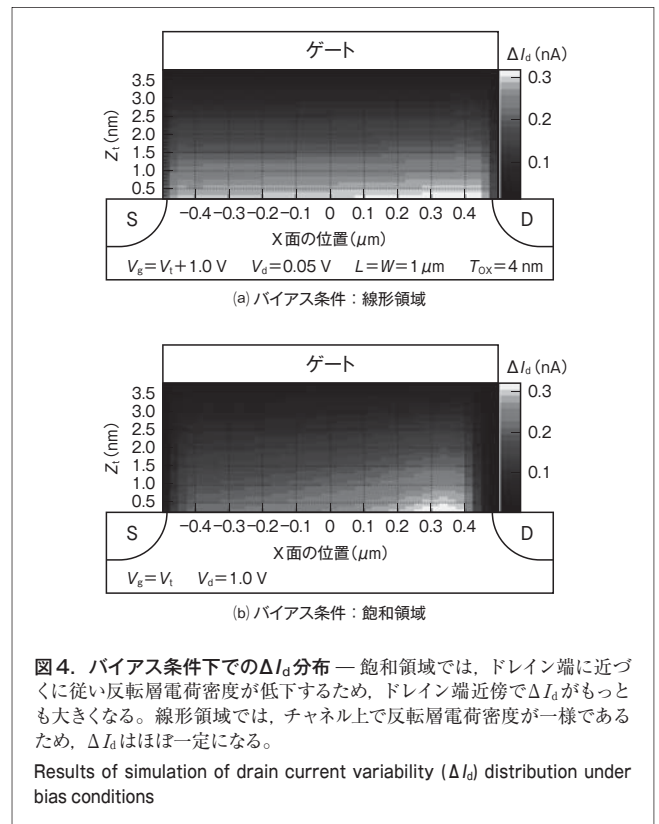
シミュレーションによって得られたドレイン電流値 I_d 波形を図3に示す。複数のトラップサイトの影響によって発生するノイズ波形を実測と同様に得ることができる。

次に、周波数領域ノイズシミュレータについて述べる。周波数領域シミュレータは定常解析で行うため、過渡シミュレーションに比べ短時間で解析できる。そのためRTNの素子間



ばらつき解析に非常に有効である。基本モデルは過渡シミュレーションと同様であるが、ノイズパワースペクトラムを得るために次のような方法を用いる。ある一つのトラップサイトへの電荷捕獲・放出によるノイズ強度はローレンチアンと呼ばれる解析式に従うことが、数学的かつ実験的にわかっている⁽⁴⁾。そこで、各トラップサイトのドレイン電流値変動量 ΔI_d と捕獲及び放出の時定数から各トラップサイトのノイズ強度を求め、それらを足し合わせることでノイズ強度の総量を算出する。このためにあらかじめ、絶縁膜中の欠陥位置に応じた ΔI_d のルックアップテーブルをデバイスシミュレーションにより取得する。

異なるバイアス条件下での ΔI_d の分布を図4に示す。反転



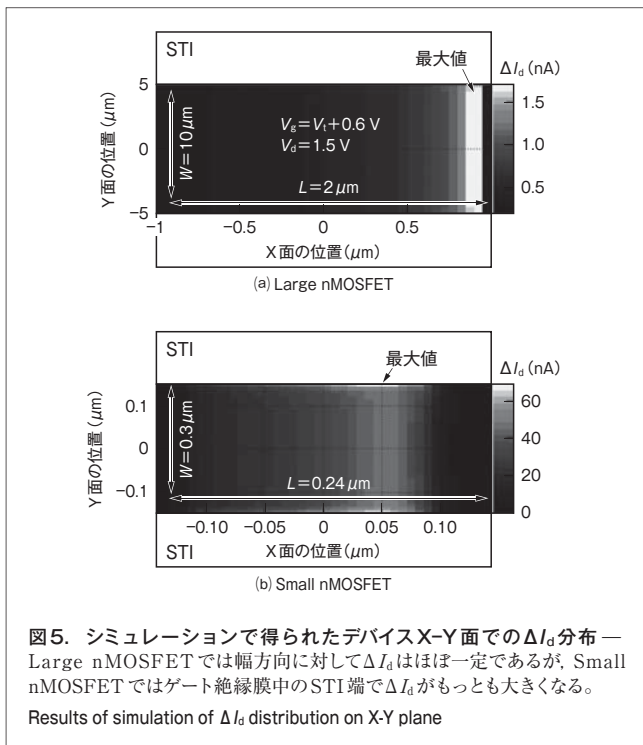
層電荷密度が低いチャネル領域上のトラップサイトは、トラップ電荷による影響が相対的に大きくなるため ΔI_d が大きくなる。飽和領域では、ドレイン端に近づくに従い反転層電荷密度が低下するため、ドレイン端近傍で ΔI_d がもっとも大きくなる。一方、線形領域では、チャネル上で反転層電荷密度が一樣であるため、ほぼ一定の ΔI_d となる。

開発したシミュレータは、これまで述べたように、バイアス条件やトラップサイトの位置に応じたノイズ強度計算を行うため、より実デバイスに近い高精度なシミュレーションが可能である。

3 3次元トラップサイト分布解析

プロセス改善によってRTNを低減させるためには、トラップサイトの絶縁膜中の分布情報を得ることが非常に重要である。そこでトラップサイトの3次元分布解析を行うために、サイズの異なる2種類のデバイスを用いて評価した。ここでは、一方をLarge nMOSFET (長さ $L=2\mu\text{m}$, 幅 $W=10\mu\text{m}$, 厚さ $T_{\text{ox}}=4\text{nm}$), もう一方をSmall nMOSFET ($L=0.24\mu\text{m}$, $W=0.3\mu\text{m}$, $T_{\text{ox}}=4\text{nm}$) と呼ぶ。

シミュレーションによって得られたそれぞれのデバイスの ΔI_d 分布を図5に示す。Large nMOSFETでは、 W 方向に対して ΔI_d はほぼ一定である。一方、Small nMOSFETでは、ゲート絶縁膜中のSTI (Shallow Trench Isolation) 端において ΔI_d がもっとも大きくなっている。これはSTI端での電界集中によって高い密度の電流パスが形成され、その電流パス上にトラップ電荷がある場合に ΔI_d が大きくなるためである。Large

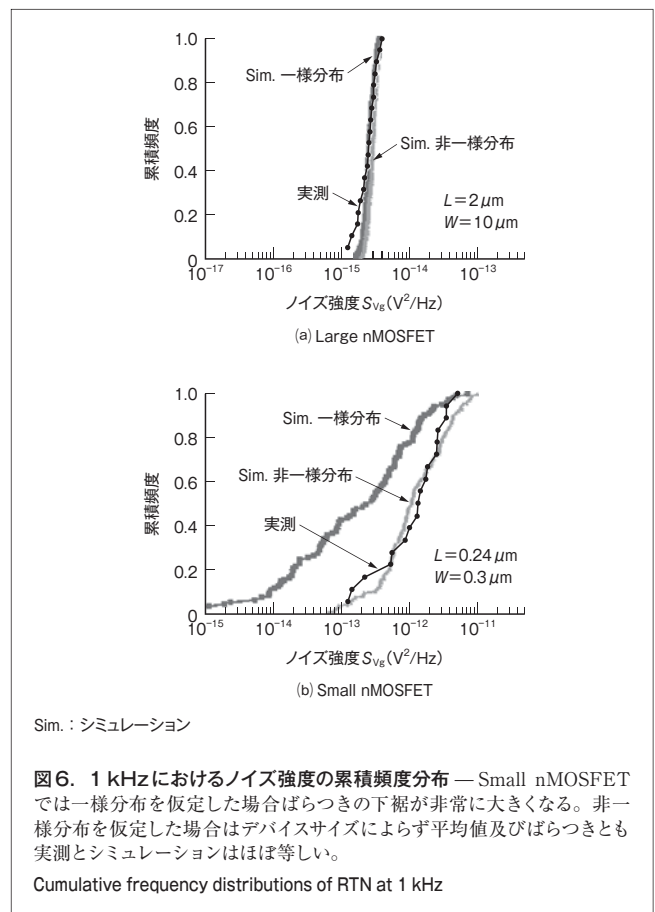


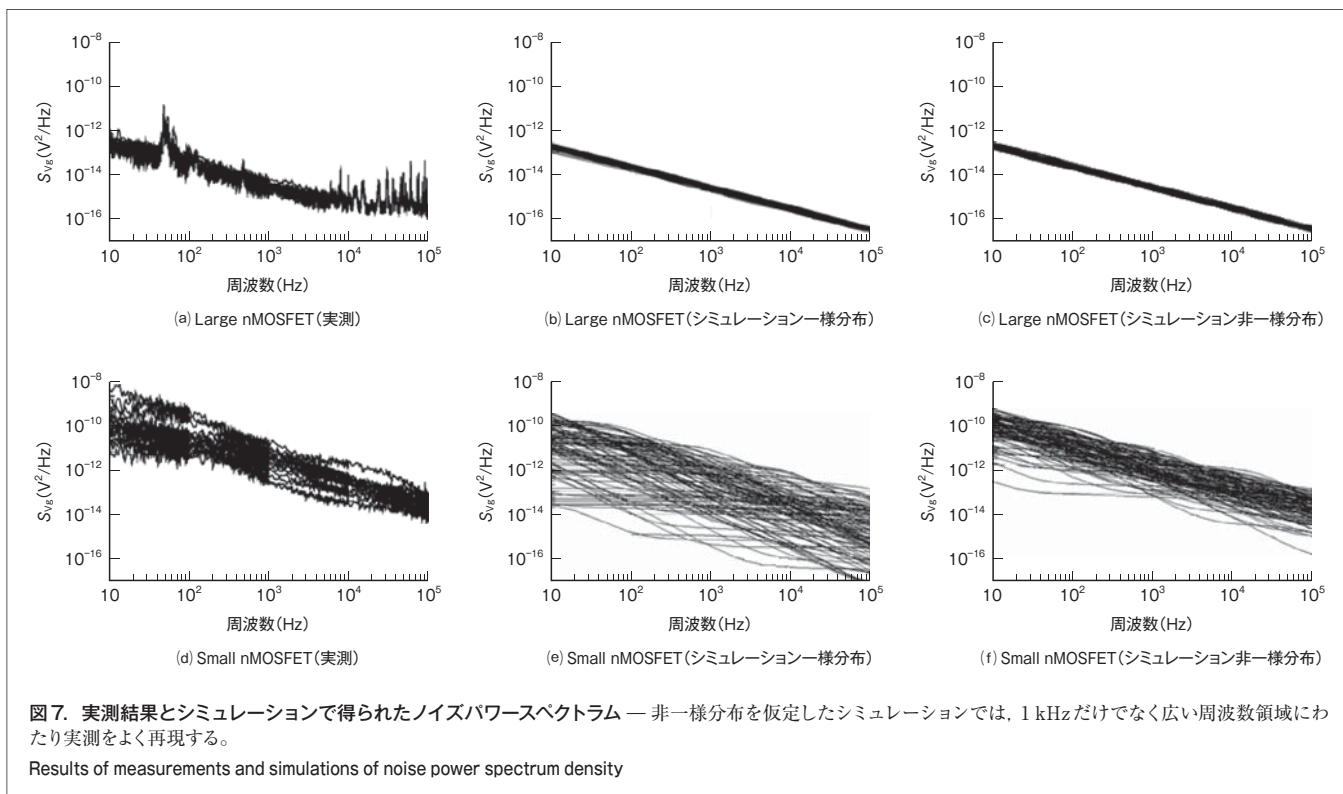
nMOSFETでは、STI端での電流量が全体の電流量に比べ無視できるほど小さいため、電界集中の効果が小さくなる。

実測とシミュレーションによって得られた、1 kHzにおけるノイズ強度の累積頻度分布を図6に示す。トラップサイト分布が実空間上 (トラップサイト密度 $N_t=1\times 10^{17}\text{cm}^{-3}\text{eV}^{-1}$) 及びエネルギー空間上に一樣分布であると仮定してシミュレーションした場合、Large nMOSFETでは平均値とばらつきはともに実測とほぼ等しい。一方、Small nMOSFETではばらつきの下裾が非常に大きくなってしまふ。これは実測に比べノイズに寄与するトラップサイトの数が非常に少ない試料が多数生じたためと考えられる。

そこでこれらのサイズ依存性を説明するために、当社は非一樣なトラップサイト分布を仮定した。ゲート絶縁膜中のSTI端 (30 nm) の領域は高いトラップサイト密度 ($N_t=1\times 10^{18}\text{cm}^{-3}\text{eV}^{-1}$) とし、他の部分は一樣分布 ($N_t=1\times 10^{17}\text{cm}^{-3}\text{eV}^{-1}$) を仮定した。非一樣分布を仮定した場合、平均値とばらつきはともに両方のサイズのnMOSFETで実測とよく一致した。

実測結果とシミュレーションで得られたノイズパワースペクトラムを図7に示す。非一樣分布を仮定したシミュレーションでは、1 kHzだけではなく広い周波数領域にわたり、実測をよく再現している。周波数分布はチャネル面に垂直方向のトラップサイト分布に対応する。したがってチャネル垂直方向のト





ラップサイト分布は、シミュレーションで仮定した一様分布と予測できる。これらの結果から、実測したデバイスではチャンネル垂直方向には一様で、STI端には高密度にトラップサイトが分布していると考えられる。得られたトラップサイトの3次元分布は、STI端の高いトラップサイト密度を下げる、及びSTI端での電界集中を抑制することがノイズ低減のためには非常に有効であることを示している。

4 あとがき

RTNの低減を含めたデバイス開発の効率化を目的としてRTNシミュレータを開発した。この活用例として、トラップサイトの3次元分布を抽出し、シミュレーションと実測を比較することでゲート絶縁膜中のSTI端に高密度なトラップサイトが存在し、これを抑制することでRTNを低減できることを示した。

今後はトラップサイト分布やノイズ強度について更に詳細な研究を行い、シミュレータの早期実用化を目指す。この技術を実用化することで、デバイスを試作することなくノイズの低減方法を検討できるようになり、開発期間を約20%短縮できると見込んでいる。

文献

(1) Higashi, Y. et al. "Comprehensive understanding of random telegraph noise with physics based simulation". 2011 symposium on VLSI Technology and Circuits. Kyoto, Japan, 2011-06, IEEE Electron Devices Society et al. 2011, p.200 - 201.

(2) Matsuzawa, K. et al. "Simulation of noise characteristics caused by discretized traps in MOSFETs". 2003 International Conference on Simulation of Semiconductor Processes and Devices. Cambridge, Massachusetts, USA, 2003-09, IEEE Electron Devices Society. 2003, p.83 - 86.

(3) Christensson, S. et al. Low frequency noise in MOS transistors-I Theory. Solid-State Electronics. 11, 9, 1968, p.797 - 812.

(4) Hung, K. K. et al. Unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors. IEEE Transactions on Electron Devices. 37, 3, 1990, p.654 - 665.



東 悠介 HIGASHI Yusuke

研究開発センター LSI 基盤技術ラボラトリー。
TCADシミュレーションを用いたデバイスの信頼性研究に従事。
Advanced LSI Technology Lab.



百々 信幸 MOMO Nobuyuki

セミコンダクター & ストレージ社 半導体研究開発センター
新規デバイス技術開発部。アナログデバイスの開発に従事。
Center for Semiconductor Research & Development



大黒 達也 OHGURO Tatsuya

セミコンダクター & ストレージ社 半導体研究開発センター
新規デバイス技術開発部主査。アナログデバイスの開発に従事。
Center for Semiconductor Research & Development