

光ナノインプリント リソグラフィ技術

UV Nanoimprint Lithography Technology

中杉 哲郎

■NAKASUGI Tetsuro

河野 拓也

■KONO Takuya

米田 郁男

■YONEDA Ikuo

近年、半導体デバイスに対する微細化及び低コスト化の要求はますます高まっている。“光ナノインプリント リソグラフィ技術”は、こうした市場の要求に応えられる可能性を持った技術である。

東芝は、次世代リソグラフィ技術の一つとして、光ナノインプリント リソグラフィ技術の半導体デバイスへの応用を研究している。この技術は、20 nm以下のレジストパターンを形成でき、パターンのエッジラフネスも2 nm程度と、優れたパターン品質を実現できることが確認されている。また、下地となるウェーハとの重ね合わせ精度(平均+3σ)も、15 nm以下とすることができ、課題となっている欠陥の低減と生産性の向上という二律背反の課題を克服できれば、半導体デバイスの製造に適用することが可能であり、更に、曲がるディスプレイやウェアラブル(着る)デバイスなどのフレキシブルな電子デバイスへの適用範囲の拡大など、将来発展する可能性を持つ技術である。

Demand for reduction of the feature sizes and manufacturing costs of semiconductor devices has been increasing in recent years. Ultraviolet (UV) nanoimprint lithography technology has been attracting considerable attention as a candidate next-generation lithography technology to solve these issues.

Toshiba is engaged in research targeted at the application of UV nanoimprint lithography technology to semiconductor devices. We have confirmed that UV nanoimprint lithography technology can form high-quality resist patterns with a resolution exceeding 20 nm and a line-edge roughness of about 2 nm, while achieving an overlay accuracy exceeding 15 nm (average +3σ). This technology has the potential to become a future solution for the manufacturing of semiconductor devices such as flexible devices, by overcoming the trade-off between the reduction of defects and improvement of throughput.

1 まえがき

現在、半導体デバイスの量産に用いられている光リソグラフィ技術は、露光光の短波長化と高NA (Numerical Aperture: 開口数) 化を推進することで、レジストパターンの限界解像力を40 nm程度まで延ばしてきた。しかし近年、メモリやロジック製品など半導体デバイスへの微細化要求は、更に高まっている。この限界を打破するためにダブルパターンニング技術やEUV (Extreme Ultraviolet) リソグラフィ技術の開発が進められているが、生産コストの上昇や、レジストなど材料開発の困難さといった課題に直面している。

ナノインプリントリソグラフィ(以下、ナノインプリントと略記)技術は、ナノスケールのスタンプを使った押印(インプリント)技術である。1995年にプリンストン大学のChou教授が、熱ナノインプリントで10 nmのレジストパターンを転写⁽¹⁾したことを、また、2000年にはテキサス大学のWillson教授らが、半導体デバイスに適用可能な光ナノインプリント技術⁽²⁾を報告している。更に、2003年以降、ITRS (国際半導体技術ロードマップ)の中のリソグラフィロードマップ⁽³⁾で、次世代リソグラフィ技術としてナノインプリントが登場するようになり、半導体プロセスへ応用するための検討が本格化した。ナノインプリントの特長は、解像力とパターン品質の高さ、そして装置を低コスト

化できる点である。

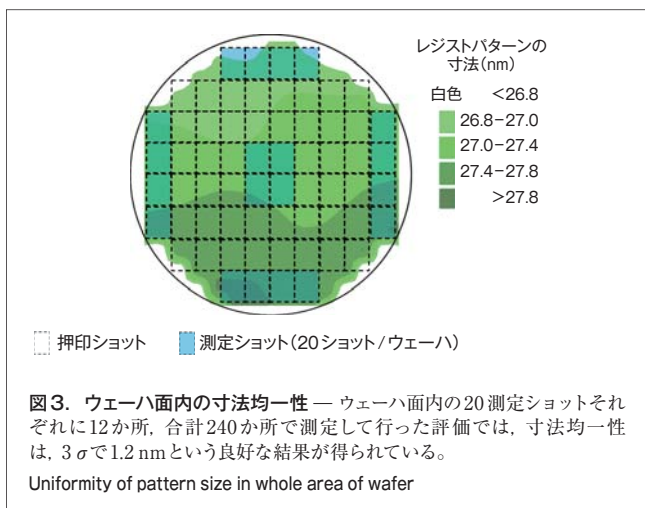
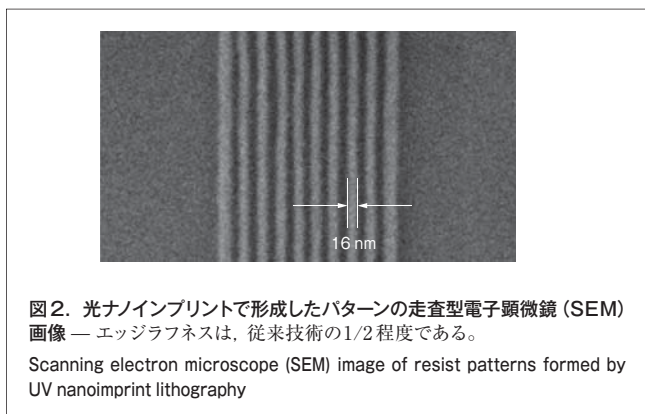
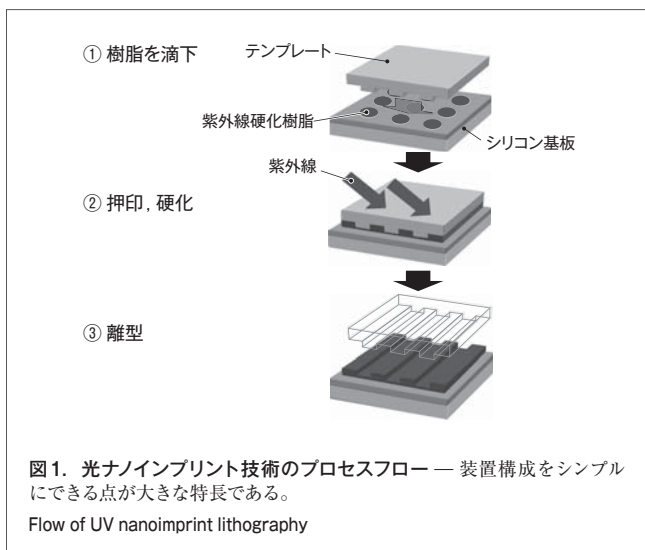
東芝は、2007年から、半導体デバイス分野における光ナノインプリント技術の開発を進めてきた。ここでは、パターンの解像性や寸法の均一性、及び重ね合わせ精度など光ナノインプリントの基本的な性能と、半導体デバイスへの適用の可能性について述べる。

2 光ナノインプリントの概要

光ナノインプリント技術のプロセスフローを図1に示す。

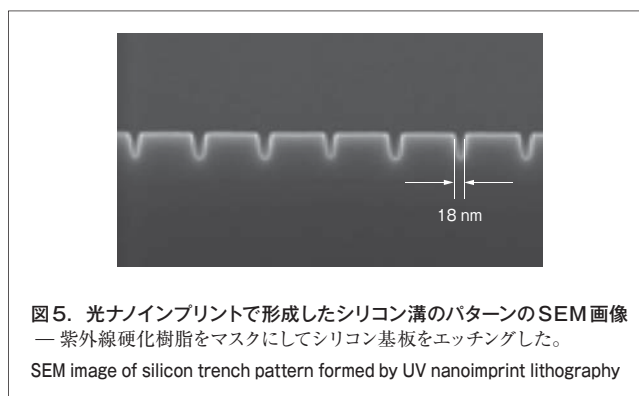
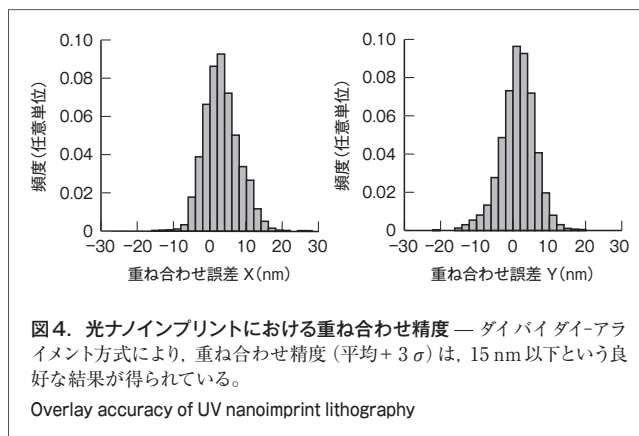
まず、シリコン基板上に紫外線硬化樹脂を滴下し、その上に“テンプレート”と呼ばれる透明の型を押し当てて紫外線を照射し、紫外線硬化樹脂を硬化させた後、離型(型を剥がす)することでパターンを形成する。光ナノインプリントは、光リソグラフィ技術やEUVリソグラフィ技術で採用されている縮小転写技術ではなく、テンプレートを等倍転写する技術である。したがって、その基本的なリソグラフィ性能は、テンプレートの品質に負うところが大きい。

光ナノインプリントによるパターン転写例を図2に示す⁽⁴⁾。これまでに、線幅16 nmでエッジラフネスは約2 nmのレジストパターンを得ることができている。テンプレートのエッジラフネスも同程度であり、テンプレートの形状をそのまま転写する



という、ナノインプリントの特徴をよく示している。線幅28 nmのレジストパターンにおけるウェーハ面内の寸法均一性を評価した結果を図3に示す⁽⁴⁾。ウェーハ面内の寸法均一性は 3σ で1.2 nmと、現像プロセスがないナノインプリントでは、非常に高精度なパターン転写が可能なのがある。

半導体デバイスへ適用するには、下地となるウェーハとの重



ね合わせ精度が重要になる。光ナノインプリントにおける重ね合わせ精度を図4に示す⁽⁴⁾。ここでは、フッ化アルゴン (ArF) レーザを用いた光露光装置で作成した下地ウェーハに対し、押印した場合の重ね合わせ精度を評価した。従来、ナノインプリントでは、重ね合わせ精度が半導体デバイスへ適用するうえでの課題とされてきたが、今回、重ね合わせ精度 (平均+ 3σ) は15 nm以下という良好な結果が得られている。これは、テンプレートの作成に用いる電子ビーム描画装置のパターン位置精度の向上によるところが大きい。

光ナノインプリントで形成した微細なシリコン溝の例を図5に示す。紫外線硬化樹脂をマスクにしてシリコン基板をエッチングした。最小寸法18 nmのトレンチパターンが得られており、先端半導体デバイスの研究開発には十分な性能である⁽⁵⁾。

3 光ナノインプリントの適用可能性

3.1 半導体デバイスへの適用可能性

光ナノインプリントを半導体デバイスに適用するための最大の課題は、欠陥の低減である。光ナノインプリントにおける欠陥は、それが接触プロセスであり、等倍転写であることに起因して発生する。図6に示すように、泡欠陥、離型欠陥、及びテンプレート欠陥に大別される。

泡欠陥は、テンプレートとウェーハの間に発生する気泡であ

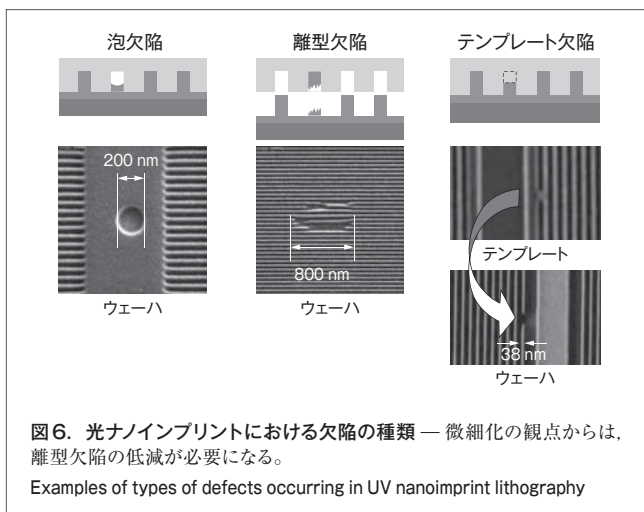


図6. 光ナノインプリントにおける欠陥の種類 — 微細化の観点からは、離型欠陥の低減が必要になる。
Examples of types of defects occurring in UV nanoimprint lithography

り、樹脂の充填が不十分のまま紫外線による硬化を行うとパターンに気泡が残り発生する⁽⁶⁾。離型欠陥は、パターンが微細化されるにつれてレジストパターンの強度が劣化するため、より本質的な欠陥である。これらの欠陥は、処理速度とトレードオフの関係にある。例えば、処理能力を優先して早く離型すれば、離型欠陥の発生確率が高まることから、半導体デバイスの量産に適用するためには、欠陥の低減と処理能力の向上という二律背反を克服する技術が必要になる⁽⁷⁾。

一方、テンプレート欠陥は、テンプレート作成時に生じたものと、ウェーハ上の異物によって押印時に発生したものに分けられる。前者の改善にはテンプレートの検査及び修正技術が鍵となり、後者の改善にはウェーハ上の異物を除去する技術が不可欠となる。

これらの課題を解決すれば、光ナノインプリントを半導体デバイスの製造に適用可能と考える。

3.2 フレキシブルな電子デバイスへの適用可能性

ニッケル (Ni) モールドを用いたロール転写式光ナノインプリントによるパターンの転写例を図7に示す⁽⁸⁾。フレキシブル

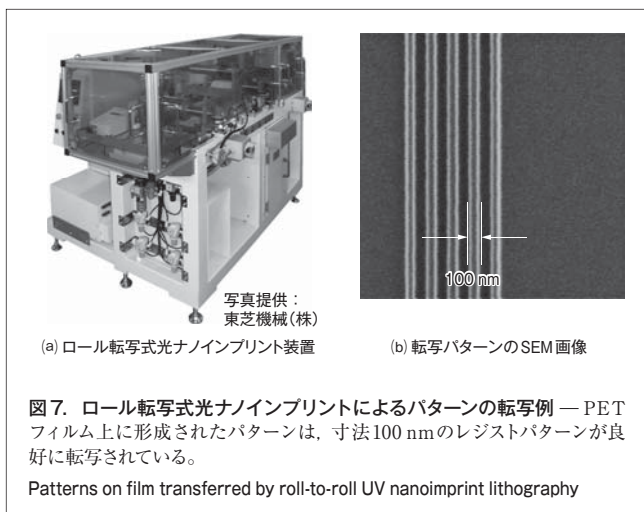


図7. ロール転写式光ナノインプリントによるパターンの転写例 — PETフィルム上に形成されたパターンは、寸法100 nmのレジストパターンが良好に転写されている。
Patterns on film transferred by roll-to-roll UV nanoimprint lithography

なPET (Polyethylene-terephthalate) フィルム上に、寸法100 nmのレジストパターンが良好に転写されているのがわかる。

4 あとがき

光ナノインプリント技術は、高品質の微細パターンを比較的容易に形成可能であり、現時点でも、先端半導体デバイスの研究開発に十分な性能を備えている。一方、そのパターンの品質や重ね合わせ精度の良否はテンプレートの性能に大きく依存し、テンプレートに関する技術開発の進展が期待される。

今後、半導体デバイスの量産に適用するためには、欠陥の低減と処理能力の向上という二律背反の課題を克服する必要があるが、フレキシブルな電子デバイスをはじめとする適用範囲の拡大など、将来発展する可能性を持つ技術と言える。

文献

- (1) Chou, S. Y. et al. Sub-10nm imprint lithography and applications. J. Vac. Sci. Technol. **B15**, 1997, p.2897 - 2904.
- (2) Baiely, T. et al. Step and flash imprint lithography: Template surface treatment and defect analysis. J. Vac. Sci. Technol. **B18**, 2000, p.3572 - 3577.
- (3) ITRS. "LITHOGRAPHY". ITRS 2009 Edition. p.12. <http://www.itrs.net/Links/2009ITRS/2009Chapters_2009Tables/2009_Litho.pdf>, (accessed 2012-03-01).
- (4) Higashiki, T. et al. Nanoimprint Lithography for Semiconductor Devices and Future Patterning Innovation. Proc. SPIE. **7970**, 9, 2011, p.797003.1 - 797003.6.
- (5) 電子ジャーナル編集部. "CMOSプロセスへのナノインプリント技術の適用". 2009ナノインプリント技術大全. 東京, 電子ジャーナル, 2009, p.164 - 165.
- (6) Yoneda, I. et al. A study of filling process for UV nanoimprint lithography using a fluid simulation. Proc. SPIE. **7271**, 2, 2009, p.72712A-1 - 72712A-7.
- (7) Sreenivasan, S. V. et al. Critical dimension control, overlay, and throughput budgets in UV nanoimprint stepper technology. American Society for Precision Engineering. <http://www.aspe.net/publications/Spring_2008/Spr08Ab/2601-Sreenivasan.pdf>, (accessed 2012-03-01).
- (8) Inanami, R. et al. Sub-100 nm pattern formation by Roll-to-Roll nanoimprint lithography. Proc. SPIE. 2012, accepted for publication.



中杉 哲郎 NAKASUGI Tetsuro, D.Eng.

研究開発センター デバイスプロセス開発センターグループ長、工博。先端リソグラフィ技術の開発に従事。応用物理学学会会員。

Device Process Development Center



河野 拓也 KONO Takuya

研究開発センター デバイスプロセス開発センター主任研究員。先端リソグラフィ技術の開発に従事。

Device Process Development Center



米田 郁男 YONEDA Ikuo

研究開発センター デバイスプロセス開発センター研究主務。先端リソグラフィ技術の開発に従事。

Device Process Development Center