

半導体デバイスの微細化を実現する EUVリソグラフィ技術

Extreme Ultraviolet Lithography Technologies Realizing Semiconductor Device Pattern Shrinkage

姜 帥現 井上 壮一

■ KYOH Suigen ■ INOUE Soichi

半導体デバイスの微細化を実現する有望な技術として、極端紫外光 (EUV: Extreme Ultraviolet) でパターン転写を行う EUVリソグラフィ技術が提案されている。この技術は、従来のリソグラフィで用いられていた光の1/10以下の波長13.5 nmを使うことで解像度が飛躍的に向上し、ハーフピッチ (hp) 22 nmの解像が可能になるが、多くの技術課題がある。

東芝は、それらの難度の高い課題を克服するため、業界の英知を結集したコンソーシアムやアライアンスに参画してEUVリソグラフィ技術の量産適用に向けた開発に貢献した。反射型ミラーで構成し従来システムと同等の露光エリアを持つ露光システムや、hp 15 nmのパターン分離が可能なレジスト、マスクの構造最適化とその位相欠陥検査システムなど多くの成果を達成するとともに、これらの新規技術を統合してデバイスの試作を行い、量産に適用できるポテンシャルを備えていることを実証した。

Extreme ultraviolet (EUV) lithography holds promise as a means of promoting the further shrinkage of semiconductor devices. The wavelength of 13.5 nm used by EUV lithography, which is less than one-tenth that used by conventional lithography technologies, leads to extremely high resolution allowing 22 nm half-pitch patterns to be resolved, but still has remaining technological issues.

In order to overcome such challenges, Toshiba has been contributing to efforts to accelerate the development of EUV lithography technologies for high-volume manufacturing by participating in the EUV consortium and alliance. As a result, we have developed an EUV exposure system equipped with a reflective mirror that can expose the same area as conventional systems, high-resolution resists of 15 nm half-pitch modulation, and a mask inspection system to detect mask phase defects, and have confirmed the effectiveness of these new technologies. Experiments on prototype dies of 28 nm half-pitch pattern manufactured by this system have verified that its performance is sufficient for practical application to high-volume manufacturing.

1 まえがき

半導体デバイスの高性能化と低コスト化は、それらを構成する回路を微細化することで実現されてきた。また、微細化には、露光光の短波長化などによるリソグラフィの解像力向上が大きく寄与している。極端紫外光 (EUV: Extreme Ultraviolet) リソグラフィは、現在実用されている波長193 nmのArF (フッ化アルゴン) エキシマレーザ光に対して1/10以下の波長13.5 nmを使用しており、解像力を飛躍的に向上させる次世代以降の技術として有望視されている。

その基礎・インフラ技術開発ではハーフピッチ (hp) 32 ~ 22 nmを目指し、EUVリソグラフィ技術は民間企業11社の出資によるコンソーシアム (株)半導体先端テクノロジーズ (Selete: セリート) が、また、EUVマスク技術はSelete及び独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) のプロジェクトであるMIRAI (Millennium Research for Advanced Information Technology) が開発をけん引した。Seleteは2011年に終了し、hp 16 ~ 11 nmを目指した新規のコンソーシアムとして (株)EUVL基盤開発センター (EIDEC) が設立され、研究の一部が引き継がれている。

EIDECは、経済産業省とNEDOによる支援の下、海外有

力企業を含めた16社が参画しており、東芝は、設立の中心的役割を担った。更に当社は、IBM社との先端ロジックLSI開発のアライアンスの一環としてEUVリソグラフィ技術の開発プログラムに参画し、その成果を取り込んだ。

ここでは、これらのコンソーシアム及びアライアンスにおける活動を含め、EUVリソグラフィ技術の総合的な開発状況について述べる。

2 EUV露光システム

EUV露光システムの構成を図1に示す⁽¹⁾。システムの構成要素は次のとおりである。

レーザ励起型プラズマ光源では高エネルギーのYAGレーザ^(注1)をXe (キセノン) ガスに照射してXeプラズマを発生させ、その遷移放射により、波長13.5 nm近傍にピークがある高強度のEUVを効率よく発生させることができる。照明光学系は、光源で発生したEUVを均一化し、マスクに照射する。マスクには回路パターンが描かれており、投影光学系を介してウェーハ上に転写される。EUVは大気中で減衰してしまうた

(注1) イットリウム (Y), アルミニウム (Al), ガーネット (G) を用いた固体レーザ。

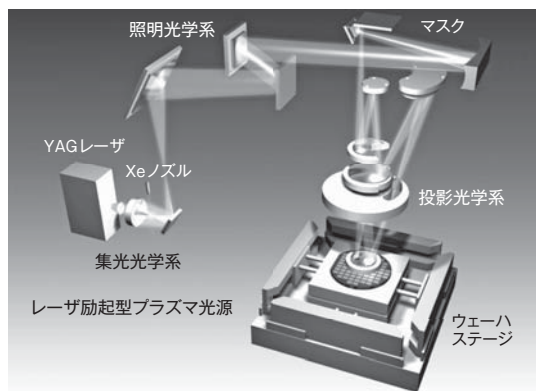


図1. EUV露光システムの構成 — 光学系は全て反射型ミラーで構成され、光源、マスク、ウェーハなどは全て真空容器に格納される。
Configuration of EUV exposure system

め、これらのシステムは全て真空容器に格納される。また、EUVに対して透明な物質が存在しないため、EUVはレンズを透過することができない。そのため、マスクを含め光学系には全て反射型のミラーが使用される。

Seleteでは(株)ニコン製のEUV露光システムEUV1を用いた開発が行われてきた⁽²⁾。EUV1は、開口数(NA)が0.25、照明の大きさを表す指標である照明 σ が0.8の光学系を備え、スキャン露光を行うことで、従来の露光システムと等しい26×33mmのエリアを露光することができる。液浸露光システムでは形成不可能なhp 32 nmパターンを、EUV1を用いて解像できることを確認し、EUVリソグラフィにおいても高精度なパターンニングが可能であることを立証した。更に、変形照明の一種であるダイポール照明を適用すると、hp 22 nmのパターンを解像でき、hp 18 nmのパターンを分離できることが確認できた(図2)⁽³⁾。EUVリソグラフィによりhp 20 nm台、更には10 nm台のパターンニングを実証することで、将来の拡張性を示した重要な結果である。

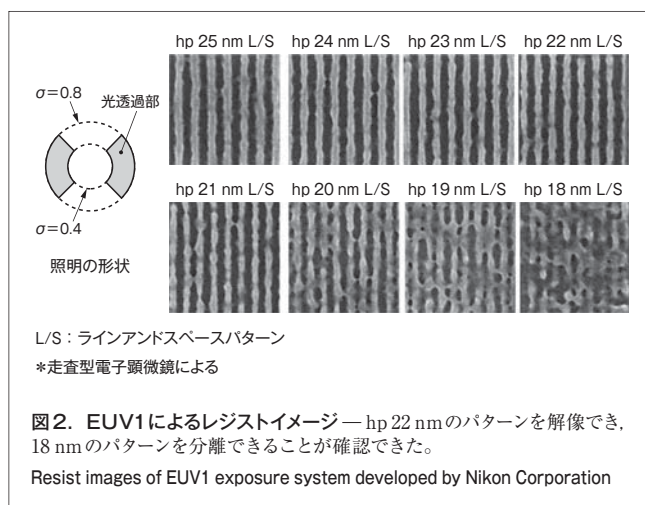


図2. EUV1によるレジストイメージ — hp 22 nmのパターンを解像でき、18 nmのパターンを分離できることが確認できた。
Resist images of EUV1 exposure system developed by Nikon Corporation

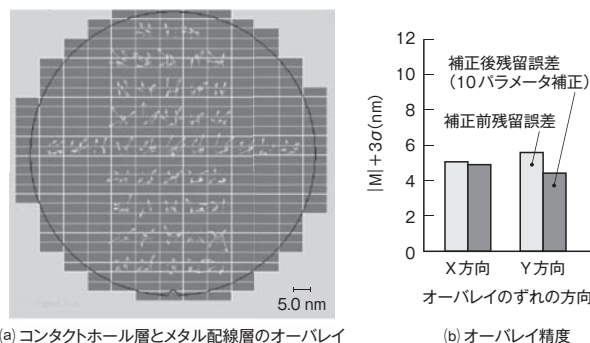


図3. EUV露光と液浸露光のオーバーレイ — 異なるシステム間のオーバーレイで5.6 nmの精度を達成した。
Overlay accuracy of EUV exposure system with immersion exposure tool

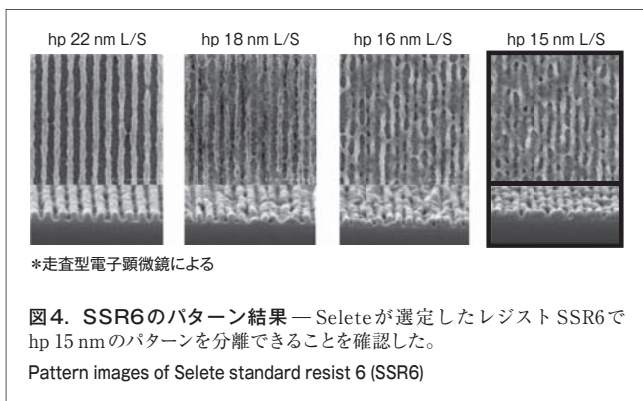
デバイスを作成するためには、パターンの形成とともに、下地パターンと露光パターンの位置合わせを行うオーバーレイ機能が必要になる。フルフィールド露光システムはオーバーレイ機能を備えており、Selete及びANT (Albany Nano-Technology)において機能確認と精度向上がなされた。EUV1を用いてオーバーレイ露光を行ったところ、4.5 nmの精度を達成した⁽⁴⁾。ANTではASML社製Alpha Demo Toolを用いて、液浸露光システムXT1950iとの異なる装置間のオーバーレイで5.6 nmの精度を達成した(図3)⁽⁵⁾。これらの結果からEUV露光システムは、メモリデバイスではhp 20 nm世代以降、ロジックデバイスでは14 nm世代以降で要求される性能を達成していることが立証された。

3 EUVレジスト

EUVリソグラフィで形成するパターンはhp 30 nm台以下と微細であるため、レジスト及びレジストプロセスにも多くの技術課題が存在する。レジスト開発の主要な技術課題としては、解像力の向上、高感度化、及びラフネス低減が挙げられる。これらの技術課題は互いにトレードオフの関係にあり、全てを同時に性能向上させるためには、レジスト材料自体の研究など基本に立ち返った開発が必要になる。また、レジストプロセス開発の課題としては、微細化に伴うパターン倒れの低減などが挙げられる。

当社は、これらの技術課題に取り組み先進的な成果を出した。Seleteではレジスト開発にNAが0.3、照明 σ が0.7の小領域露光システム(SFET: Small Field Exposure Tool)を使用した。解像力を決めるNAがフルフィールド露光システムより高く、レジストの限界性能を評価するのに適している。

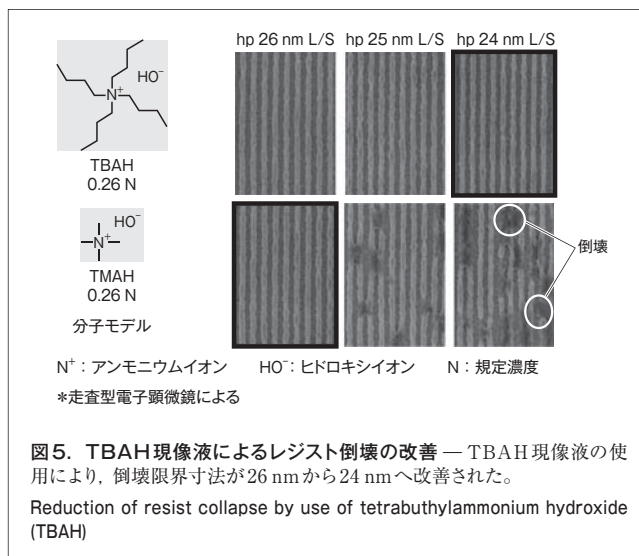
レジスト性能の向上に合わせて、Seleteでは一定の基準に達したレジストを標準レジスト(SSR: Selete Standard Resist)



として選定してきた⁽⁶⁾。2010年に選定された6番目の標準レジストであるSSR6のパターン結果を図4に示す。hp 22 nmのパターンではデバイス開発が可能になるパターン解像が確認でき、更に微細なhp 15 nmのパターンでは、光強度がコントラストを持つことを示すパターン分離を15 mJ/cm²の感度で確認できた。2007年時点での標準的なレジストSSR2では、hp 28 nmの解像が17 mJ/cm²の感度であった。解像力とレジスト感度はトレードオフの関係にあるが、レジストの材料設計から見直すことで、解像度と感度の両方を同時に向上させることに成功した。パターンラフネスもSSR2では10.3 nmであったのに対し、SSR6では5.7 nmと改善している。3年の開発期間で、解像度、感度、及びラフネスの全てにおいて大きな改善を得ることができた。hp 30 nm台のデバイスに適用するにあたって、解像力は必要条件を満たした。感度及びラフネスの目標値をそれぞれ10 mJ/cm²、4.5 nmとすると、更なる改善が必要になる。EIDECでは、hp 16 nm以下のパターンの解像を実用的な感度で実現することを目指して開発を行っている。

パターンの微細化でレジストと基板との接触面積が小さくなり、レジストの倒壊が大きな問題となる。レジストの倒壊を改善するために、現像液、リンスプロセス、及び密着膜の採用などが検討された。特に、現像液にTBAH (Tetrabutylammonium Hydroxide) 溶液を使用すると、倒壊限界寸法がhp 26 nmから24 nmへと大きく改善されることを世界で初めて^(注2) 確認した(図5)⁽⁷⁾。レジストが倒壊するメカニズムは、現像中に現像液がレジストの中に入り込んで膨潤を起こすためと考えられている。hp 20 nmのパターンを形成しようとする場合、膨潤量が10 nmを超すと近接するパターンどうしが接触してしまう。接触が起きるとパターン間で引力が発生し、パターンの倒壊に至る。TBAHは従来のTMAH (Tetramethylammonium Hydroxide) と比較して分子サイズが大きいので、レジスト中に侵入しにくいことが予想される。したがってレジストの膨潤量も抑制され、現像中に近接パターンで接触が発生しなくなる。この研究によりレジスト倒壊のメカニズムが推

(注2) 2009年10月時点、当社調べ。



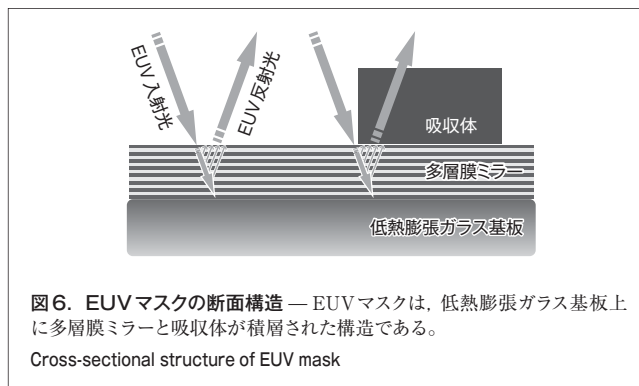
定され、対策としてTBAHという新規材料を適用することで大きな改善効果を得ることができた。更に微細化が進むと、この例のように、レジスト及びレジストプロセスに関する深い知見と洞察がますます重要になると思われる。

4 EUVマスクと位相欠陥検査システム

2章で述べたようにEUVに対して透明な物質がないため、EUVマスクも反射型の構成となる。EUVマスクの基本的な構造を図6に示す。EUVを効率よく反射するために、モリブデン (Mo) とシリコン (Si) の積層からなる多層膜ミラーが低熱膨張ガラス基板上に形成され、その上に吸収体が転写したいデバイスパターンが形成される。

EUVマスクに関する技術開発でも、当社はSeleteで大きな成果を上げた。主な成果として、EUVマスクの構造決定と位相欠陥検査システムの二つについて次に述べる。

図6に示したように、EUVはマスクに斜めに入射し、同様に斜めに反射する。吸収体が厚いと入出射の際に光が遮られ、これをシャドウイング (Shadowing) と呼ぶ。シャドウイングの影響はパターンのサイズ及び向きに依存する。シャドウイング



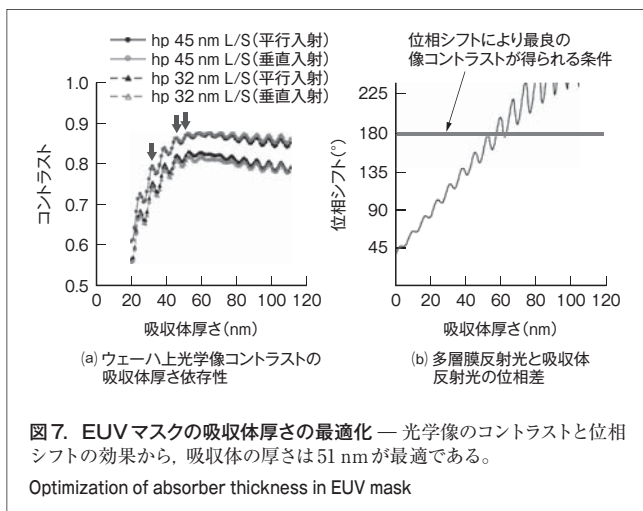


図7. EUVマスクの吸収体厚さの最適化 — 光学像のコントラストと位相シフトの効果から、吸収体の厚さは51 nmが最適である。
Optimization of absorber thickness in EUV mask

効果を補償するためにはパターンの補正が必要になり、マスク製造プロセスが複雑になる。吸収体を薄くすればシャドウイング効果を低減できるが、遮光性能が低くなり、コントラストが劣化する。これらのトレードオフを考慮し吸収体の最適化を行った⁽⁸⁾。

最適化の結果を図7に示す。図7(a)は吸収体の厚さを変化させたときのコントラストの変化である。吸収体の厚さが40 nmよりも薄くなると、吸収体からの漏れ光の影響で急激にコントラストが劣化する。40 nm以上の厚さでは50 ~ 60 nmで最大のコントラストとなり、それ以上の厚さでは微減する。これはシャドウイングの効果によると思われる。微視的なコントラストの変化は、多層膜ミラーで反射されたEUVと吸収体表面で反射されたEUVとの干渉により生じる。図7(b)に示すように、厚さ51 nmでそれぞれの反射光の位相差が180°となり、コントラストが最大になることがわかった。この吸収体の厚さの最適化結果は、EUVマスクの標準的な構造となっている。

EUVマスクでも、欠陥を低減し、最終的に無欠陥マスクを製造することが要求される。そのために、EUVマスクの位相欠陥を高精度に検出するシステムが必要になる。位相欠陥とは、多層膜ミラー中に異物が混入したことによって生じる欠陥である。多層膜ミラーはMo層とSi層とを交互に、一般には各40層を積層して形成している。従来のDUV (Deep Ultraviolet: 深紫外光) によって位相欠陥の検査を行うと、検査光が多層膜ミラーの表面数層しか侵入しないため、深い位置にある欠陥は検出できない。

そこでSeleteではブランクスと呼ぶパターンが形成される前のマスク基板を、EUVをプローブとし、多層膜ミラーの深い位置まで検査できるアクティクブランクス検査システムを開発した⁽⁹⁾。検査システムの構成を図8に示す。位相欠陥があると垂直に入射したEUVが散乱され、シュバルツシルド光学系によりCCD (Charge Coupled Device) へ導入される。シュバルツシルド光学系は26倍の拡大率であり、微小な位相欠陥

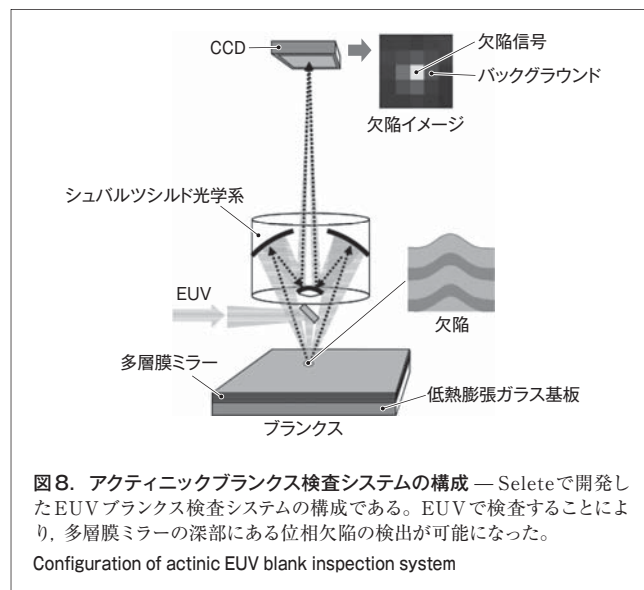


図8. アクティクブランクス検査システムの構成 — Seleteが開発したEUVブランクス検査システムの構成である。EUVで検査することにより、多層膜ミラーの深部にある位相欠陥の検出が可能になった。
Configuration of actinic EUV blank inspection system

を検出できる。CCDは受光素子が2次元的に配置されており、マスク上の領域0.5×0.5 mmの画像を一括で取得し、位相欠陥の有無を検出できる。6インチマスクのブランクス検査領域は140×140 mmの範囲であるため、画像の取得とブランクス移動を同期して行うTime Delay and Inspection方式が取られた。微小な位相欠陥により発生する信号は微弱であるため、CCD固有の熱電子ノイズと位相欠陥信号の分離が難しい。微小な位相欠陥を検出するためには、画像取得の時間を長くすることによりS/N比 (信号と雑音の比) を上げる必要がある。ただし、検査のトータル時間が長くなるためコストが増大する。Seleteでは、CCDの改良と画像取得時間の最適化を行い、世界最高レベルの検出感度である高さ1.5 nm、幅40 nmの欠陥の検出を検査時間4.75時間で達成した。更なる検出感度の向上と検査時間の短縮を目指し、EIDECで引き続き研究開発が行われている⁽¹⁰⁾。

5 EUVによるデバイス試作

前章まではEUVリソグラフィの要素技術における研究開発成果について述べてきた。ここでは、それらの成果を利用してデバイスの試作を行った結果について述べる。

当社とSeleteは、2008年から共同でPL-TEG (Process Level-Test Element Grid) の開発を行ってきた⁽¹¹⁾。PL-TEGは、半導体デバイスの作成フローを部分的に抽出し、抽出されたフロー内で良品かどうかを判定できるように設計されている。部分的なフローだけに注目するため、簡便にかつ短時間で評価が可能であり、問題点の特定も容易に行うことができる。今回作成したPL-TEGはメタル配線層を模しており、EUVリソグラフィを行った後、エッチング、メタルデポジション、化学機械研磨を行う。良品かどうかの判定は、メタル配線の抵

抗値を計測し、配線中に断線が存在しないこと及び短絡がないことを基準に良否判定して、良品の比率を歩留りとして集計する。PL-TEGには様々なパターンサイズの評価ユニットが入っており、hp 30 nm台以下の微小なパターンサイズの歩留りを比較することで、そのプロセスの実力を推測できる。

2008～2011年における歩留りの推移を図9に示す。2008年の開発開始当初は、良品が取得できた最小線幅はhp 35 nmであったが、リソグラフィ技術や加工プロセスを改善することでhp 30 nm以下では100%の歩留りを達成し、最小線幅がhp 28 nmのパターンで良品を取得することに成功した。

更なる微細化の要求に応えるために、EUVリソグラフィとスペーサプロセス技術を組み合わせた検討もなされた¹²⁾。EUVリソグラフィで露光したhp 32 nmパターンをスペーサプロセス技術で16 nmに縮小した結果を図10に示す。この結果から、hp 11～16 nmのパターニングが可能になれば、スペーサプロセス技術を適用することでhp 5.5～8.0 nmまでの微細化が可能になる。将来にわたる微細化要求にEUVリソグラフィが対応できることを示すことができた。

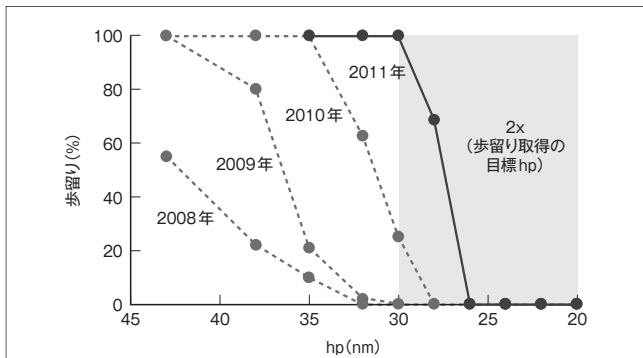


図9. PL-TEGの歩留り改善結果 — 2008～2011年のPL-TEGの歩留り改善を示したもので、2011年にはhp 30 nm以下では100%の歩留りを達成し、28 nmのパターンで良品を取得することができた。

Yield improvement in process level-test element grid (PL-TEG)

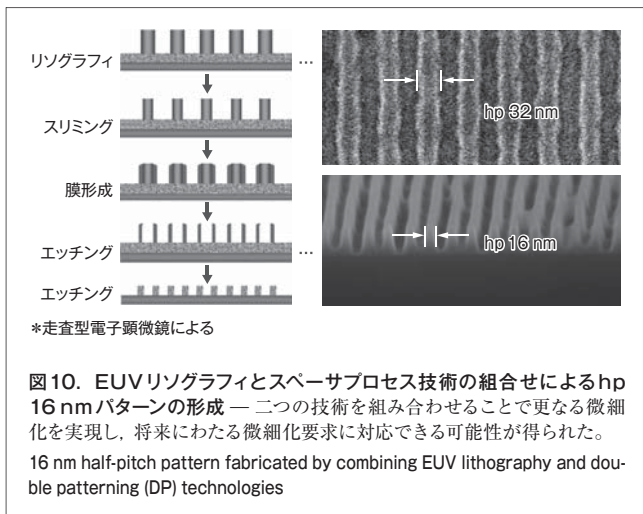


図10. EUVリソグラフィとスペーサプロセス技術の組合せによるhp 16 nmパターンの形成 — 二つの技術を組み合わせることで更なる微細化を実現し、将来にわたる微細化要求に対応できる可能性が得られた。

16 nm half-pitch pattern fabricated by combining EUV lithography and double patterning (DP) technologies

6 あとがき

今後もEUVリソグラフィをデバイスの量産に適用することを目指した基礎技術の開発を、海外のデバイスメーカーや、装置メーカー、材料メーカーなどと共同し、EIDECを拠点にして推進していく。

EUVリソグラフィの実用化により、高性能、高品質の半導体デバイスを低価格で市場に供給することができる。この技術の早期実用化を実現することで、社会の発展や生活の質の向上に貢献していきたい。

文献

- (1) 技術研究組合 極端紫外線露光システム技術開発機構 (EUVA). "EUV Light Source and Exposure Tool". EUVA Homepage. <http://www.euva.or.jp/technical_info/tool.html>. (参照2012-03-19).
- (2) Tawarayama, K. et al. Recent progress of EUV Full-Field Exposure Tool in Selete. Proc. SPIE. 7271, 2009, p.727118.1-727118.7.
- (3) Tawarayama, K. et al. "Progress & actual performance of the Selete EUV1". Proc. Inter. Symp. on EUVL. Kobe, 2010-10, SEMATECH et al. 2010, ET-05.
- (4) Tanaka, Y. et al. "Overlay accuracy of EUV1 using compensation method for nonflatness of mask". Proc. Inter. Symp. on EUVL. Kobe, 2010-10, SEMATECH et al. 2010, MA-P07.
- (5) Nagai, S. et al. "Overlay control study mitigating wafer leveling/clamping effect on Alpha Demo Tool". Proc. Inter. Symp. on EUVL. Miami, FL, USA, 2011-10, SEMATECH et al. 2011, Poster Session.
- (6) Matsunaga, K. "EUV resist materials and processing at Selete". Proc. Inter. Symp. on EUVL. Kobe, 2010-10, SEMATECH et al. 2010, RE-03.
- (7) Matsunaga, K. "EUV resist materials and processing at Selete". Proc. Inter. Symp. on EUVL. Prague, Czech Republic, 2009-10, SEMATECH et al. 2009, O-R2-02.
- (8) Kamo, T. et al. Effects of mask absorber thickness on printability in EUV lithography with high resolution resist. Proc. SPIE. 7028, 2008, p.70281R.1-70281R.12.
- (9) Yamane, T. et al. Improvement of actinic blank inspection and phase defect analysis. Proc. SPIE. 7823, 2010, p.78231V.1-78231V.8.
- (10) Miyai, H. "EUV Actinic Blank Inspection Tool Development". Proc. Inter. Symp. on EUVL. Miami, FL, USA, 2011-10, SEMATECH et al. 2011, Session 3.
- (11) Tawarayama, K. et al. Manufacturability of 2x-nm devices with EUV tool. Proc. SPIE. 7969, 2011, 79691L.
- (12) Kyoh, S. et al. "EUVL Challenges towards 1x nm Generation". ICPST-28. Chiba, 2011-06, CPST. 2011, A02.



姜 帥現 KYOH Suigen

セミコンダクター&ストレージ社 先端メモリ開発センター 先端メモリプロセス開発部参事。先端リソグラフィ技術の開発に従事。

Advanced Memory Development Center



井上 壮一 INOUE Soichi, D.Eng.

研究開発センター デバイスプロセス開発センター, 工博。先端リソグラフィ技術の開発に従事。応用物理学会, 日本光学会, SPIE会員。

Device Process Development Center