

写像投影光学系を用いた 電子ビーム EUV マスク欠陥検査装置 EBeyeM

"EBeyeM" EUV Mask Inspection Tool for EUV Lithography Applying Projection Electron Microscope Technology

山口 真司 中 真人 平野 隆

■ YAMAGUCHI Shinji ■ NAKA Masato ■ HIRANO Takashi

今後の継続的な半導体デバイスの製造を支える微細化技術の周辺技術として、マスクの20 nm以下の微細な欠陥を検出するための検査技術の研究開発が活発化している。

東芝は、(株)荏原製作所と共同で、写像投影光学系を用いた電子ビーム EUV (Extreme Ultraviolet) マスク欠陥検査装置 EBeyeM を他社に先駆けて開発した。電子ビームを用いた検査技術の常識である“高感度であるが検査時間がかかる”という壁を越えて、従来の光学式装置と同等の検査時間で、20 nm以下の微細な欠陥を検出できることを確認した。

Attention is being increasingly focused on the research and development of mask inspection technologies to detect small defects of less than 20 nm in size on a mask, as one of the shrinkage technologies supporting the future manufacturing of semiconductor devices.

Toshiba, in cooperation with Ebara Corporation, has developed the "EBeyeM" extreme ultraviolet (EUV) mask inspection tool for EUV lithography equipped with a projection electron microscope (PEM) for the first time in the industry. We have confirmed that, unlike conventional electron beam inspection tools that require a long inspection time as a trade-off for high resolution, the newly developed electron beam inspection tool can detect small defects of less than 20 nm in size on a mask with almost the same inspection time as that required for optical inspection tools.

1 まえがき

半導体デバイスは、これまでチップ面積を縮小することで、記憶容量の大容量化、高機能化、及び高性能化を実現し進化してきた。それらの進化は、微細な回路パターンを形成する技術、いわゆる微細化技術に支えられて成し遂げられ、現在に至っている。半導体デバイスの世代交代のスピードが年々加速していることから、次世代の微細化技術に関して、マスク上の回路パターンをシリコンウェーハに転写するリソグラフィ技術は新たな時代に突入しようとしている。

東芝の次世代の半導体デバイスは、20 nm以下の回路パターンの形成を必要とし、現在のリソグラフィで用いている波長193 nmの光では、回路パターンの解像限界を超える。今後、年々継続的に微細化していく半導体デバイスを製造していくために、リソグラフィ技術の一つの選択肢として、波長13.5 nmの極端紫外光 (EUV: Extreme Ultraviolet) を用いた回路パターン形成の実現可能性を検討し、更に量産を視野に入れ、EUVリソグラフィの周辺技術の開発を充実させ、準備を進めている。

2 EUVマスク欠陥検査装置の概要

2.1 装置開発の必要性

シリコンウェーハ上の回路パターンは、リソグラフィ工程においてマスク上の回路パターンを1/4に縮小転写し、形成する。

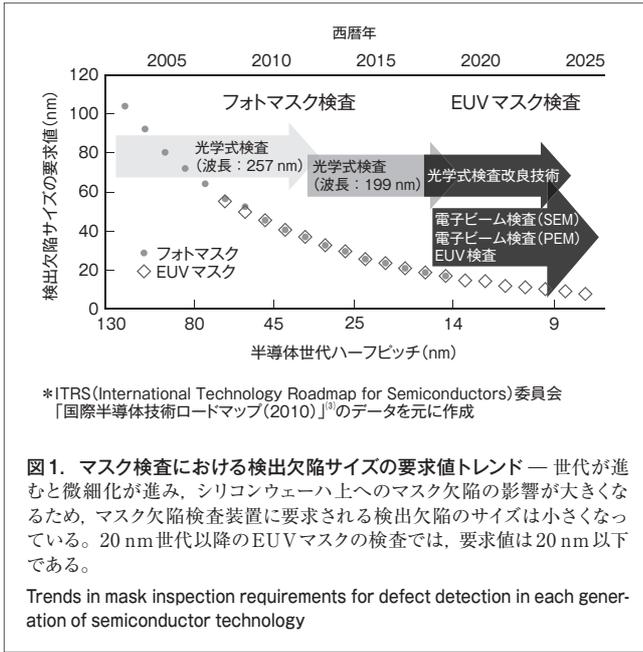
マスク上に欠陥が存在すると、回路パターンだけでなく欠陥も同時にシリコンウェーハ上に転写され、半導体デバイスの品質を低下させる要因となる。そのために、マスクの製造ではマスク欠陥検査が行われる。

現在、光リソグラフィに用いているマスク欠陥検査では、波長199 nmの光をマスクに照射し、回路パターンの透過光と反射光を用いてマスクパターン像を取得する。それを無欠陥のマスクパターン像と比較し、これと異なる箇所を欠陥として抽出する。

EUVリソグラフィに用いるEUVマスクは、透過光部と遮光部で回路パターンを形成する光透過型のフォトマスクとは異なり、反射部と吸収部で回路パターンを形成する光反射型マスクである。したがって、回路パターンの透過光検査を実施することは困難である。一方、回路パターンの反射光検査を実施することは可能であるが、反射光の回路パターンからの信号は透過光のそれと比較して弱く、更に、回路パターンの微細化に伴い検査光に対する回路パターンの解像限界も近づいている。そのため当社は、高品質なEUVマスクを低コストで供給することを目指し、新たに電子ビームを用いたEUVマスクの欠陥検査技術の開発にチャレンジしてきた^{(1), (2)}。

2.2 装置の仕様

当社は、マスク上で検出しなければならない欠陥サイズを、国際半導体技術ロードマップを参照しながら、各世代における半導体デバイスの電氣的動作の良・不良判定条件に基づき決定している (図1)。



マスク欠陥検査装置の仕様は、半導体デバイスの良・不良判定の観点から、20 nm 世代以降の半導体デバイスでマスク上の20 nm 以下の欠陥を検出できることである。

また、マスク製造の生産性の観点から、マスク1枚(検査領域: 130×130 mm)の検査に許される時間は、回路パターン形成前で4時間以内、回路パターン形成後で24時間以内である。回路パターン形成前のマスク欠陥検査は、マスク上の異物の検出を目的とした検査であり、回路パターン形成後のそれは、マスクの製造工程で付着した異物や回路パターンのエラーの検出を目的とした検査である。

2.3 電子ビームを用いたマスク検査

現在のマスク製造におけるマスク欠陥検査には、光学式検査装置が用いられている。光学式検査装置の歴史は長く、回路パターンの微細化に伴い、検査光の短波長化を実施してきた。近年、更なる回路パターンの微細化に対応するため、検査アルゴリズムを含めた光学条件の改善や改良を繰り返し、回路パターンの解像限界に挑み続けてきた。現在では、量産世代である30～20 nm 世代のフォトマスク検査を光学式装置で行っている。

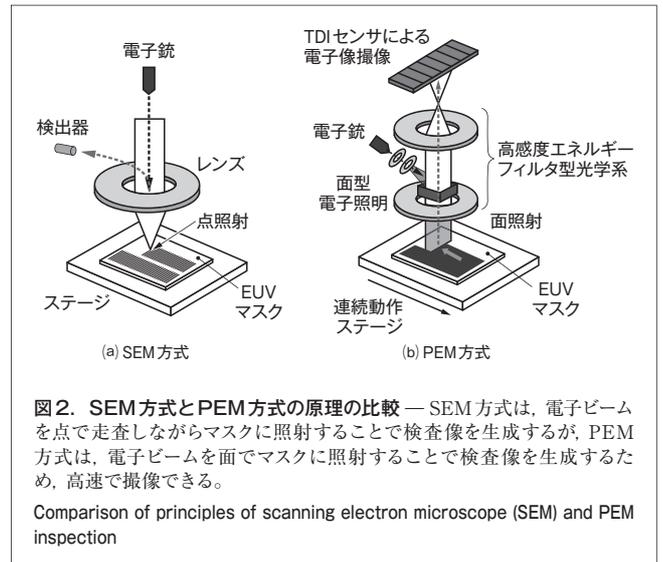
電子ビームを用いたマスク欠陥検査装置の可能性の検討は、検査光の短波長化が検討されるたびに行われてきた。電子ビームは、従来のフォトマスク用欠陥検査装置で用いてきた数百～百nmの波長の光と比較して、数nmという解像性を実現でき、微細な回路パターンに対する感度は大幅に向上する。

電子ビームを用いたマスク欠陥検査装置のこれまでの検討は、回路パターンの寸法や形状計測で使われてきたSEM(走査型電子顕微鏡)技術の応用を主としている。SEM方式の検査装置は、数nmの点状の電子ビームを走査させながらマスク

に照射し、照射領域からの二次電子を検出器に到達させて検査像を取得し、欠陥の検査を行う。欠陥の検査では、より微細な欠陥を検出するために、検出しなくてもよい欠陥を拾わないようにすることが鍵となる。検出しなくてもよい欠陥には、例えば、検査像を取得する際のノイズによるものなどが含まれる。SEM方式は一般に、1画素に対する電子数が数個から数十個と少なく、1回の走査で取得された検査画像には多くのノイズが含まれている。したがって、回路パターンの寸法や形状の計測でこの方式を用いる場合は、数回から数十回電子ビームを走査させ、数枚から数十枚の画像を重ね合わせて平均化することで、低ノイズの1枚の画像を生成する。そのため、20 nmの欠陥を検出しようとする、電子ビームを数回走査させる必要があり、マスク1枚の検査に数百時間かかることになる。したがって、既存のSEM方式を用いてマスク欠陥検査装置の仕様を達成することは、技術的に困難であると判断した。

そこで当社は、SEM方式とは異なる新たな電子ビーム方式として、PEM(写像投影方式電子顕微鏡)の原理⁴⁾を利用した写像投影方式のEUVマスク欠陥検査装置EBeyeMを(株)荏原製作所と共同で開発した。これにより、必要な感度を得ようとする検査時間が長くなり、検査時間を抑えようすると必要な感度が得られないというSEM方式の難しさを解決し、まもなく到来するであろうEUVリソグラフィを用いた20 nm 世代以降の半導体デバイスの製造において、高感度で高速な検査を低コストで実現することが可能になる。

SEM方式とPEM方式の大きな違いは、検査時間短縮のために、電子ビームの照射方式を点照射から面照射にしたことである(図2)。また、ステージを連続動作させながら検査像を連続取得できるようTDI(Time Delay Integration)センサと連続動作ステージを装置に盛り込むことで、量産仕様に耐えうる検査時間の更なる短縮を図った(図3)。



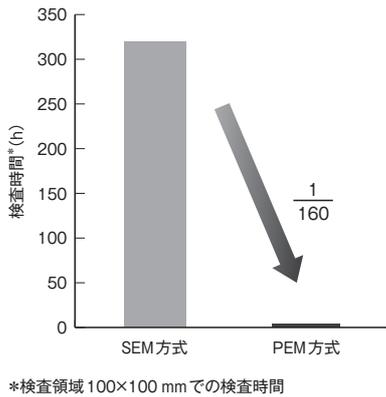


図3. SEM方式とPEM方式の検査時間の比較 — PEM方式は、高速撮像が可能のため、従来の光学式検査装置の技術に応用した連続動作ステージとTDIセンサを組み合わせることで、高速検査を実現できる。
Comparison of inspection times of SEM and PEM inspection

2.4 EBeyeM量産機の実現

EUVマスク製造工程における欠陥の管理では、回路パターン形成前に実施する異物検査と、回路パターン形成後に実施する回路パターン検査が必要であるため、EBeyeMは、異物検査モードと回路パターン検査モードの二通りの検査モードを備えている。

当社は、量産で使われる予定の回路パターン形成前後のEUVマスクを準備し、開発機を用いて、回路パターン及び欠陥を高解像度で取得するための電子ビーム条件を決定し、量産装置に向けての改善点の洗い出しを行った。

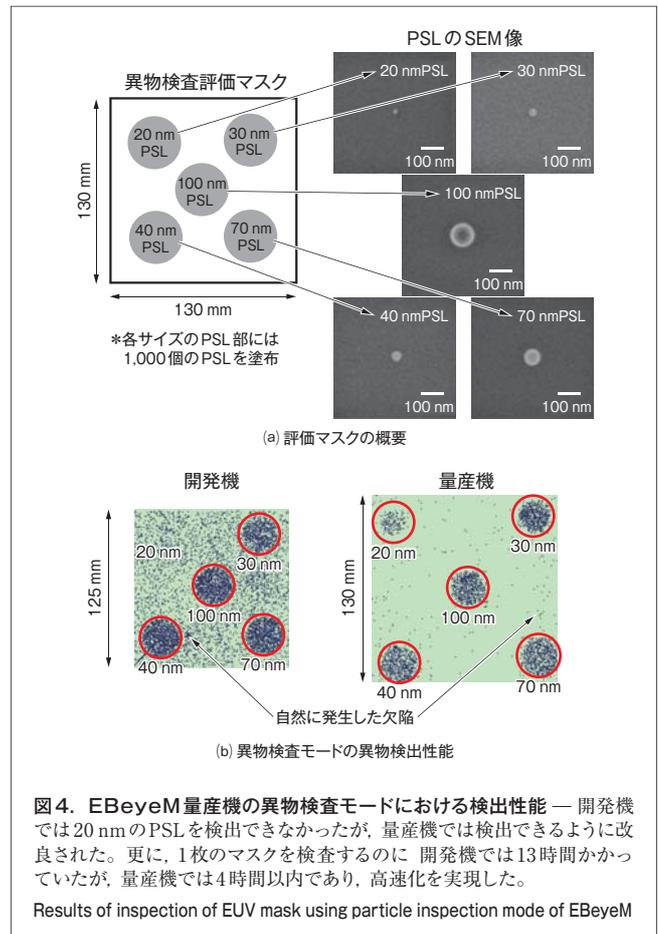
電子ビーム条件は、像質に大きく影響を受ける電子光学系のパラメータ調整や電子ビーム加速電圧の最適条件を、異物検査モードと回路パターン検査モードそれぞれに対して、実験的に決定した。更に、20 nm世代のEUVマスク欠陥検査装置の仕様を達成するために、EBeyeM量産機が必要とする改善策を検討した。そのため、開発機比で15倍のSNR (Signal to Noise Ratio)、より忠実に回路パターンを解像するのに必要な20×20 nmの画素サイズ、及び量産製造を実現するために開発機の34 MPPS (Megapixel per Second) から600 MPPSへの高速化、などを洗い出した。

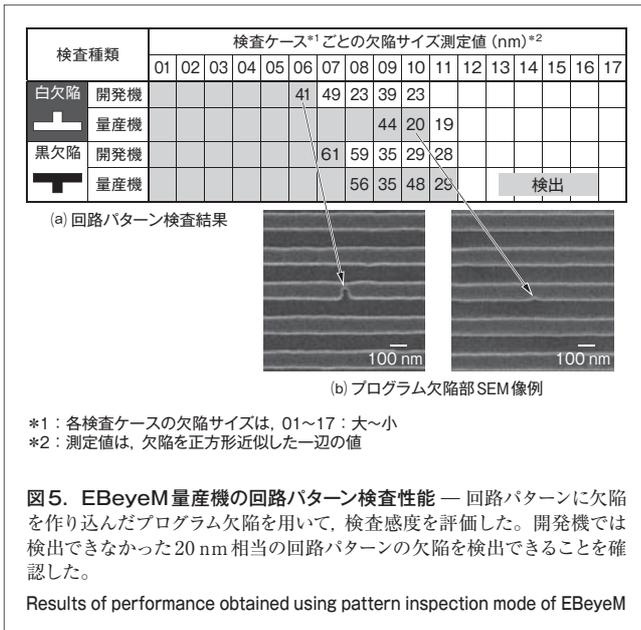
SNRを開発機の15倍に向上させる方策としては、電子光学系に対してイルミネーション側を高電流密度化することで2倍の向上と、イメージング側の電子光学系に対してEUVマスク上に高電界を印加し、TDIセンサへの到達電子数を増加させることで3倍の向上を見積った。また、NA (Numerical Aperture) の形状を最適化することで2倍の増加を、更に、ノイズを低減するための画像処理技術の向上により1.5倍向上できることを見積もった。そして、装置を設計した結果、これらの見積もりが実現可能であることがわかり、20 nm世代のEUVマスク欠陥検査装置として、EBeyeMの量産機を立ち上げた。

2.5 EBeyeM量産機の性能評価

回路パターン形成前と回路パターン形成後のEUVマスクを準備し、20 nm世代EBeyeM量産機の性能を評価した。回路パターン形成前のEUVマスクに対して、標準微粒子である直径20, 30, 40, 70, 100 nmのPSL (Polystyrene Latex) を異物として塗布し、そのうち直径20 nmの粒子が欠陥として検出されるか否かを評価した。一方、回路パターン形成後のEUVマスクに対しては、回路パターンの設計データに欠陥データを配置することで、回路パターンの欠陥を作り込んだ作り込み欠陥マスクを作成した。その作り込み欠陥サイズをSEMで計測した後、それを用いて20 nmの欠陥が検出されるか否かを評価した。

評価の結果、検査感度については、異物検査及び回路パターン検査ともに、20 nm世代のEUVマスク欠陥検査に要求される20 nmの欠陥を検出できていることを確認した (図4, 図5)。また、検査時間は、異物検査については4時間以内でできることを確認した。回路パターンの検査については24時間以内で実施できるように、また、異物検査は更なる時間短縮を目指して、テレビなどに搭載している当社の画像処理技術を検査画像処理のアルゴリズムに組み込むなど、量産製造への投入時期に向け、現在も開発を継続中である。





3 他EUVマスク欠陥検査装置への考察

当社は、20 nm世代で用いるEUVマスク欠陥検査装置についてコスト、検査感度、及び検査時間の観点から検討し、写像投影光学系を用いた電子ビーム方式の装置EBeyeMの開発に踏み切ったが、学会発表などでは、この他にも、従来の光学式装置の改良、EUV方式の装置、及びSEM方式の装置の3通りに関して報告されている⁽⁵⁾⁻⁽⁷⁾。

光学式装置の改良には、検査アルゴリズムや光学条件の改善による超解像技術を用いており、EUVマスク上の40 nmの欠陥は検出できる。20 nm以下の欠陥を検出するのは、技術的に見て極めて困難であると思われるが、高速で検査が可能なメリットを生かし、当社はEBeyeMと組み合わせて運用することを検討している。

EUV方式の装置は、13.5 nmの光をマスクに照射して検査を行うため、20 nm以下の欠陥検出に必要な検査感度が得られる。また、検査時間の面でも、従来の光学式装置と同等で有利である。しかし、高コストの13.5 nmの光を用いるため、検査コストの面で不利であるという報告がある。

SEM方式の装置は、従来のように1本のコラムを用いた場合には、許容される時間内での検査が困難であるため、数本のコラムを用いることで時間の短縮を図るという報告がある。従来のSEM方式を大幅に改善して、マスクから従来比で十数倍の二次電子信号を検出器に到達させることができれば、数本のコラムで許容時間内での検査が可能になるとと思われる。しかし、技術的な困難度は高く、達成できたとしても、数本のコラムの安定性を含め技術的課題は残るとと思われる。

いずれにしても、マスク欠陥検査装置については、EUVマスク、微細化、及び低コストの面から、様々な革新的技術が登

場し、新たな時代に突入していることをうかがい知ることができる。

4 あとがき

継続的な半導体デバイスの製造を支える微細化に対応するため、EUVリソグラフィを用いる20 nm世代用に開発したEUVマスク欠陥検査装置EBeyeMの概要について述べた。

この装置は、写像投影光学系を用いた電子ビーム方式を採用し、20 nm以下の微細な欠陥を検出できることを確認した。

今後、EUVマスクの量産化時期に合わせて、生産装置に必須である装置の安定性向上技術や回路パターン検査時間短縮のための画像処理技術の開発を加速し、半導体デバイスの高品質化と低コスト化に貢献していく。

文 献

- (1) Hirano, T. et al. Development of EB inspection system EBeyeM for EUV mask. Proc. SPIE. **7823**, 2, 2010, p.78232C.1 - 78232C.8.
- (2) Yamaguchi, S. et al. Performance of EBeyeM for EUV mask inspection. Proc. SPIE. **8166**, 2, 2011, p.81662F.1 - 81662F.8.
- (3) ITRS委員会. "International Technology Roadmap for Semiconductors (ITRS) 2010 Update Edition, Lithography, Table LITH5A Optical Mask Requirements, Table LITH5C EUVL Mask Requirements". <<http://www.itrs.net/Links/2010ITRS/Home2010.htm>>, (参照2012-02-01).
- (4) Miyoshi, M. et al. Electron beam inspection system based on the projection imaging electron microscope. J. Vac. Sci. Technol. **B19**, 6, 2001, p.2852 - 2855.
- (5) Hirano, R. et al. Study of EUV mask inspection technique using DUV light source for hp22nm and beyond. Proc. SPIE. **7823**, 2, 2010, p.782339.1 - 782339.10.
- (6) Mangan, S. et al. Evaluation of novel EUV mask inspection technologies. Proc. SPIE. **7748**, 2010, p.774822.1 - 774822.14.
- (7) Yamane, T. et al. Improvement of actinic blank inspection and phase defect analysis. Proc. SPIE, **7823**, 1, 2010, p.78231V.1 - 78231V.8.



山口 真司 YAMAGUCHI Shinji

研究開発センター デバイスプロセス開発センター研究主務。マスク上の許容欠陥サイズの最適化技術及び欠陥検査装置技術の開発に従事。

Device Process Development Center



中 真人 NAKA Masato

研究開発センター デバイスプロセス開発センター。マスク上の許容欠陥サイズの最適化技術及び欠陥検査装置技術の開発に従事。

Device Process Development Center



平野 隆 HIRANO Takashi

研究開発センター デバイスプロセス開発センター主任研究員。マスクの欠陥検査技術、欠陥修正技術、及び欠陥管理技術全般の開発に従事。

Device Process Development Center