

半導体デバイスの微細化を支えるOPC技術とDFM技術

Optical Proximity Correction and Design for Manufacturability Technologies for Shrinkage of Semiconductor Devices

小谷 敏也

間下 浩充

宇野 太賀

■KOTANI Toshiya

■MASHITA Hiromitsu

■UNO Taiga

OPC (Optical Proximity Correction : 光近接効果補正) 技術とDFM (Design for Manufacturability : 製造容易性設計) 技術は、半導体デバイスのパターンニングにおけるあらゆる課題を、設計、マスク、及び製造プロセスの各技術と連携して解決する技術である。これらの技術では、パターン形状予測の精度向上と計算時間短縮という二律背反の課題を、最先端の計算技術を導入して克服し続けている。

東芝は、半導体デバイスの微細化において最重要技術の一つであるOPC技術及びDFM技術を他社に先駆けて開発し、2011年には配線幅10 nm台のNAND型フラッシュメモリの開発に世界で初めて^(注1)成功するなど、大きな成果を上げている。

Optical proximity correction (OPC) and design for manufacturability (DFM) technologies are essential for the shrinkage of semiconductor devices to resolve any device patterning challenges in conjunction with design, mask, and wafer process technologies. In these technologies, cutting-edge computational patterning technology is constantly required to break through the trade-off between the improvement of patterning prediction accuracy and reduction of computational time.

Toshiba developed OPC and DFM technologies ahead of its competitors in the industry, and has been continuously achieving significant results in the advancement of both optical lithography and next-generation lithography. As a result of the development of these technologies, we developed the world's first NAND flash memory with a process on the order of 10 nm in 2011.

1 まえがき

半導体デバイスの高集積化と製造コスト低減を支え続けるリソグラフィ技術は、露光光源の短波長化やレンズ開口数の向上により、今まで年率20~30%の微細化を実現してきた。しかし、パターン寸法が露光波長より小さくなると、設計したパターンでそのままマスクパターンを形成し露光しても、設計どおりの転写パターンをウェーハ上に得ることができなくなってきた。そこで、設計パターンと転写パターンが一致するように、あらかじめマスクパターンを補正しておくOPC (Optical Proximity Correction : 光近接効果補正) 技術が開発された。

更に微細化が進むと、適切なOPCを施しても、半導体製造装置のばらつきにより、転写パターンを設計どおりに形成できないという問題が顕在化してきた。これらのパターンは“ホットスポット”と呼ばれ、半導体デバイスの歩留りを低下させる原因の一つとなる。そのため、ホットスポットが発生しないようなパターンをあらかじめ設計するDFM (Design for Manufacturability : 製造容易性設計) 技術が開発された。

ここでは、半導体デバイスの微細化に欠かせないOPC技術とDFM技術への東芝の取り組み、及び最新のOPC技術とDFM技術について述べる。

(注1) 2011年4月時点、当社調べ。

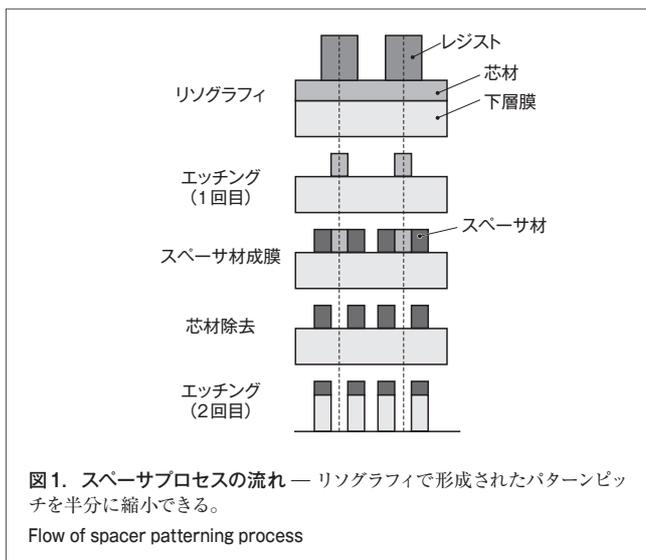
2 リソグラフィの背景

半導体デバイスの微細化によるリソグラフィの困難さは、転写パターンの解像度を示す k_1 ファクタと呼ばれる指標の大小で表される。 k_1 ファクタはレイリーの式に基づき式(1)で求められる。

$$k_1 = HP \times NA / \lambda \quad (1)$$

ここで、 HP (Half Pitch : ハーフピッチ) は転写パターンの最小ピッチを半分にした寸法 (nm)、 λ は露光光源の波長 (nm)、 NA (Numerical Aperture) はレンズの開口数を表す。 λ と NA は露光装置の性能で決まるため、同じ露光装置を使って半導体デバイスの微細化を進めると、 k_1 ファクタは HP に比例して小さくなる。 k_1 ファクタが小さいほどリソグラフィは困難になり、 $k_1 < 0.25$ で転写パターンを形成できなくなることが知られている。

露光装置の開発は、 λ を小さく、かつ NA を大きくし、極力 k_1 ファクタを下げることなく HP を小さくすることを繰り返してきた。最新の露光装置は $\lambda = 193$ nm の ArF (フッ化アルゴン) レーザ光源を備えており、更に今後、露光波長 $\lambda = 13.5$ nm の光源を搭載した極端紫外光 (EUV : Extreme Ultraviolet) 露光装置が半導体製造ラインで実用化される。 NA は、投影レンズからウェーハへ入射する光の光軸に対する最大の入射角度を θ 、入射光が通過する媒質の屈折率を n として、式(2)で表される。



$$NA = n \times \sin \theta \quad (2)$$

最新のArF露光装置は、投影レンズとウェーハとの間を空気の屈折率 ($n=1.00$) よりも高い屈折率を持つ純水 ($n=1.44$) で満たすことにより、 $NA = 1.35$ を実現している。こうした試みにもかかわらず、露光装置の開発は市場からの微細化要求に追いつくことができず、最先端の半導体デバイスの k_1 ファクタは、解像限界の0.25より小さくなってしまった。

そこで、リソグラフィで作られたパターンピッチを1/2に縮小できる“スペーサプロセス”が開発された。このプロセスの流れを図1に示す。リソグラフィで形成されたレジストパターンを加工して細い芯材を作り、その周りにスペーサ材を薄く成膜した後、芯材だけを選択除去して下層膜を加工するものである。スペーサプロセスは、最先端のNAND型フラッシュメモリの大容量化をけん引し、 $k_1=0.13$ 相当の微細化を実現している。

3 OPC技術とDFM技術

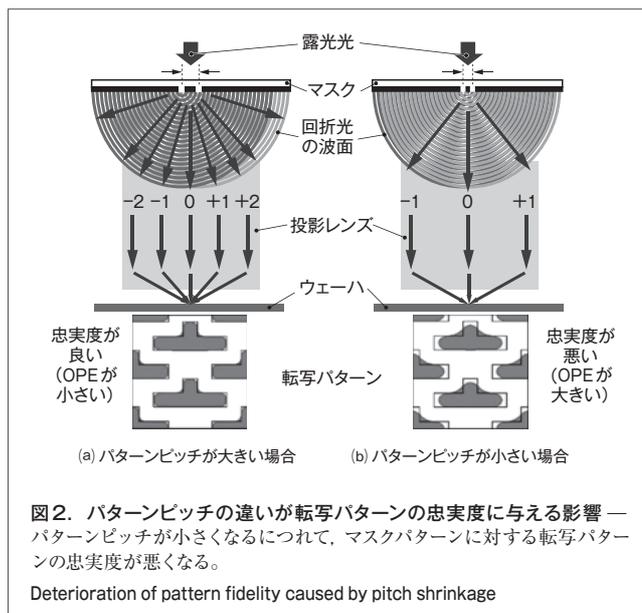
3.1 光近接効果の発生メカニズム

マスクパターンに対する転写パターンの忠実度がパターンピッチの違いによって受ける影響を、図2に示す。

光軸と平行に入射した露光光はマスクで回折し、互いの回折光が干渉し合い、周期的な干渉縞(かんしょうじま)を形成する。光軸に近い干渉縞から順番に0次、 ± 1 次、 ± 2 次(縞は対称なのでマイナス符号も用いる)と名づけると、 N 次の干渉縞の光軸に対する角度 θ_N は式(3)で表される。

$$\sin \theta_N = N \times \lambda / 2HP \quad (3)$$

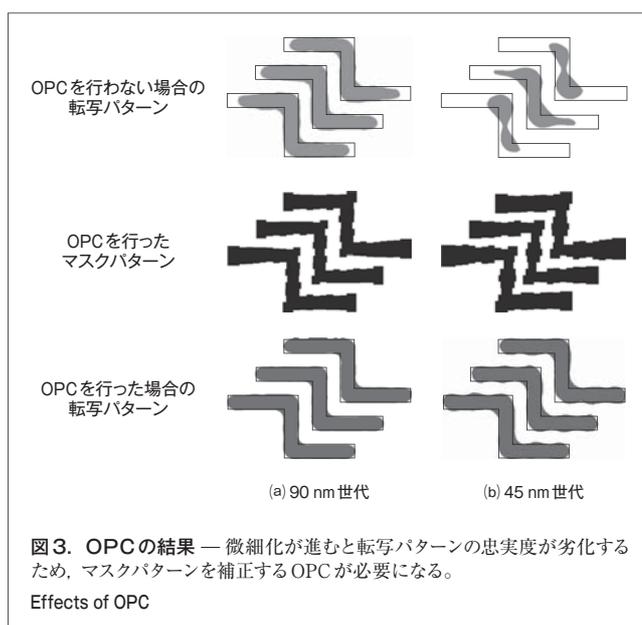
それぞれの干渉縞は投影レンズに向かって進むと、 N の小さいいくつかの干渉縞だけがレンズに取り込まれ、その他の干渉縞はレンズの外側にはみ出してしまう。図2で示すように、



HP が小さくなり微細化が進むにつれて、レンズに取り込まれる干渉縞の数が少なくなり、転写パターンのマスクパターンに対する忠実度がますます失われる。ウェーハ上に結像するとき N の大きい干渉縞が欠落すると、転写パターンの角部の丸まり、ライン端部の後退、及びピッチの違いによる寸法ずれといった現象が生じる。これらをOPE (Optical Proximity Effect: 光近接効果)と呼ぶ。そこで、設計したとおりのパターンをウェーハ上に形成するために、OPEを予測してマスクパターンをあらかじめ設計しておくことが考案され、そのための技術としてOPCが開発された(図3)。

3.2 OPC技術

OPCは、ルールベースOPCとモデルベースOPCに分類される。



3.2.1 ルールベースOPC 補正される設計パターンのライン幅と隣接パターンまでのスペース距離に応じてあらかじめ補正ルールを決めておき、そのルールに従って設計パターンの幅を太めたり、細めたりする方法である。この技術は“ルールベースOPC”と呼ばれ、市販のデザインルールチェック(DRC: Design Rule Check) ツールで容易に実現でき、かつチップ全面に対して高速な処理ができるため、130 nm世代までの主流であった。

しかし、90 nm世代を過ぎると、ルールベースOPCでは要求される補正精度を得ることが困難になってきた。一般に、OPEは対象パターンを中心とした半径が約 $2\mu\text{m}$ の範囲内におけるパターン配置で決まることが知られているが、その範囲内のあらゆるパターン配置をDRCツールで選別し、ルールで補正することは極めて難しい。この問題を解決するため、“モデルベースOPC”が開発された。

3.2.2 モデルベースOPC パターンごとにリソグラフィシミュレーションを行ってOPEを予測し、OPEが小さくなるようにマスクパターンを補正する技術である。モデルベースOPCでは、約 $4\times 4\mu\text{m}$ の領域に含まれるパターンを一つの単位としてシミュレーションを繰り返し行うため、チップ全面に適用すると数億回を超えるシミュレーションが必要である。そのため、モデルベースOPCでは、計算時間をいかにして短縮するかという課題が常に存在する。

当社は、モデルベースOPCで計算されたOPC前後のパターンを補正ライブラリに登録し、再び同じパターンを補正するときには、補正ライブラリの中のパターンを再利用する“ライブラリベースOPC”を開発した。これをモデルベースOPCと組み合わせることで、少ないシミュレーション回数で補正ができるOPCツール(図4)を開発した⁽¹⁾。このツールにより、モデルベースOPCで得られる高い補正精度を維持したまま、チ

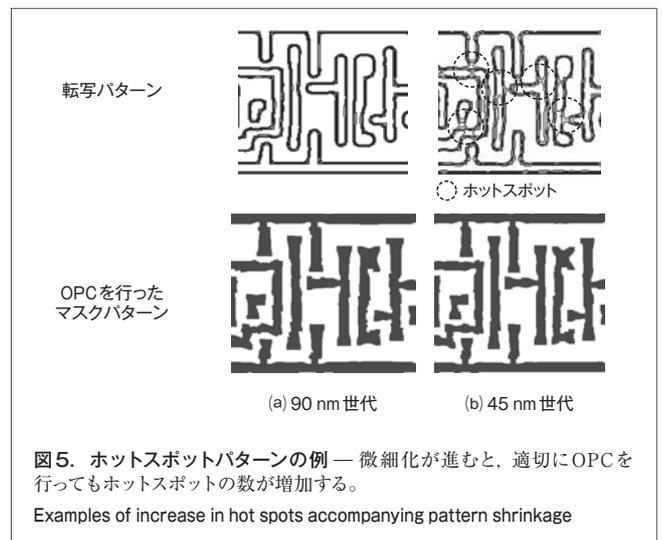
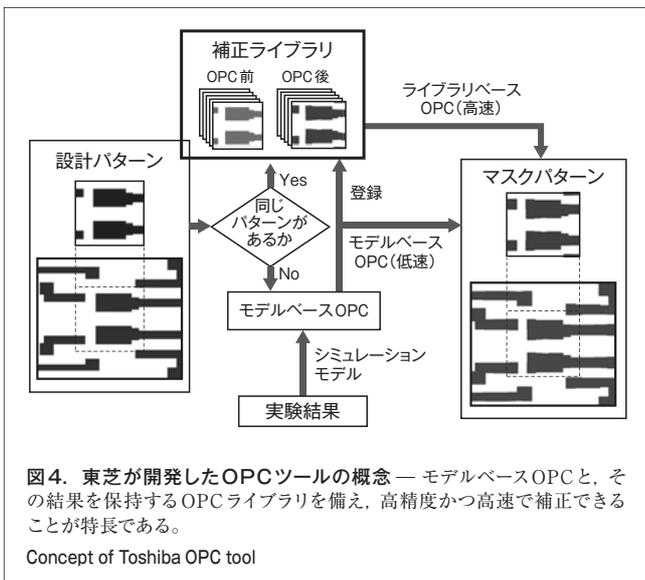
ップ全面を高速で処理することが可能になった。

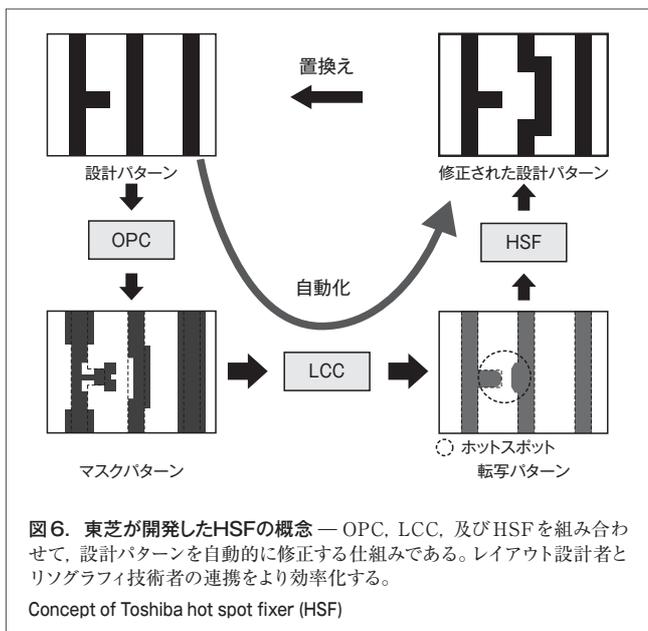
3.2.3 加工変換差の補正 OPEとともに、反応性イオンエッチング(RIE: Reactive Ion Etching)中に発生する加工残留物がパターンに付着して寸法が変動する加工変換差の影響もマスクパターンで補正しておく必要がある。加工変換差は、パターンに近接する被加工面積が広く、加工残留物の発生量が多いほど大きい。被加工面積を隣接パターンまでの距離として近似し、加工変換差を距離に応じてルール化すると、既存のルールベースOPCで補正ができる。

しかし、ラインアンドスペース(L&S)のような1次元パターンだけでなく、複雑な2次元パターンに対する加工変換差の予測精度を上げるためには、加工変換差を予測できるシミュレーションモデルが必要である。当社は、加工残留物の発生量とRIE装置内のプラズマから生成される反応性イオンの入射量が比例し、その入射量が、ある高さを持つパターンのスペースを背にして見上げたときの上空の広さ(立体角に相当する)に比例する、という関係に着目した加工変換差の予測モデルを導入した⁽²⁾。このモデルは、複雑なパターンの加工変換差を高精度に予測できるだけでなく、スパーサプロセスを経て形成されるウェーハ上での仕上がり形状を予測する手法として、OPCには欠かせない技術となっている。

3.3 DFM技術

設計から製造に移転された段階で発生する問題を、設計段階で事前に予測し、解決しておく手法をDFMと呼ぶ。微細化が進行すると、適切なOPCを施しても、半導体製造装置のばらつきにより、設計どおりに形成できない転写パターンが発生する。これらのうち、配線にオープン(断線)やショート(短絡)が発生するリスクが高い転写パターンをホットスポットと呼ぶ(図5)。ホットスポットが発生するのを防ぐためには、ホットスポットが発生する設計パターンを、厳格なデザインルールであらかじめ制約しておく方法が一般に使われている。しか





し、OPC技術と同様、あらゆるホットスポットをデザインルールだけで制約することは難しい。そこで、製造装置で想定されるばらつきを見込んでリソグラフィや加工のシミュレーションを行い、設計段階でホットスポットを発見するリソグラフィ コンプライアンス チェック (LCC: Lithography Compliance Check) が必要になる⁽³⁾。

LCCによって発見されたホットスポットを修正するためには、リソグラフィの知識が必要であり、レイアウト設計者とリソグラフィ技術者の連携が必須である。当社は、この連携の効率を上げるために、ホットスポット近傍のパターンだけを自動的に修正し、ホットスポットが発生しない設計パターンに置き換える“ホットスポットフィクサー (HSF: Hot Spot Fixer)”というソフトウェアの開発を進めている⁽⁴⁾。HSFは、リソグラフィの視点で望ましいと思われるいくつかの修正パターン候補を作成し、それらの候補から設計パターンの制約を満たし、かつホットスポットの消える最善のパターンを選定する、といった一連の処理を行うことができる (図6)。この技術は、設計とリソグラフィの連携をより効率化するうえで、必要性が高まると予測される。

4 最新のOPC技術とDFM技術

4.1 SMO技術との連携

リソグラフィの限界を打破する新たな取組みとして、露光装置の照明形状とマスクパターンを同時に最適化する照明・マスク最適化 (SMO: Source Mask Optimization) 技術が注目されている。

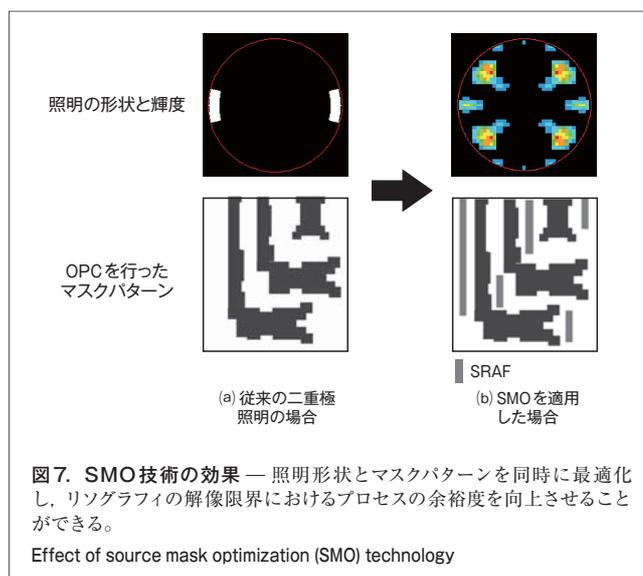
解像限界に近いピッチのL&Sパターンを形成するためには、二重極 (ダイポール) 照明と呼ばれるL&Sパターンの形成

に適した照明形状を使う必要があることが知られている。しかし、この照明形状では、例えば孤立パターンなど、L&S以外のパターンをL&Sパターンと同時に形成することが困難である。この問題を解決するために露光装置の改良が進められ、照明内に設置された一つひとつの光源の輝度を個別に制御できる新規機能が開発された。これにより、従来より複雑な照明形状を容易に設定できるようになった。この機能をSMO技術と組み合わせることにより、露光される全てのパターンのリソグラフィ余裕度が最大となる複雑な照明輝度分布を決定できる。また同時に補助パターン (SRAF: Sub-Resolution Assist Feature) の配置も決定される。補助パターンはマスクに配置されるが、ウェーハに転写されない程度に細く、リソグラフィ余裕度をいっそう向上させるために形成するものである。従来の二重極照明をSMO技術で最適化すると、同時露光で形成することが困難であったパターンも形成することが可能になる (図7)。

当社は、SMO技術をOPCやDFMの技術と組み合わせ、リソグラフィ余裕度を更に向上させる取組みを進めている。この技術では、照明やマスクだけでなく、設計パターンも同時に最適化する必要がある、調整可能な因子の数が膨大になるという課題がある。そのため、品質工学的手法を組み合わせ、リソグラフィ余裕度に影響を及ぼす重要因子だけを抽出し、多変数最適化アルゴリズムを用いてリソグラフィ余裕度が最大となるように各因子を決定する手法を構築した。このようなトータル最適化手法により、リソグラフィ余裕度を約1.5倍に拡大できた例もある。この手法は、安価な製造コストで微細化を実現でき、リソグラフィの適用範囲を拡大する技術として有望であり、今後いっそうの高精度化が必要である。

4.2 EUVリソグラフィに向けたOPC技術

次世代リソグラフィ装置として、EUV光源を搭載した露光装



置の開発が進んでいる。光源の短波長化により、光源光の一部がミラー表面の凹凸により散乱し、ウェーハ上にフレアとして降り注ぐようになる。EUVのフレアの強度はArFレーザ光のそれに比べ約100倍も大きいため、フレアによる寸法変動を考慮したOPCが必要になる。フレアの強度は、マスクパターンに、単位強度のEUVがミラー表面の凹凸で散乱されたときの強度分布 (PSF: Point Spread Function) を畳み込み積分することで、近似的に算出できる。しかし、PSFは数mmに及ぶ非常に広い裾を持つ分布であるため、補正されるパターンごとにフレアの強度を算出するには天文学的な計算時間が必要になる。

当社は、この課題を解決するために、チップ全面のフレアの強度分布を高速に算出できるフレアマップ法を考案し、その光強度分布をOPCに取り込むツールを開発した⁽⁵⁾。フレアマップ法とは、あらかじめ設計パターンを一辺が数 μm の四角形のメッシュで分割し、各メッシュに対してフレアの強度を割り当てたフレアマップを作成し、それから補正パターンの位置に対応するフレアの強度を読み取って、OPCに反映させる方法である。この手法の特長は、設計パターンを規則的なメッシュで分割することで、計算負荷の大きいPSFとマスクパターンの畳み込み積分に高速な画像処理計算を適用できる点である。この手法により、チップ全面に対してフレアマップを作成し、そこからフレアの強度をOPCに取り込んで補正する一連の処理を、現状のArFリソグラフィでのOPCと同等の時間で実現できた。

5 あとがき

OPC技術とDFM技術は、リソグラフィ技術と設計技術をつなぐ懸け橋である。半導体デバイスの開発における最初の関門がリソグラフィであり、これを短期間で完了することが開発リードタイムの短縮につながる。OPC技術では補正精度の向上と計算時間の短縮という二律背反の課題を克服する最先端計算技術の探求が、また、DFM技術では設計と製造間の連携を深化させることが、半導体デバイスの開発にとってもっとも重要な施策の一つである。

今後も、当社のIDM (Integrated Device Manufacturer: 垂直統合型デバイスメーカー) としての強みを最大限に生かし、次世代の微細化技術に対応したOPC技術及びDFM技術を他社に先駆けて開発し、最先端の半導体デバイスを提供し続けることで社会の発展に貢献していく。

文献

- (1) Miyama, S. et al. Large-Area Optical Proximity Correction with a Combination of Rule-Based and Simulation-Based Methods. Japanese J. Appl. Phys. **35**, 12B, 1996, p.6370 - 6373.
- (2) Kotani, T. et al. Efficient hybrid optical proximity correction method based on the flow of design for manufacturability (DfM). Proc. SPIE. **5130**, 1, 2003, p.628 - 637.
- (3) Taguchi, T. et al. Novel OPC and DfM methodology for 3D memory device. Proc. SPIE. **7379**, 2009, p.737910-1 - 737910-8.
- (4) Kotani, T. et al. Development of hot spot fixer (HSF). Proc. SPIE. **6156**, 2006, p.61560H-1 - 61560H-8.
- (5) Uno, T. et al. Challenges in flare correction in EUVL lithography for half pitch 22-nm generation. Proc. SPIE. **7748**, 2010, p.774826-1 - 774826-9.



小谷 敏也 KOTANI Toshiya

セミコンダクター & ストレージ社 メモリ事業部 メモリ設計技術部主務。メモリ製品におけるリソグラフィ、OPC、及びDFMの技術開発に従事。
Memory Div.



間下 浩充 MASHITA Hiromitsu

セミコンダクター & ストレージ社 メモリ事業部 メモリ設計技術部主務。メモリ製品におけるリソグラフィ、OPC、及びDFMの技術開発に従事。
Memory Div.



宇野 太賀 UNO Taiga

セミコンダクター & ストレージ社 メモリ事業部 メモリ設計技術部主務。メモリ製品におけるリソグラフィ、OPC、及びDFMの技術開発に従事。
Memory Div.