

計算科学を用いたリソグラフィ設計技術

Lithography Design and Integration Methodologies Using Computational Science

田中 聡 三本木 省次

■ TANAKA Satoshi

■ MIMOTOGI Shoji

リソグラフィ技術は、マスク、OPC (Optical Proximity Correction : 光近接効果補正)、露光装置、レジスト材料、及びレジスト塗布・現像装置など、多岐にわたる要素技術で構成されている。半導体デバイスの更なる高集積化を実現するためには、従来以上に微細な回路パターンを形成するこの技術の進化が不可欠である。

東芝は、このニーズに応えるため、各要素技術だけでなく、それらを統合して性能を最大限発揮させるリソグラフィ設計技術の開発を推進し、半導体の微細化を加速してきた。また、リソグラフィ設計技術の適用範囲を拡大していくうえで、リソグラフィシミュレーション技術が重要な役割を担うことに着目し、技術開発や技術活用を推進してきた。最近では、この技術が計算機リソグラフィという新技術領域として広く認識されるに至っている。

A lithography system to fabricate microcircuit patterns of semiconductor devices incorporates a wide variety of key technologies, including a mask preparation technology, optical proximity correction (OPC) technology, exposure tools, a resist technology, and so on. Advances in such lithography technologies are essential in order to form critical circuit patterns for higher integration of semiconductor devices.

Toshiba is continuously engaged in the development of lithography design and integration techniques that realize optimal lithography performance by integrating all related engineering technologies, in order to promote and accelerate the miniaturization of semiconductor devices. We are also developing and applying a lithography simulation technique that is playing an important role in the expansion of lithography design and integration techniques and is evolving into the new field of computational lithography.

1 まえがき

20世紀半ばに誕生したICは、以降、その集積度を増大することで高性能化と低コスト化を実現してきた。半導体デバイスの高密度集積化を実現するには、微細な回路パターンをウェーハ上に高精度で形成する技術が求められる。製造工程でこの微細パターンを形成する技術はリソグラフィ技術と呼ばれており、1980年代以降、光リソグラフィ技術が主として使われている。これは、電子ビーム描画装置などで回路パターンの原版(マスク)を作り、これをウェーハ上に塗布したレジストに、紫外光を用いた縮小投影露光装置によって転写する技術である。

リソグラフィ技術には、半導体デバイス世代ごとに、回路パターンの最小寸法が1世代前の70～80%になるように微細化し続けることが求められる。1990年代以降の光リソグラフィ技術においては、超解像露光技術、スキャン露光技術、及び化学増幅レジスト材料など、様々な要素技術の革新がなされ、微細化のトレンドが維持されてきた。

しかし、21世紀に入り、光リソグラフィの各要素技術課題の難易度の増大や、次世代のリソグラフィ技術候補の検討に要する開発量の増大が問題となってきている。東芝は、リソグラフィシミュレーション技術を駆使し、これらの要素技術を統合

して最大限の性能を発揮させるリソグラフィ設計技術の開発を1990年代から進めてきた。

ここでは、1990年代以降の光リソグラフィ設計技術開発の概要及び、21世紀に入ってリソグラフィ技術分野で広く認識されるようになった、計算機リソグラフィ(Computational Lithography)技術とリソグラフィ設計技術の関連について述べる。

2 リソグラフィ設計技術の概要

2.1 開発の歴史

1990年頃、当時の光リソグラフィにおける解像限界が懸念される一方で、位相シフトマスク技術や変形照明技術など、いわゆる超解像露光技術の検討や開発が社内外を問わず精力的に推し進められていた。これらの検討や開発には、20世紀半ばに確立していた光学結像理論⁽¹⁾に基づくシミュレーション技術が適用されていた。しかし当時の計算機の能力では、回路内の小領域平面パターンの転写計算に1条件当たり数十分かかるなど、非常に高い計算コストがかかった。よって、回路配線をラインアンドスペースパターンに代表される1次元パターン群に抽象化し、それらのパターンに対する照明形状や位相シフトマスク構造の最適化について、解析的手法とシミュレーションを併用しながらの開発となっていた。

これらの最適化を進めるうえでは、露光時のフォーカス位置のばらつきや露光量のばらつきなど光リソグラフィ工程における製造上の変動要因に対して、転写パターン寸法がどの程度変動するかを高精度に予測し、統一的に解析することが重要である。寸法予測の高精度化に対しては、転写パターンの光学像をあるばけ関数で拡散させた後、露光量に対応するしきい値で2値化してパターン形状を予測する、光学像拡散モデルが提案された⁽²⁾。当時開発が進んでいた化学増幅型レジストパターンの寸法変動特性に比較的整合していたこと、レジスト中の酸拡散長と関連付けた考察ができたこと、及び従来のレジスト現像モデルに比べはるかに短時間で計算可能であったことなどから、広く利用されるようになっていった。また、解析手法としては、露光量と寸法、あるいはフォーカス位置と寸法という1対1の組合せでの解析手法から、それらを同時に考慮するED-Tree (Exposure Defocus Tree) と呼ばれる解析手法への移行が進められた⁽³⁾。更に、計算量を減らす工夫として、現在の光源マスク同時最適化 (SMO: Source Mask Optimization) 技術と呼ばれるものの先駆けである焼きなまし法 (Simulated Annealing) や、遺伝的アルゴリズム (Genetic Algorithm) を用いた最適化手法の適用が報告されていた^{(4), (5)}。

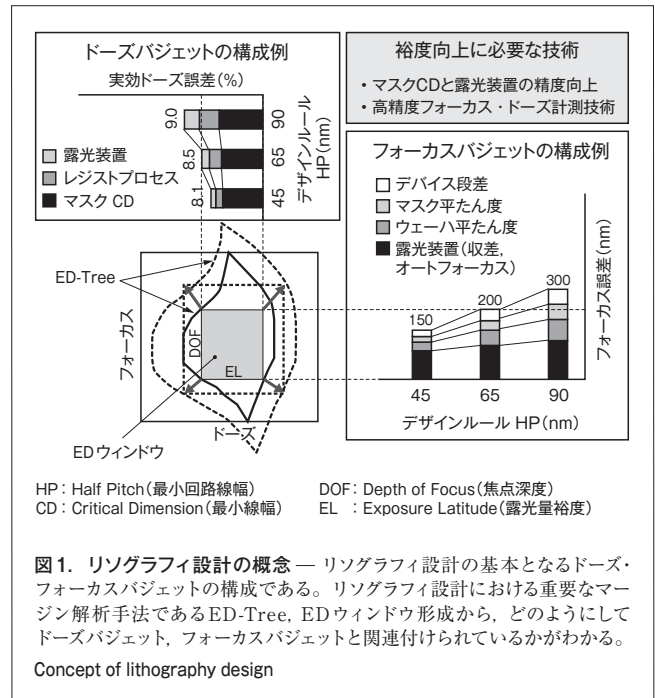
当社は、フッ化アルゴン (ArF) レーザ光源による先端的な露光技術、それらに用いるマスクの仕様 (スペック)、及びレジストの解像特性など多岐にわたる領域において、これらの技術をもとにリソグラフィシミュレーション技術に基づいた初期設計を行い、それぞれの開発指針を定めていった。そして、これらの開発を並行して進めるなかで、リソグラフィ設計という概念を徐々に確立していくことになった。

2.2 リソグラフィ設計手法の概要

マスク、露光装置、レジスト材料、及びレジスト塗布現像装置など、光リソグラフィを構成する各要素技術は、更に細部の要素、例えば露光装置では、光源、照明光学系、投影光学系、オートフォーカス機能、及びアライメント機能などで構成されている。微細化が進むなか、これらの各要素技術は高精度化を実現するため開発が進められているが、ある程度の量の誤差を伴うことは避けられず、結果として、理想的な露光条件からの変動を引き起こす原因になる。これら構成要素の全ての誤差を定量的に、かつ統一的に取り扱うことが極めて重要である。

以下に、図1を用いて、当社がリソグラフィ設計と呼んでいる手法の概要について述べる。

光リソグラフィにおいては、ウェーハ上に形成されるパターンの寸法は、露光量とフォーカス位置によって決定される。リソグラフィ設計では、まず、その世代で使える光学条件やレジスト性能を予測し、シミュレーションによるED-Tree解析を通して、許容寸法ばらつき内で製造するために必要な露光量とフォーカス位置のばらつき制御量 (ED ウィンドウ) を見積もる。これと並行して、露光量とフォーカス位置に変動を引き起こす



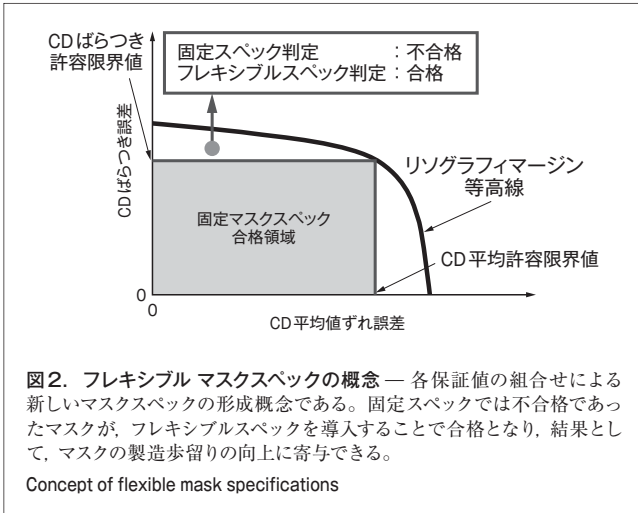
各要因の解析を行い、それぞれについて、その世代で達成すべき目標値を算出する。これらの要因表をドーズバジェット及びフォーカスバジェットと呼んでいる。ED ウィンドウがそれぞれの変動要因の総和を上回るように、シミュレーションとバジェット解析を繰り返す。従来の光リソグラフィ技術開発では、広いプロセスウィンドウを達成するための要素技術開発に注目が集まっていたが、微細化の進行とともに困難度を増してきている。当社は、プロセス変動要因の変動特性の把握及び要因ごとの管理技術の開発を通じ、狭いプロセスウィンドウでも製造歩留りを確保できる高精度バジェット構築の重要性を認識するようになった。

次節では、リソグラフィ設計の最初の適用例として、マスクスペックとの連携について述べる。

2.3 リソグラフィ設計とマスクスペックへの応用

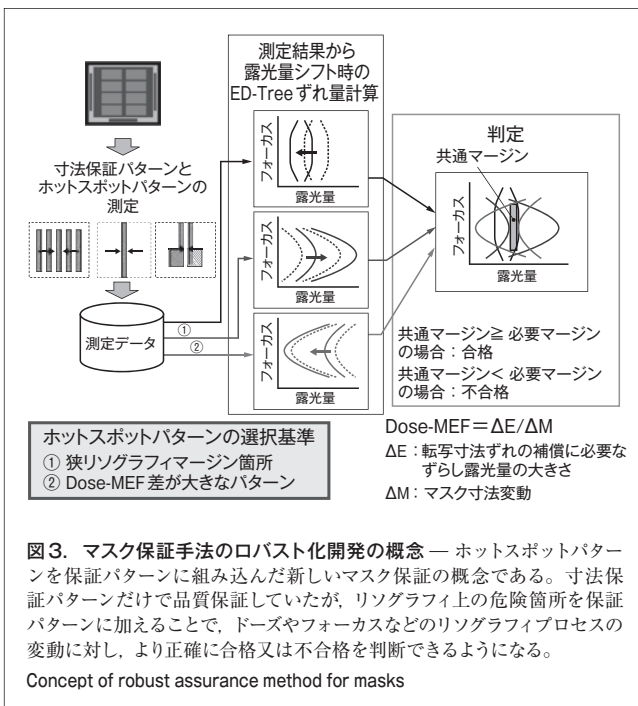
図1からもわかるように、光リソグラフィ設計において、マスクの寸法精度は大きな変動要因である。微細化が進むなかで、マスクの寸法変動量がウェーハ上に転写される際に、変動がより拡大して転写される現象が見いだされるようになってきたから、その重要度は特に増大していた。次世代のマスク製造技術に対する要求寸法精度を策定するにあたって、この特性をいかに把握するかが重要な開発項目であった。また、現世代の製造技術により作成されたマスクを用いて、いかに歩留りよくデバイスの製造ができるかを見極めるためのマスクスペックの策定も、同様に重要な課題であった。

ウェーハ上転写寸法の変動特性の把握に対しては、2.1節で述べた拡散モデルを次世代に拡張し、想定される露光手段の下で、可能なプロセスウィンドウをシミュレーションにより求



め、そこからマスク製造誤差の取り分を振り分けることで必要精度を算出してきた。

マスクスペックの策定に対しては、図2に示すように、マスク寸法精度の誤差要因は寸法平均値誤差とマスク面内ばらつきの2成分に大別される。平均値誤差に対しては、露光装置の露光量設定を適正に変化させることである程度救済できるという計算と実験の結果を基に、保証スペックを従来の固定スペックから、それぞれの誤差の組合せがある一定基準を満たすかどうかで表現されるフレキシブルスペックへの変更を提案するに至った⁽⁶⁾。更に、図3に概念を示すように、マスク保証手法のロバスト化に向けた開発も実施した⁽⁷⁾。これは、ホットスポットパターンと呼ばれる狭マージン箇所や、マスク寸法変動による転写寸法ずれの補償に必要な露光量の大きさ



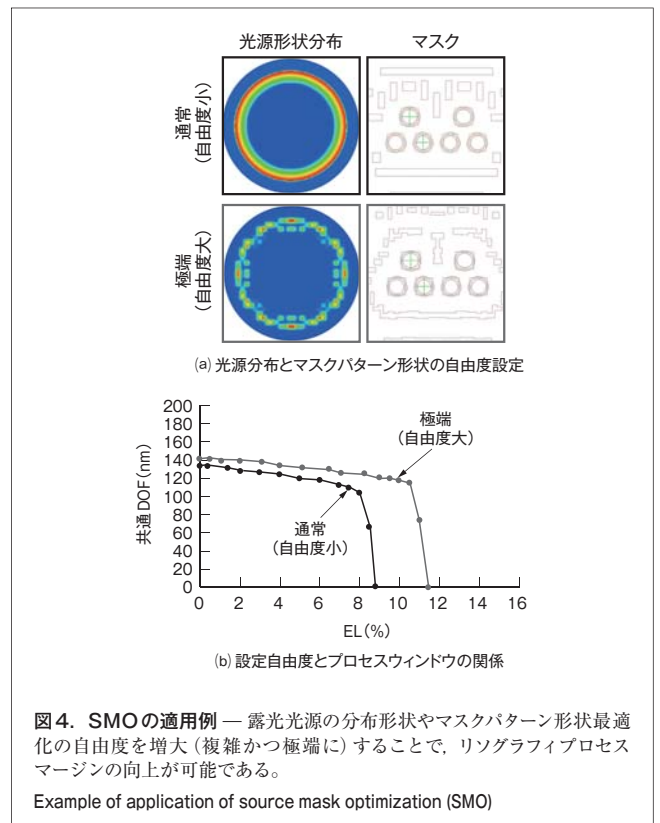
(Dose-MEF (Mask Error Enhancement Factor))という指標により、Dose-MEF差の大きなパターン群をシミュレーションなどにより抽出し、保証パターンに組み込んで測定するという手法である。

次章では、最近のリソグラフィ設計のキーワードである総合最適化手法と、その代表例であるSMO及び露光量マップ補正などについて述べる。

3 最新リソグラフィ設計と計算機リソグラフィ技術

液浸露光装置で製造可能な最小線幅近くまで光リソグラフィ技術が達するようになり、リソグラフィ工程の各要素技術に振り分けられる許容誤差は限界近くまで極小化した。一方、シミュレーション技術は、その精度及び処理速度を向上させ続け、更に、この限界状況を打破するため、計算機リソグラフィと呼ばれる技術分野を形成するに至った。露光装置に設定する光源形状分布と露光するマスクパターンの補正を同時に最適化するSMO技術は、その代表例の一つである。

SMO技術を用いて微細なコンタクトホールパターンを形成するためのリソグラフィプロセスマージンの拡大を検討した例を図4に示す⁽⁸⁾。このように、SMO技術を適用することでリソグラフィマージンは拡大するが、適用の際には、作成する光源分布とマスクパターン形状の自由度の設定が特に重要である。なかでも過度なマスクパターン補正は、マスクの製造において



寸法保証や形状検査など様々な困難を引き起こすため、それらを含めた最適化が必要である。

また、極小化した許容誤差を緩和し製造容易性を高める手法として、2.3節で述べた露光装置とマスク間での誤差取り分の相互補完という考え方を他のプロセスにも応用した総合最適化手法、とりわけ装置の機能拡張による露光領域内の露光量制御技術を基にした露光量マップの補正技術の開発が精力的に行われている⁽⁸⁾。もともと露光量マップ補正技術は、ウェーハ上の露光領域内又は領域間での寸法変動を補償する技術として、露光装置メーカーにより機能開発が進められてきたものであったが、この技術をマスク面内の寸法補償へも展開することで、マスク製造の許容誤差緩和、ひいてはマスクの製造歩留り向上にも寄与することが期待され、開発が進められている。この技術はマスク補償以外にも様々なプロセス技術に対する補償技術として活用が期待されており、これらを統合するためのリソグラフィ設計技術のよりいっそうの高精度化が重要視されるようになってきている。

4 次世代のリソグラフィ設計技術

微細化要求に対する光リソグラフィ技術の適用限界が議論されるなかで、一部の先端的なメモリデバイスの製造ではダブルパターニング技術が実用化されるようになってきた。ダブルパターニング技術に対応する寸法バジレットの解析や構築がそれと並行して進められているが、成膜と加工のプロセス数の増大や、犠牲パターン側と非犠牲パターン側での寸法精度の非対称化など、従来のリソグラフィプロセスに比べて考慮すべき変動要素が格段に増大し、困難度も増している⁽⁹⁾。従来の枠組みにこだわらない、プロセス要素技術全体を考慮した計算機リソグラフィ技術とその予測計算の精度向上、及びそれらを駆使したリソグラフィ設計が求められるようになってくる。

光リソグラフィの微細化限界を乗り越える技術として、極端紫外光 (EUV: Extreme Ultraviolet) を用いた露光技術の開発が精力的に行われてきており、量産機が2012年にも出荷される見通しである。実用化に向けた開発の初期からリソグラフィ設計という概念を採用している⁽¹⁰⁾。また、今後のEUV露光技術の開発の方向性とその限界を見極めるうえでも、EUV露光技術に対応する計算機リソグラフィ技術の開発と、それを用いたリソグラフィ設計技術の重要性は増大してくると思われる。

また、多くの要素技術をリソグラフィ設計手法に基づいて統合し開発を進めていく手法は、製造プロセス技術の枠組みを超え、DFM (Design for Manufacturability) 技術を介して設計との連携にまで及ぶようになってきている。今後のデバイス微細化の実現にとってDFM技術を含めた総合リソグラフィ設計技術は不可欠であり、計算機リソグラフィ技術にとっても重要な開発対象である。

5 あとがき

これまでリソグラフィ技術は、半導体微細化のキー技術として半導体の今日の繁栄を支えてきた。この間、リソグラフィ技術は、マスク、露光装置、レジスト材料とレジストプロセス、及びOPCなどを統合するインテグレーション技術として広く認識されるようになってきた。今後は、各リソグラフィ要素技術の革新と、リソグラフィ設計技術の開発を介した相互連携だけでなく、回路設計技術とリソグラフィ技術の連携や、リソグラフィ技術とそれ以外のプロセスの連携による、総合的な最適設計技術が求められる。また、光以外の様々なリソグラフィ方式も検討され始めており、リソグラフィ設計という概念の下、要素技術開発における研究開発部門と製造部門の連携、及び半導体デバイス製造メーカーとして設計から製造まで全ての部門を持つ当社の強みを生かした技術開発が、ますます重要になってくると思われる。

文献

- (1) Born, M. et al. Principles of Optics Electromagnetic Theory of Propagation, Interference and Diffraction of Light (5th Edition). Oxford, Pergamon Press, 1975, 836p.
- (2) Tsudaka, K. et al. A Fast Resist Image Estimation Methodology Using Light Intensity Distribution. Proc. SPIE. **2512**, 7, 1995, p.384 - 395.
- (3) Lin, B. J. The Optimun Numerical Aperture for Optical Projection Microlithography. Proc. SPIE. **1463**, 7, 1991, p.42 - 53.
- (4) Inoue, S. et al. Optimization of Partially Coherent Optical System for Optical Lithography. Journal of Vac. Sci. & Tech. B. **10**, 6, 1992, p.3004 - 3007.
- (5) Haruki, T. et al. MASCOT: Mask Pattern Correction Tool Using Genetic Algorithm. Jpn. J. Appl. Phys. **35**, 12B, 1996, p.6374 - 6378.
- (6) Nojima, S. et al. Flexible mask specifications. Proc. SPIE. **4754**, 8, 2002, p.32 - 41.
- (7) Hasebe, S. et al. Enhanced Flexible Mask Specifications. Proc. SPIE. **5130**, 8, 2003, p.593 - 599.
- (8) Inoue, S. et al. "Ultimate Optical Extension Technologies for Sustainable Shrink". 2010 International Symposium on Lithography Extensions. Kobe, 2010-10, NanotechJapan. <http://www.sematech.org/meetings/archives/litho/8940/pres/MaLT_02_Soichi%20Inoue.pdf>, (accessed 2012-03-14).
- (9) Mukai, H. et al. A Study of CD Budget in Spacer Patterning Technology. Proc. SPIE. **6924**, 3, 2008, 692406-1 - 692406-8.
- (10) Mori, I. et al. Selete's EUV program: progress and challenges. Proc. SPIE. **6921**, 4, 2008, 692102-1 - 692102-12.



田中 聡 TANAKA Satoshi

研究開発センター デバイスプロセス開発センター主任研究員。
計算機リソグラフィ技術の開発に従事。応用物理学会会員。
Device Process Development Center



三本木 省次 MIMOTO Shoji, Ph.D.

研究開発センター デバイスプロセス開発センターグループ長、
博士 (理学)。リソグラフィ設計技術の開発に従事。
Device Process Development Center