

半導体リソグラフィ技術の動向と東芝の取組み

Trends in Semiconductor Lithography Technologies and Toshiba's Approach

東木 達彦

大西 廉伸

■ HIGASHIKI Tatsuhiko

■ ONISHI Yasunobu

リソグラフィ技術は、マスク原版に描画された半導体デバイスの回路パターンを、露光装置を介してシリコンウェーハ上のレジストに転写する技術である。今まで、半導体デバイスの微細化要求に対応して発展を続け、その進歩を支えてきたが、今後この技術の革新は不可欠である。しかし、主流であった光リソグラフィによる微細化が理論限界を迎えており、半導体デバイスの更なる微細化と低コスト化の要求に応えるため、次世代のリソグラフィ技術へのパラダイムシフトが起こっている。

東芝は、世界一の技術を目指し、設計から製造までの全てを担う垂直統合型企業の強みを生かして、露光装置、マスク、トラック、OPC (Optical Proximity Correction: 光近接効果補正)、及びDFM (Design for Manufacturability: 製造容易性設計) など各要素技術の深耕だけでなく、それらを統合した総合最適化技術の開発を推進し、成果を上げている。

Lithography technology, which transfers a device circuit pattern printed on a mask to a silicon wafer using an exposure tool, plays a critical role in the semiconductor device manufacturing process and is continuously evolving to realize the shrinkage of semiconductor devices. As optical lithography, the mainstream technology, will reach the theoretical limit of resolution, a paradigm shift to next-generation lithography technologies is taking place in response to the need for further reductions in the size and cost of semiconductor devices.

Toshiba is not only developing individual element technologies, including exposure tool technologies, mask technologies, clean track technologies, optical proximity correction (OPC) technologies, and design for manufacturability (DFM) technologies, but has also been achieving world-class results in developing the total optimization of these element technologies utilizing the full spectrum of its capabilities as an integrated device manufacturer from design to production.

光リソグラフィによる微細化の理論限界を迎えて

半導体デバイスの進歩は、リソグラフィ技術という、回路パターンを加工形成する技術が支えてきた。今後も半導体デバイスの進歩にはリソグラフィ技術の革新が不可欠である。

リソグラフィ技術は、マスク原版に描画された半導体デバイスの回路パターンを、露光装置を介してシリコンウェーハ上のレジストという感光性の高分子材料に転写する技術であり、マスク、露光装置、レジスト、OPC (Optical Proximity Correction: 光近接効果補正)、及びDFM (Design for Manufacturability: 製造容易性設計) という要素技術から成り立っている。

今までリソグラフィ技術は半導体デバイスの微細化要求に応じて発展してきたが、リソグラフィの主流であった光リ

ソグラフィによる微細化が理論限界を迎えている(囲み記事参照)。しかし、半導体デバイスの微細化と低コスト化の要求に応じていくため、次世代のリソグラフィ技術へのパラダイムシフトが起こっている。

ここでは、東芝の半導体デバイスの進歩を支えるリソグラフィ技術開発への取組みと成果について述べる。

半導体リソグラフィ技術の概要

リソグラフィということばは、もともと15世紀に発明された印刷技術である石版によるリトグラフが語源である。この時代には、グーテンベルクの活版印刷が有名であるが、リトグラフも多くの芸術家により主に絵画の制作に使用されていた。江戸時代に盛んだった浮世絵も一種のリトグラフと言える。半導体デバイス製造の分野では、半導体デバイ

スの回路パターンを露光装置を介してシリコンウェーハ上のレジストに転写する技術を意味する。

半導体デバイスの製造プロセスにおけるリソグラフィプロセスの位置づけを図1に示す。シリコンウェーハ上の半導体材料を加工する場合、リソグラフィプロセスによってレジストに回路パターンが形成される。その後、エッチングプロセスを経てレジストは除去され、回路パターンが形成される。

更に、リソグラフィプロセスは露光プロセス、マスク製造プロセス、及びマスクデータ補正プロセスに分けられる。露光プロセスでは、光や電子線などの露光光に感光するレジストを利用して、微細な素子や回路パターンをシリコンウェーハ上に複製する。この露光プロセスで回路パターンを複製するための原版がマスクであり、マスクを製造するプロセスをマスク製造プロセスと言う。マ

光リソグラフィの解像限界

光露光装置はマスクパターンに光を照射し、マスクで回折した光を縮小レンズを介してウェーハ上に干渉させて転写像を露光する。転写像の解像度は、レンズの大きさに反比例し光の波長に比例することから、レイリー (Rayleigh) の式(1)で表すことができる。

$$\text{解像度} = k_1 \frac{\lambda}{NA} \quad (1)$$

ここで、 λ は光の波長、 NA (Numerical Aperture) はレンズの大きさを表す開口数、 k_1 は k_1 ファクタと呼ばれ、レジスト材料のコントラストなどリソグラフィのプロセス性能を意味する定数である。つまり、光露光装置の解像度を上げるには、 λ を短波長化すること、レンズの NA を上げること、そして、 k_1 ファクタを小さくすることで実現される。1970年代に登場した光露光装置の解像度向上の歴史は、まさにこの三つのパラメータを革新する歴史だった。

光露光装置の波長は、水銀ランプから発光するg線 ($\lambda = 436 \text{ nm}$) → i線 ($\lambda = 365 \text{ nm}$)、エキシマレーザで発光するフッ化クリプトン (KrF, $\lambda = 248 \text{ nm}$) → フッ

化アルゴン (ArF, $\lambda = 193 \text{ nm}$) と短波長化が進められた。更に短波長化すると光がレンズを透過することが困難となり、光露光装置の短波長化はArFで限界となった。

一方、 NA は図に示すようにレンズの大きさを幾何学的に表したもので、式(2)に示すように、ウェーハ面に結像する光線の開き角 (θ) 及びレンズとウェーハ間の媒質の屈折率 (n) で示される。

$$NA = n \cdot \sin \theta \quad (2)$$

レンズとウェーハ間の媒質が空気の場合には n は1なので、 NA が1を超えるレンズを設計することはできない。そのため、21世紀になって、レンズとウェーハの間に水を浸した液浸露光装置が量産装置として登場した。水のArF光に対する n は1.44なので、 NA が1.44を超えるレンズを設計することはできず、レンズの製造限界なども考慮すると、 NA は1.35が限界である。

レジストプロセスが最大のコントラストを出したと仮定しても、 k_1 ファクタが光の波長の1/4では解像することができないため、 $k_1 = 1/4 = 0.25$ という値を光の解像限界

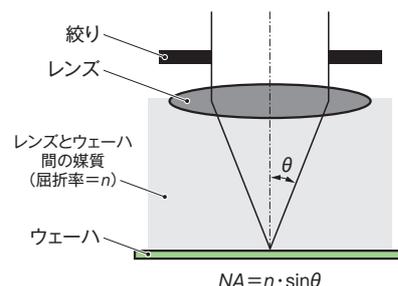


図. NA の定義 — NA が大きいほど解像度が向上する。

と呼ぶ。NAND型フラッシュメモリにおけるレジストプロセスを考慮すると、 k_1 ファクタを0.3以下にすることは困難である。

これらのことから、光リソグラフィの理論限界は、 $\lambda = 193 \text{ nm}$ 、 $NA = 1.35$ 、 $k_1 = 0.3$ であり、式(1)から、解像度の限界は43 nmになる。

しかし、半導体デバイスの微細化要求はとどまることはなく、現在、リソグラフィ以外の技術でパターンの大きさを1/2にするダブルパターニング技術や、EUVリソグラフィ技術の開発が進められている。

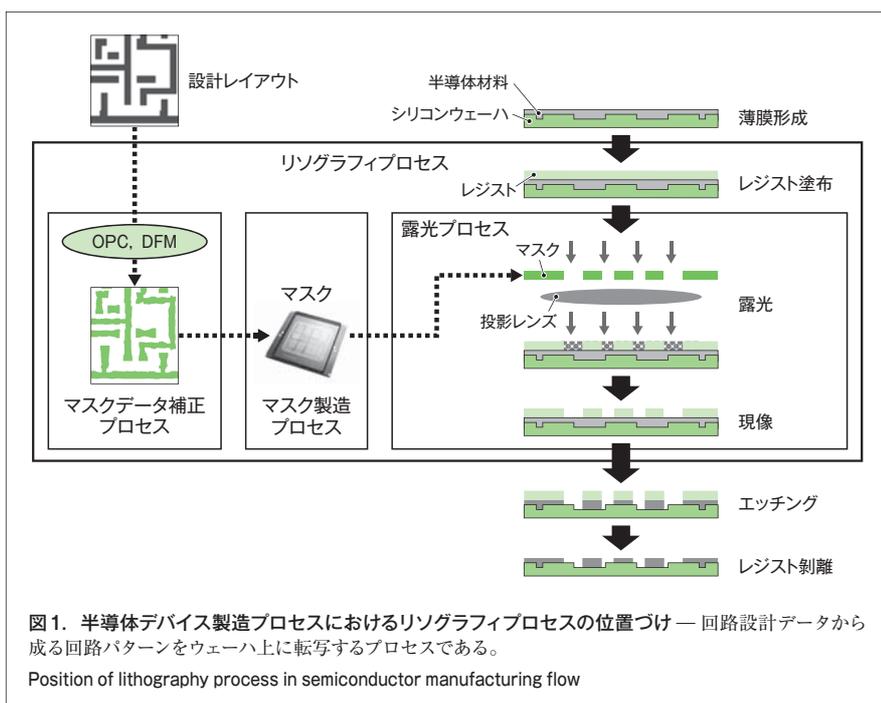


図1. 半導体デバイス製造プロセスにおけるリソグラフィプロセスの位置づけ — 回路設計データから成る回路パターンをウェーハ上に転写するプロセスである。
Position of lithography process in semiconductor manufacturing flow

マスクに形成するデバイスパターンは、マスクデータ補正プロセスでデータが加工される。フォーカス深度などの露光プロセスマージンを拡大するために、OPCという光の近接効果を用いたマスクデータ補正を事前に施す。また、OPCで補正できないパターンに関しては、デバイス設計のレイアウトやパターン設計条件を変更することで、デバイス設計とリソグラフィ設計の総合最適化を行うDFMが行われる。このマスクデータ補正プロセスのOPCやDFMは計算機によって実行される。

露光プロセス

リソグラフィプロセスの中の露光プロセスは、図2に示すように、LSIを製造するのに必要な超微細な回路パターン

をマスク原版に描き、マスクに紫外光を照射し、シリコンウェーハ上のレジストにステップアンドリピート^(注1)して縮小投影露光する縮小投影露光装置で構成される。縮小投影露光法は、マスクパターンの描画誤差やマスク上のごみの像を縮小レンズの縮小比だけ緩和できるので、微細パターンの転写には有利となり、LSI製造プロセスの製造歩留りが向上する。

■マスク製造プロセス

図3に示すように、マスク製造プロセスはマスクパターン作成プロセスとマスク保証プロセスに大別される。

マスクパターン作成プロセスでは、マスクデータを電子ビーム描画装置に入力することによってマスク上のレジストにパターンを描画し、エッチング及び洗浄プロセスを経てマスクパターンが形成される。

マスクは露光プロセスにおけるパターンの原版であり、高い精度が要求される。マスク保証プロセスでは、マスクパターンの寸法と位置の測定、及び欠陥検査が行われ、不良のあるパターンに対しては修正が施される。修正場所の保証を行う検査が終了後、マスク表面に異物が付着することを防ぐベリクルというカバーを装着して出荷する。

このように、マスク製造プロセスには

多くのプロセスステップがあり、各プロセスの品質向上が半導体の歩留りに大きく影響する。当社は、半導体マスク製造装置を開発する多くのメーカーと深く連携しており、最先端マスクを他の半導体デバイスメーカーより先駆けて準備できる体制を構築している。

■マスクデータ補正プロセス

●OPC

図4に示すように、デバイスパターンの微細化が進むと、レジスト上のパターンのコントラストが低下する。このため、デバイスパターンの形状に依存してウェーハ上での光の干渉が変化してしまい、目的とするパターンが形成できなくなる。

この現象をOPE (Optical Proximity Effect: 光近接効果) という。この誤差は、光学原理に基づいたシミュレーションを行うことで予測できる。デバイスパターンの形状誤差を補正する量をあらかじめ光学シミュレーションし、その補正值をマスクデータとして加工してやればよい。この一連の補正行為をOPCという。

しかし、デバイスパターンの高集積化に伴って、パターンの補正精度と計算機によるOPCの計算時間がトレードオフになり、精度と計算時間を両立させる技術が重要になる。当社は、独自のOPC計算システムの開発と、そのシステム上に計算の高速化や高精度化など新たなモジュールを構築するコンピュータグラフィ技術で、世界の先駆けとして半導体デバイスの製造技術の向上に貢献している。

●DFM技術

微細化は、製造プロセスの管理スペックが厳格なのでパターンの製造困難度が増大し、目標歩留りの実現が難しくなっている。このような状況の下で高い歩留りを実現するためには、図5に示すように、設計段階において製造性を考慮し、歩留りの高いレイアウトを作成するためのDFMが必須となる。

DFMにおいては、最適な設計ルール、

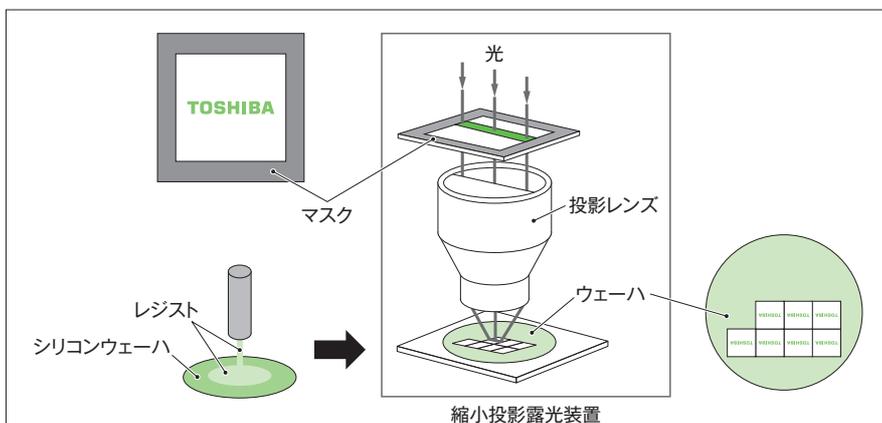


図2. 露光プロセスの構成 — マスク、縮小投影露光装置、及びレジストで構成される。
Configuration of exposure process

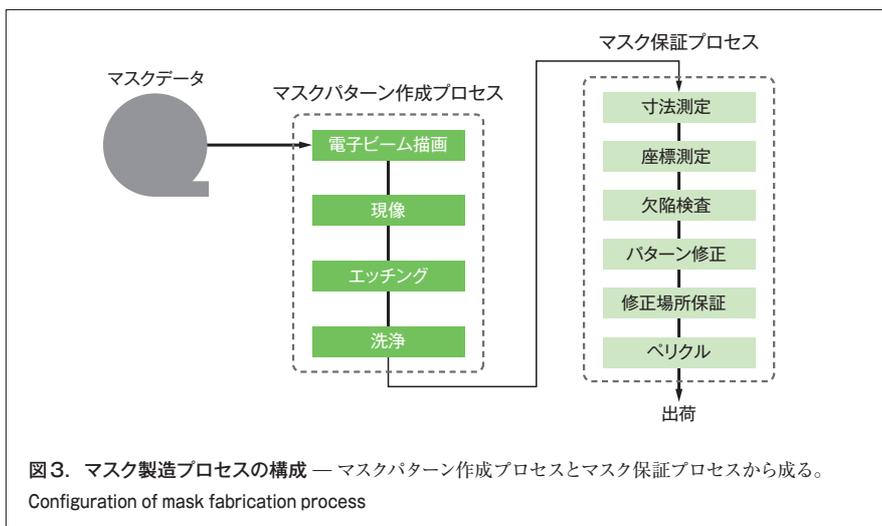
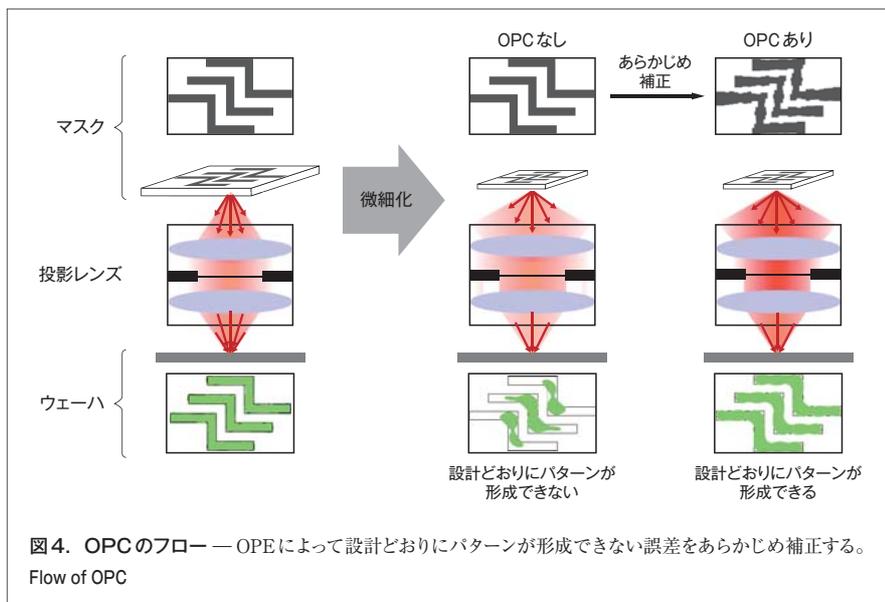


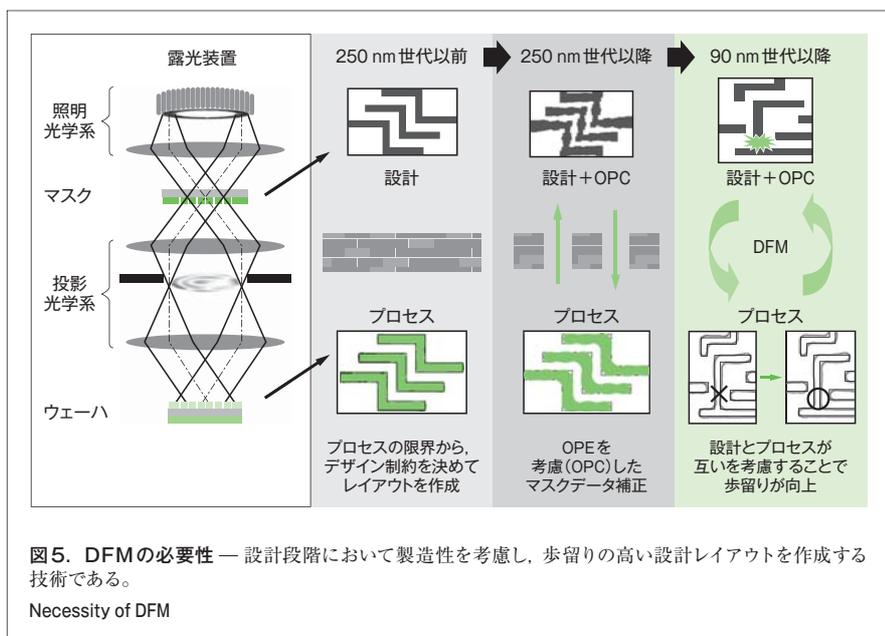
図3. マスク製造プロセスの構成 — マスクパターン作成プロセスとマスク保証プロセスから成る。
Configuration of mask fabrication process

(注1) ステップアンドリピート
1チップ露光するごとにウェーハを載せたステージを移動し、次のチップを露光すること。



エッチングを行う。その後、形成されたパターンにスペーサプロセスを施す。ここで形成されたパターンをマスクにして下層膜をエッチングすることで、レジストパターンの1/2のピッチでパターンが形成される。しかしスペーサプロセスでは、パターン周辺の全ての部分にスペーサが形成されるので、不要な部分は高精度に除去する必要があり、そのため2回目の露光が必要になる。

ダブルパターニング技術は、微細パターンの形成に多数のプロセスを経る必要があるため、寸法精度の安定化が課題である。また、従来の2倍のプロセス数が必要になる露光だけでなく、計測、運搬、及びエッチングなどでも複数のプロセスが必要になることからTAT (Turn Around Time) が長くなり、プロセスコストの上昇を招くことも課題である。これらのコスト上昇をいかに抑えることができるかが、ダブルパターニング技術に要求されている。



今後のリソグラフィ技術

光露光装置の解像限界を打破するために、その縮小投影の方法をレンズ方式から反射ミラー方式に変えるとともに、露光光に波長13.5 nmの極端紫外光 (EUV: Extreme Ultraviolet) を用いたEUV露光装置の開発が進められている。

EUV露光装置の構成を図7に示す。装置の基本要素は従来の光露光装置と同じであるが、露光に用いる光の波長が短いので、構成される光学系には全てミラーが用いられる。また、マスクも光を透過するタイプから、光を多層膜で反射する反射マスクに替える必要がある。EUV露光装置は世界の主要な半導体デバイスメーカーで導入が進んでおり、量産での実用化は近い。

リソグラフィ技術は、半導体パターンの微細化要求に応えるために発展してきた。しかし、更なる微細化の困難さから、製造コストの高騰という問題に直

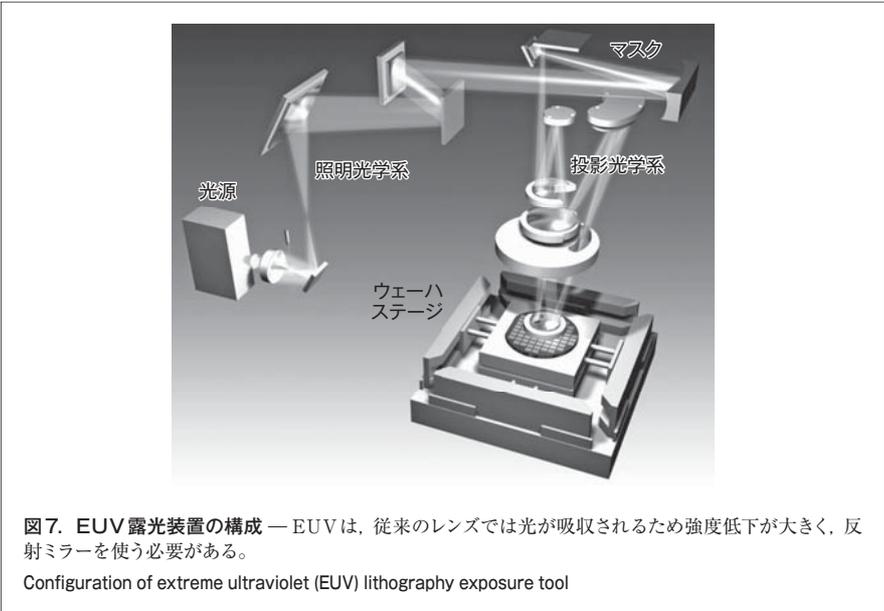
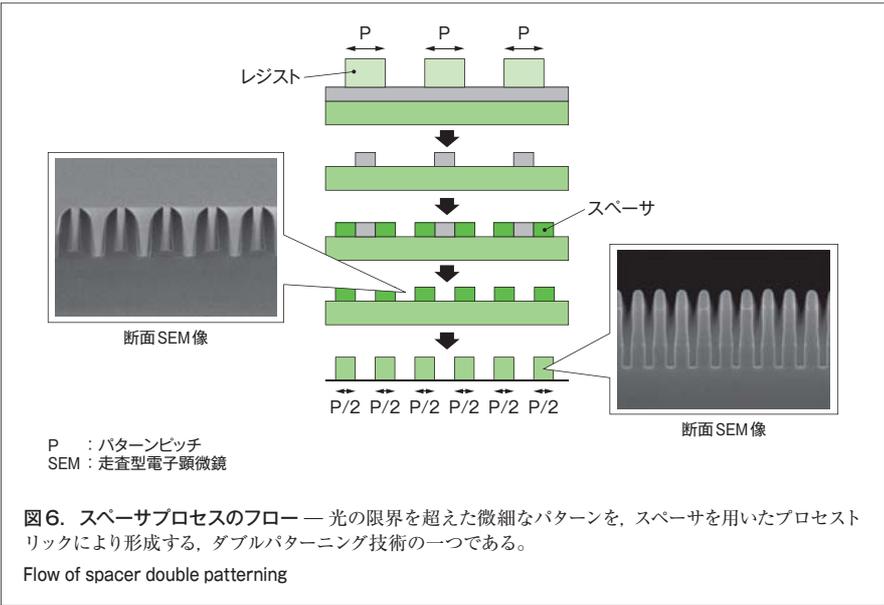
設計レイアウト、照明条件、及びマスク形状を求めるために、膨大なプロセスシミュレーションと図形処理を繰り返す必要がある。当社は、計算機リソグラフィ技術を駆使して設計とプロセスを最適化することで、歩留りを短期間に引き上げるDFM技術の開発を推進している。

ダブルパターニング技術

解像度が42 nm以下のリソグラフィの候補として最近注目されているのが、ダ

ブルパターニング技術である。この技術には、2倍のピッチでパターンを露光した後にその1/2のピッチだけシフトさせて露光する方法や、スペーサプロセスなどのプロセストリックを用いた後に不要なパターンを除去する方法など、複数の手法がある。ここでは、スペーサプロセスを用いたダブルパターニング技術について、図6を用いて説明する。

スペーサプロセスでは、ハードマスクなどの下層膜上に、1回目の露光プロセスにより1:3の比でパターンを形成し、



面している。そのため、今までの微細化一辺倒の開発から低コストリソグラフィへのパラダイムシフトが進みつつあり、このトレンドに対応するための研究開発が世界的に活発となっている。低コスト化にシフトするための次世代リソグラフィ技術の候補として、自己組織化(DSA: Directed Self Assembly)リソグラフィやナノインプリントリソグラフィなども模索されている。

ビジネスを支え続ける リソグラフィ技術

約30年の間、リソグラフィ技術の手段は発展し取捨されてきた。今後も、リソグラフィ技術は、半導体デバイス、プロセス、及びビジネス環境などに適応しながら革新を続けていくに違いない。

今までの常識に縛られては、開発の方向性を誤るおそれがある。新た

な知恵を生み出し、装置、材料、及び半導体デバイスの各メーカーと連携することで、大胆な発想に基づいてリソグラフィ技術の革新を続け、半導体ビジネスの発展に貢献していきたい。

文献

- (1) 東木達彦. 光リソグラフィ技術Ⅲ -実践的基礎と応用-. 東京, EDリサーチ社, 2005, 83p.
- (2) 東木達彦監修. 液浸リソグラフィのプロセスと材料. 東京, シーエムシー出版, 2006, 243p.



東木 達彦
HIGASHIKI Tatsuhiko, D.Eng.

研究開発センター デバイスプロセス開発センター
部長, 工博。リソグラフィ技術の開発に従事。
Device Process Development Center



大西 廉伸
ONISHI Yasunobu

研究開発センター デバイスプロセス開発センター
研究主幹。リソグラフィ技術の開発に従事。応用
物理学会, 日本化学会, 高分子学会, 光化学協会
会員。
Device Process Development Center