

半導体の微細化を促進する 超高速リソグラフィシミュレーション技術

High-Speed Lithography Simulation Technology to Promote Shrinkage of Semiconductor Devices

前田 志門 野嶋 茂樹

■ MAEDA Shimon ■ NOJIMA Shigeki

リソグラフィシミュレーション技術はこれまで、光の波長以下の回路パターンを形成させるための手段として、半導体デバイスの高集積化と微細化をけん引してきた。しかし近年、リソグラフィ技術の課題の解決が従来以上に難しくなっており、微細化を更に進展させるためには、リソグラフィシミュレーション技術のいっそうの進歩が不可欠である。

東芝は、新たに画像処理技術を採用入れることで計算機リソグラフィ技術をいち早く強化し、処理時間と精度のトレードオフを克服することによって、リソグラフィシミュレーション技術開発を推進し、微細化を加速している。

Simulation technologies for the lithography techniques that are used to print an image of a circuit pattern with a pitch shorter than the wavelength of light on a silicon wafer are a strong driver of the high integration and shrinkage of semiconductor devices. However, with the expanding scale and complexity of such lithography techniques in recent years, lithography simulation technologies have become increasingly important for the realization of advanced semiconductor manufacturing processes.

In order to promote and accelerate the shrinkage of semiconductor devices, Toshiba has been developing a new computational lithography simulation technology incorporating image processing techniques to overcome the tradeoff between processing time and accuracy.

1 まえがき

半導体集積化回路の製造において、リソグラフィシミュレーション技術が飛躍的に発展したのは、1990年代に入ってからである。回路の微細化が進むなかで、マスク原版に形成されたパターン形状どおりにレジストパターンを形成できない“光近接効果(OPE: Optical Proximity Effects)”が顕在化してきたためである。この課題を克服する手段として、リソグラフィシミュレーション技術は急成長を遂げ、2000年代には、意図したパターンをウェーハ上に得るために原版上のパターンを補正する“光近接効果補正(OPC: Optical Proximity Correction)”の基盤技術となって、半導体デバイスの高集積化と微細化をけん引してきた。

しかし、近年、微細化への課題がより複雑化し、リソグラフィシミュレーションにおける、処理時間と精度のトレードオフを解決するのが従来以上に難しくなっている。ここでは、このような状況が起きている背景と、それを打破するための東芝の取り組みについて述べる。

2 リソグラフィシミュレーションのモデル式

露光装置の光学系は部分コヒーレント光学系として、式(1)のように記述される(図1)。

$$I(x, y) = \iiint S(f, g) P(f + f_1, g + g_1) \times P^*(f + f_1, g + g_1) \hat{m}(f_1, g_1) \hat{m}^*(f_1, g_1) \times \exp(-i2\pi((f_1 - f_2)x + (g_1 - g_2)y)) df_1 dg_1 df_2 dg_2 df dg \quad (1)$$

- i : 虚数単位
- x, y : 実空間での座標
- f, g : フーリエ空間での座標
- $\hat{}$: フーリエ変換
- $*$: 複素共役

マスクパターンの転写像 $I(x, y)$ は TCC (Transmission

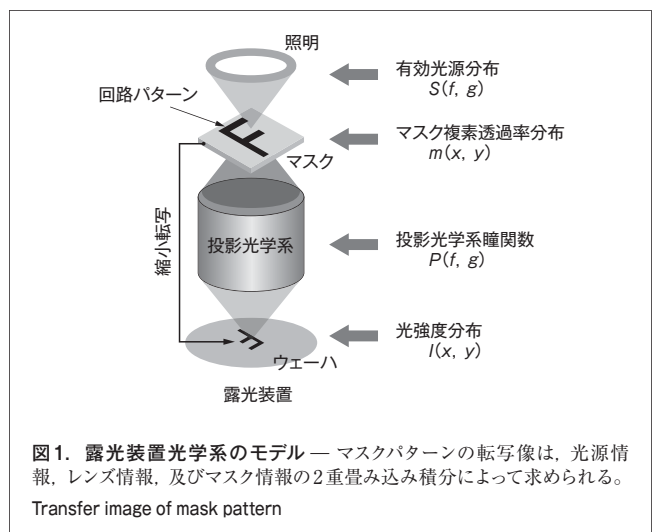


図1. 露光装置光学系のモデル — マスクパターンの転写像は、光源情報、レンズ情報、及びマスク情報の2重畳み込み積分によって求められる。
Transfer image of mask pattern

Cross Coefficient：相互透過係数) と呼ばれるレンズの大きさや光源の形状といった光学系の情報を基にした伝達関数と、マスクパターンの複素透過率関数との2重畳み込み積分として記述される。

ただし、このモデル式を用いてマスクパターン全面を一度に計算するには、膨大な計算コストが必要になり現実的ではない。そこで、1990年代後半に二つの技術革新が提案された。

一つは光学像計算の省力化に関するもので、そのポイントは前述のTCCを固有関数展開し、固有値の大きいものから任意の個数を選択することで、2重畳み込み積分を1重畳み込み積分の複数和として取り扱うというものである。光学像精度は理想解よりも劣るが、劣化度を選択できる自由度が与えられているため、精度をほぼ保ったまま、処理時間を大幅に短縮することに成功した。

もう一つは、Sparse Samplingという考え方である。これは、シミュレーション形状を計算領域全面に対して求めるのではなく、最初に評価箇所を希望する形状上に必要最小限にサンプリングし、その周囲の光学像だけ計算を行うという手法である。

ところが、このSparse Sampling手法には、微細化に伴うパターンの高密度化に従って、処理時間が指数関数的に増大するという本質的な問題がある。そこで、パターン密度の影響を受けない手法として、評価点を格子状に全面配置したグリッドベースによるシミュレーションが見直され始めた。

2000年代後半には、光学像計算部の中心部分である畳み込み積分をハードウェア化する高速グリッドベースシミュレーション技術が実現されたことで、主流はSparse Samplingから、グリッドベースへと急速に移行した。結果的に、当初天文学的数値であったリソグラフィシミュレーションの処理時間は、モデル式の改善や、ハードウェアの飛躍的な性能向上の助けもあり、劇的な短縮化を果たした。このことによって、リソグラフィシミュレーションはその適用の場を、次章に述べるDfM (Design for Manufacturability) 分野へと広げた。

3 DfMにおけるリソグラフィシミュレーションの役割

従来、半導体プロセス製造に関わる設計側への制約は、DR (Design Rule) とSPICE (Simulation Program with Integrated Circuit Emphasis) の2種類で規定されていた。しかし、微細化に伴ってウェーハへの転写が急速に難しくなったため、DRが複雑化し、2000年代以降では、設計図面值に関わる決まりをDRだけで表現できなくなった。

このDRの不十分な点を補うために提案されたのが、DfMという考え方である⁽¹⁾。これはレイアウト設計時に、DRC (Design Rule Check) では表現できない危険点、つまりOPCを施してもウェーハ転写の困難なデザインを検出するチェック方法である。具体的なフローを図2に示す。まずOPCを実施

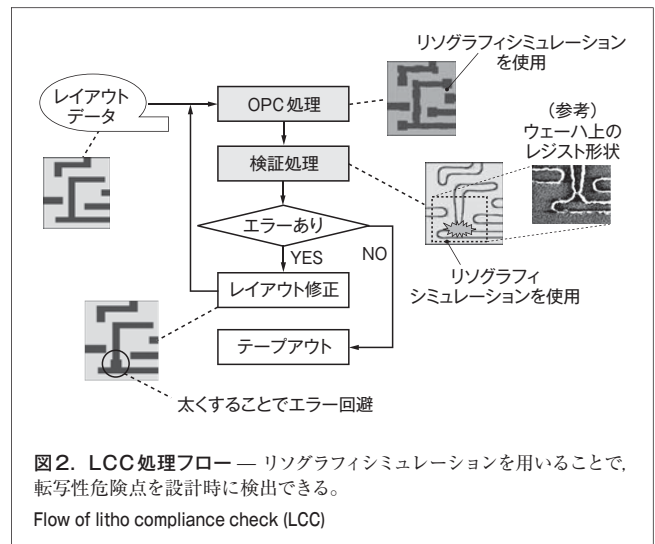


図2. LCC処理フロー — リソグラフィシミュレーションを用いることで、転写性危険点を設計時に検出できる。
Flow of litho compliance check (LCC)

し、それに対して検証を行うもので、一般にLCC (Litho Compliance Check) と呼ばれる。エラーが見つければ、レジストオープンやレジストショートといったエラーの種類によって、レイアウトパターンを太くするか、又は細くする。その後再びLCCを実行し、エラーが完全に除去されるまでこれを繰り返す。

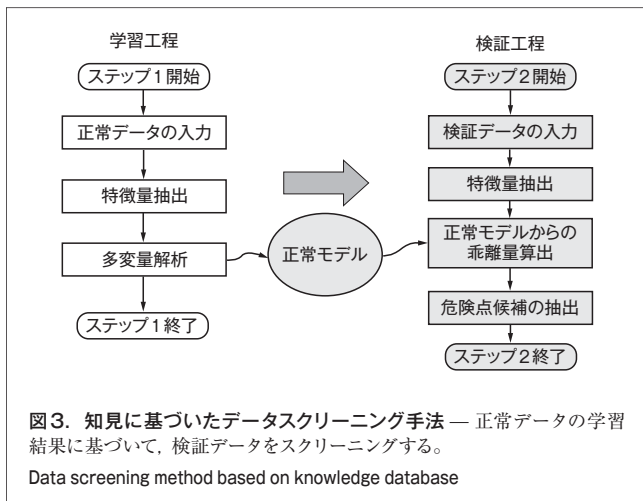
LCCの処理時間の大半は、リソグラフィシミュレーションが占める。そのため、リソグラフィシミュレーションの処理時間を削減する取組みは常に欠かせない。

4 知見ベースのシミュレーション技術

リソグラフィシミュレーション技術では、開発当初から処理時間の削減を優先課題とした多くの取組みがなされてきたが、昨今では、微細化に伴う要求精度の高まりに対し、現実的な時間内で応えることが困難になりつつある。例えば、精度を向上させる施策として、マスクの厚さ成分や投影レンズのひずみ成分を考慮する必要があるが、それらを厳密に計算するには、1週間ほどの計算時間がかかるとの見通しすらある。処理時間の膨大化はレイアウトの設計期間及びマスクの作成期間に影響し、製品リリースの機会損失を招く。

そこで新たな処理時間削減の施策として、2009年頃を境に、これまでの光学モデルをベースとしたリソグラフィシミュレーションから脱却するもう一つの動きが始まった。それはパターンサーチと呼ばれる形状照合手法であり、既知の危険パターンと同一の形状又は類似した形状を、与えられた回路パターンの中から見つけ出すという方法である。つまりこれは、過去の知見をデータベース化して活用する手法である。

以下では、光学モデルをベースとしたリソグラフィシミュレーションを“光学シミュレーション”、知見ベースによるリソグラフィシミュレーションを“知見ベースシミュレーション”と呼ぶ。リソグラフィシミュレーションは光学シミュレーションと知見



ベースシミュレーションに大別される。

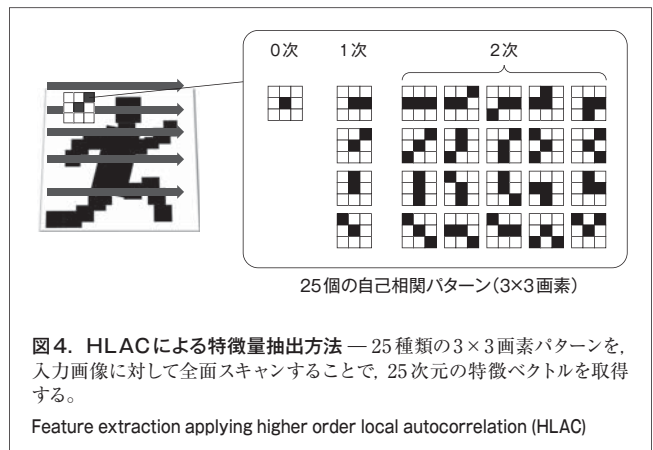
この知見ベースシミュレーションは、特にデータスクリーニングとしての使い方にその有効性を発揮できる。ここでのデータスクリーニングとは、被検査データから疑わしいパターンを抜き出す行為を指す。処理は、光学シミュレーションに比べ非常に高速で、比較的短時間で、危険パターン候補を抽出できる。こうして抽出したパターンに対して光学シミュレーションを用い、転写危険性を評価する。

この手法によれば、LCC計算コストの大半を占める光学シミュレーションの対象領域を、スクリーニング作業によってあらかじめ限定できる。このため、レイアウト設計時のLCC時間短縮に大きく貢献できる。しかし、パターンサーチ手法を使った知見ベースシミュレーションには二つの大きな問題がある。一つは、データベース化されていない危険パターンは必然的にスクリーニングされないという点であり、もう一つは、データベースへの登録数の増大に従いパターンサーチの時間もまた増大するという点である。

当社はこの問題を克服するために、図3に示すようなフローに取り組んだ。第一の工程は、危険点のまったく存在しない“正常データ”を学習する工程である。学習とは、あるルールに従って正常データ群からその特徴量を抽出し、抽出した特徴量に対して統計的解析を行い、正常データとはどういうものか、という“モデル”を作り上げることである。これに続く検証工程では、入力した検証データの特徴量抽出を前述と同じ方法で行い、そのうえで、前述の正常データのモデルからの乖離（かいり）度を算出することで、異常度合いを定量化する。当社は、独立行政法人産業技術総合研究所が開発したHLAC (Higher-Order Local Auto-Correlation: 高次局所自己相関) という手法を適用することで、図3のフローを実現させた。以下にその詳細を述べる。

4.1 高次局所自己相関特徴⁽²⁾

HLACでは、入力データの特徴量として、高次局所自己相



関特徴を用いる。まず、 N 次自己相関関数 x_f を、変位方向 (a_1, \dots, a_N) に対して、式(2)で定義する。

$$x_f(a_1, \dots, a_N) = \sum_{r \in P_2} f(r) f(r+a_1) \dots f(r+a_N) \quad (2)$$

ここで $f(r)$ は対象画像を指す。特徴量を2次までに限定して、全ての相関パターンを数え上げると、図4に示すように25通りになる。これらを、それぞれ入力データに対して全面スキャンし、黒いピクセル部と一致する個数をカウントして並べると、25次元の特徴ベクトルが完成する。これを入力データの特徴量と定義する。

4.2 主成分分析⁽²⁾

前述の手法で取得した、正常データの特徴ベクトルに基づいて、多変量解析の一つである主成分分析を用い、正常部分空間、つまり正常データのモデルを構成する。これは、特徴ベクトルの相関行列 R_x の固有ベクトルにより、式(3)で求められる。

$$R_x U = U \Lambda \quad (3)$$

ここで、 U は固有ベクトルを列とする行列であり、 Λ は固有値を対角要素とする対角行列である。

4.3 危険点候補の抽出⁽²⁾

危険点候補の抽出は、検証データの特徴ベクトルから、前述の正常部分空間までの乖離量に基づいて行われる。この乖離量は正常部分空間までの距離 d_{\perp} として、式(4)のように算出することができる。

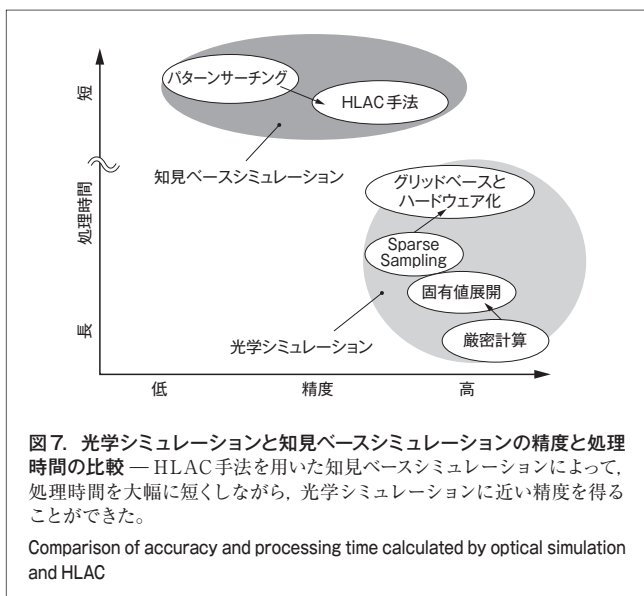
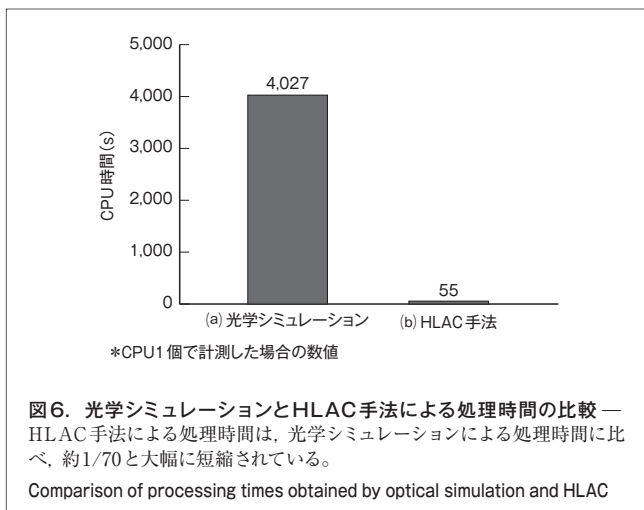
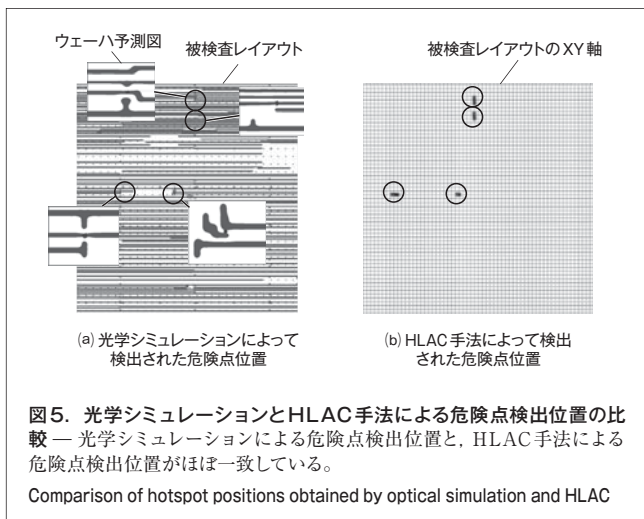
$$d_{\perp} = \|P_{\perp} v\| \quad (4)$$

ここで、 v は検証データの特徴量ベクトル、 P は正常部分空間への射影子を表す。この距離に対し、しきい値を設けることによって、危険点候補を抽出する。

5 HLAC手法によるスクリーニング効果

HLAC手法によるスクリーニングの利点は、検証漏れを防

止できること、及びデータベースが巨大化するのを回避できることである。これは、高次局所自己相関というリソグラフィモデ



ルの畳み込み積分と類似した特徴量を扱うことと、データベースを正常部分空間という極めて軽量化した情報量で表現できるようにしたことで実現した。HLAC手法と光学シミュレーションによる危険点検出位置の比較を図5に、その処理時間の比較を図6に示す。両者は、危険点位置がほぼ一致する一方、HLAC手法の処理時間は約1/70と大幅に短縮されている。

最後にまとめとして、光学シミュレーションと知見ベースシミュレーションの精度と処理時間の比較を図7に示す。

6 あとがき

リソグラフィシミュレーション技術は、半導体の微細化を促進する重要技術として、半導体の今日の繁栄を支えてきた。今後、微細化の課題がより厳しくなっていくなか、更にプロセス開発を進めていくためには、従来手法だけに捉われない、革新的な技術の導入が必要である。

当社は、HLACに代表される画像処理技術に着目し、リソグラフィの特徴を超高速にシミュレーションする手法をいち早く開発した。これにより、これまでシミュレーション技術の課題となっていた、処理時間と精度のトレードオフを解決することができた。今後も引き続き計算機リソグラフィ技術の強化を進め、先端プロセス開発の進展に貢献していく。

文献

- (1) Kotani, T. et al. "Efficient hybrid optical proximity correction method based on the flow of design for manufacturability (DFM)". Proc. SPIE 5130. Yokohama, 2003-04, SPIE. 2003, p.628 - 637.
- (2) Otsu, N. et al. "A new scheme for practical flexible and intelligent vision systems". Proc. IAPR Workshop on Computer Vision. Tokyo, Japan, 1988-10, IAPR. 1988, p.431 - 435.



前田 志門 MAEDA Shimon

研究開発センター デバイスプロセス開発センター主任研究員。
次世代リソグラフィ基盤技術の研究・開発に従事。
Device Process Development Center



野嶋 茂樹 NOJIMA Shigeki

研究開発センター デバイスプロセス開発センター主任研究員。
次世代リソグラフィ基盤技術の研究・開発に従事。
Device Process Development Center