

# 先端メモリ及びロジックICへ向けたスピンMOSFET技術

## Spin-MOSFET Technologies for Realization of Advanced Memories and Logic ICs

井口 智明

■ INOKUCHI Tomoaki

棚本 哲史

■ TANAMOTO Tetsufumi

斉藤 好昭

■ SAITO Yoshiaki

高度情報通信機器や、携帯端末、デジタル家電などでは、CMOS（相補型金属酸化膜半導体）トランジスタの高密度集積化や高速動作に伴う消費電力の増大が大きな問題となり、従来と異なる動作原理に基づく高付加価値素子が必要になっている。

東芝は今回、メモリとトランジスタの機能を一つに統合した新型素子 スピンMOSFET（金属酸化膜半導体型電界効果トランジスタ）であるSTS（Spin-Transfer-Torque Switching）-MOSFETを開発し、明瞭な読出し特性と、スピン注入磁化反転を用いた $10^5$ 回以上の良好な繰返し書込み特性を観測した。また、大規模回路シミュレーションを用いてこの素子の有用性を検証し、将来の先端メモリ及びロジックICにとって有望な素子であることを示した。

In order to realize memories and logic integrated circuits (ICs) with low power consumption for advanced information and telecommunications equipment, mobile terminals, digital home appliances, and so on, the creation of high-value-added devices through innovative technologies based on new operating principles is required.

Toshiba has developed a spin-transfer-torque-switching metal-oxide-semiconductor field-effect transistor (STS-MOSFET), which is a novel spintronic device integrating memory and transistor functions that offers great potential for future advanced memories and logic ICs. Experiments on a prototype STS-MOSFET confirmed that it achieves clear read and excellent write characteristics with an endurance exceeding  $10^5$  cycles. Large-scale circuit simulations for various field-programmable gate arrays (FPGAs) also demonstrated that the critical path delay is significantly improved by using the STS-MOSFET.

## 1 まえがき

CMOS（相補型金属酸化膜半導体）トランジスタの微細化によって低消費電力化と高速動作を推進してきたシリコン集積回路はスケーリング則の物理的限界に直面しつつある。これにより高度情報通信機器や、携帯端末、デジタル家電などでは、CMOSトランジスタの高密度集積化や高速動作に伴う消費電力の増大が大きな問題となっている。また、一般的なCMOSトランジスタを用いた集積回路は揮発性で、電源の遮断時に情報が失われてしまうため、情報の維持に必要な待機電力は増大する一方である。この待機電力は、消費電力全体の約5～10%になっている。そこで、次世代の高度情報社会の中心を担う新たな動作原理に基づく低消費電力でかつ不揮発性記憶機能を備えた新型トランジスタが必要とされている。

その有力候補の一つが、電子の持っているスピン機能を活用したスピンMOSFET（金属酸化膜半導体型電界効果トランジスタ）<sup>(1)</sup>である。これは電極に磁性体を用いてメモリとトランジスタの機能を一つに統合した新型素子であり、不揮発性記憶機能や、高速動作と高集積化の可能性、高い繰返し耐性などの特長を持つ。この素子を用いれば小面積で不揮発のメモリを実現できるだけでなく、不揮発性の論理回路を構成することができるため、集積回路の待機電力をゼロにできる。

スピンMOSFETでは、ソース電極となる磁性体からスピン偏極した電子を半導体に注入し、このスピン偏極した電子をドレイン電極側に配置された磁性体で検出する。ソース電極とドレイン電極の磁化方向が一致していれば、ソースとドレインの間でスピン偏極した電子が流れるが、磁化方向が反平行であればスピン偏極した電子は流ることができない。つまり、磁化の方向を電流で検出するメモリとして利用することができるように、ゲート電極によってソースとドレインの間の電流量を制御するトランジスタとしての機能も実現できる。

スピンMOSFETを実現するにあたっては、スピン偏極した電子をいかに効率よく半導体へ注入するか、また、磁化の書込みをいかに行うか、などの課題を考慮してデバイスを設計しなければならない。東芝は、磁性金属からトンネルバリアを介して半導体へスピンを注入する技術を開発し<sup>(2), (3)</sup>、更に磁化書込みの方法まで考慮した独自構造のスピンMOSFETであるSTS（Spin-Transfer-Torque Switching）-MOSFETを開発し、読出しと書込み動作の実現に成功した<sup>(3)</sup>。また、初期の段階から素子の信頼性にも着目して検証を行い、 $10^5$ 回以上の安定な繰返し書込み特性が得られた<sup>(4), (5)</sup>。更に、大規模回路シミュレーションを使用してスピンMOSFETを用いたFPGA（Field Programmable Gate Array）回路の動作速度及び回路面積を解析したところ、従来のCMOS回路と比較して大幅

な改善が見られた<sup>(6)</sup>。ここでは、この素子の概要、特性、及びシミュレーション結果について述べる。

## 2 素子の概要

この研究で用いたバックゲート型STS-MOSFETは、SOI (Silicon-on-Insulator) 基板を利用したバックゲート型トランジスタのソース及びドレイン上に、サイズの異なる強磁性体積層膜 (MTJ (Magnetic Tunnel Junction) 又はGMR (Giant Magneto Resistive) 素子) を備えている。

強磁性体積層膜としてMTJ素子を用いたSTS-MOSFETの構造を図1に示す。従来提案されているスピンMOSFETはソース及びドレイン上に強磁性体が形成され、二つの強磁性体の磁化方向に依存してドレイン電流が変化する構造になっている。この従来のスピンMOSFETのソース電極及びドレイン電極の両方あるいは片方の強磁性体を強磁性体積層膜で置き換えることで次の利点を発現させることができる。

まず、MTJ又はGMR素子を使用することで、スピン注入磁化反転法を用いた磁性体電極の磁化方向の書換えが可能になるという利点がある。スピン注入磁化反転法とは、MTJ又はGMR素子に電流を印加した際に強磁性体を通過した電子のスピンの片側にそそえられ、もう片方の強磁性体へ流れ込む際にスピントルクがはたらいて臨界電流密度以上で磁化記録層の磁化状態の書換えが可能になることを利用した磁化書込み法である。書換え後の磁化状態は電子を流す向きに依存し、通常は磁化固着層から磁化記録層に電子を流すと双方の

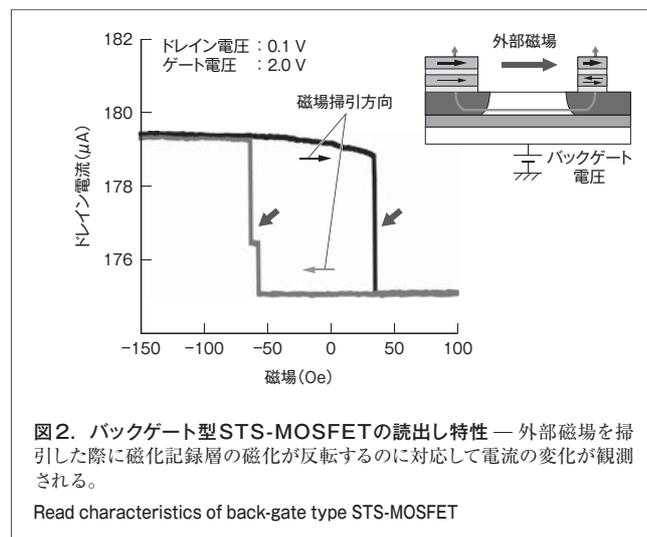
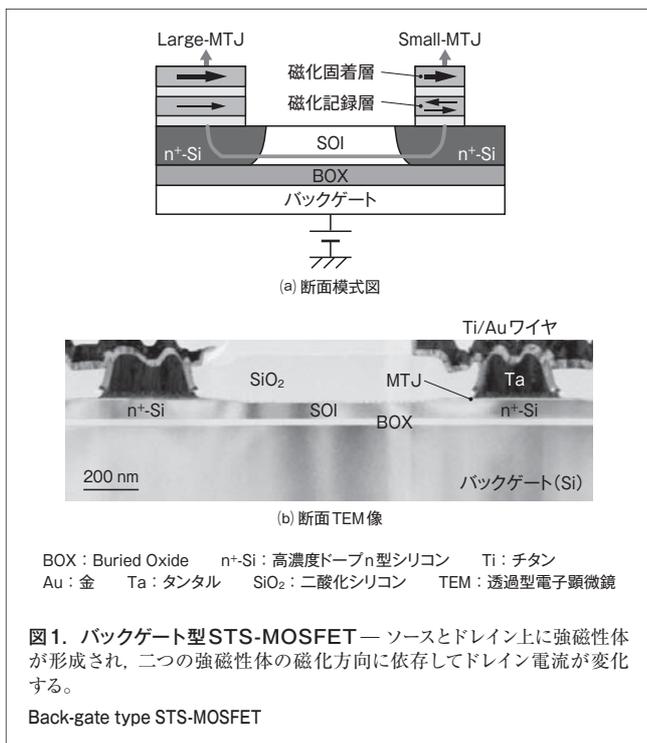
磁化方向が一致した状態 (平行状態) となる。一方、磁化記録層から磁化固着層に電子を流すと、両方の磁化方向が逆向きの状態 (反平行状態) となる。二つのサイズの異なるMTJ (以下、それぞれlarge-MTJとsmall-MTJと呼ぶ) を作製した場合には、large-MTJとsmall-MTJの間に電流を流す際にsmall-MTJだけ臨界電流密度を超える条件の電流を流せば、small-MTJの磁化方向だけを変化させることができる。

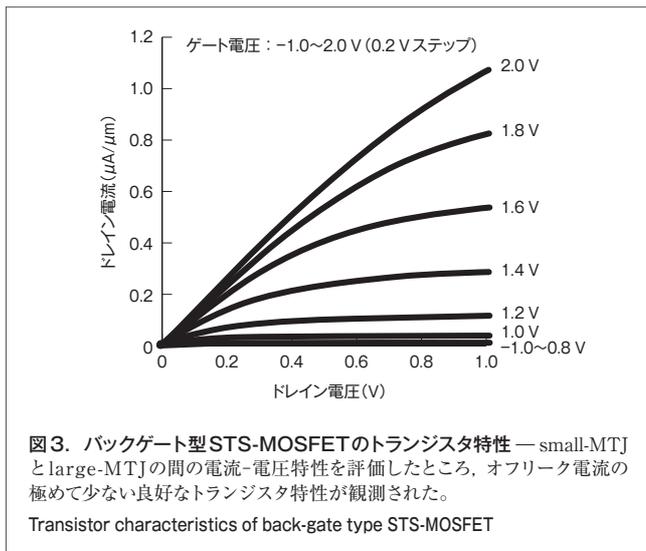
更にMTJを用いた場合には、磁気抵抗比を増大できるという利点がある。通常のスピンMOSFETではソースとドレインの間のスピン依存伝導に起因した抵抗変化だけが発現するが、MTJを用いた場合にはスピン依存伝導による抵抗変化に加えてMTJに起因する抵抗変化が発現する。したがって、従来のスピンMOSFETと比較して高い磁気抵抗変化率を実現できる。

## 3 素子の特性

読出し特性として、バックゲート電圧を印加したうえで、磁化記録層の面内方向に外部磁場を印加してlarge-MTJとsmall-MTJ間の電流を測定した結果を図2に示す。外部磁場を掃引するとMTJの磁化記録層の磁化が反転するため、その磁化反転に対応したドレイン電流の明瞭な変化が観測される。なお、磁化が反転する磁場は磁化記録層のサイズに依存するため、small-MTJとlarge-MTJで異なった磁場で磁化が反転する。したがって、それぞれのMTJの磁化反転に対応した2回の電流変化が観測される。

また、バックゲート電圧を変化させながらsmall-MTJとlarge-MTJの間の電流-電圧特性を評価したところ、オフリーク電流の極めて少ない良好なトランジスタ特性が観測された (図3)。トランジスタでは磁性体などの金属不純物が特性に悪影響を与えることが知られているが、当社で基本特許を取得している





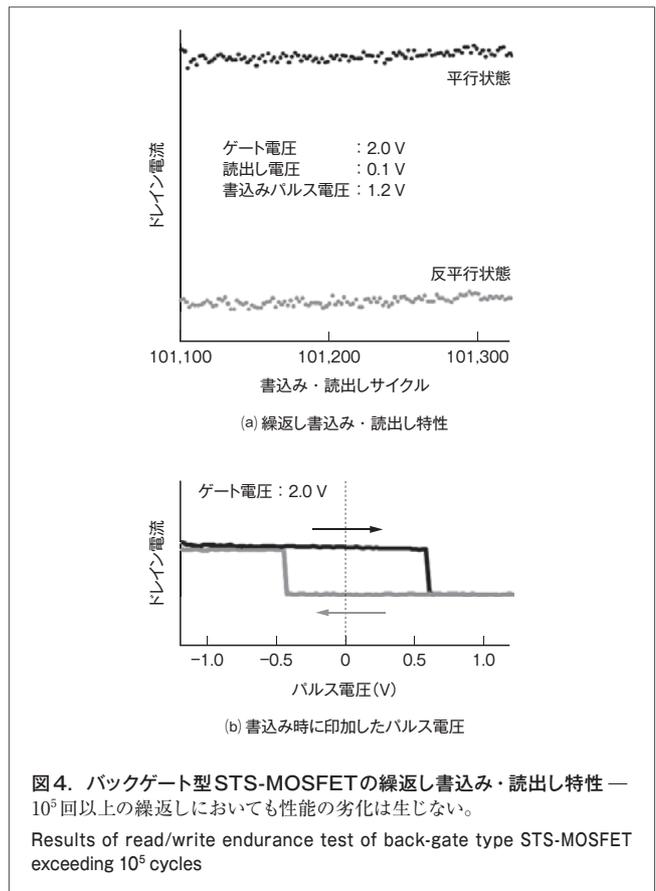
強磁性体積層膜と半導体の間にトンネル障壁を挿入する構造を採用すれば、トランジスタ特性に悪影響を与えることなくトランジスタ上に強磁性体積層膜を作製できることを示す重要な結果と言える。

一方、この素子では完全な飽和領域が観測されていない。これはMTJとSOIの界面に存在する寄生抵抗が主に影響しており、寄生抵抗を削減することで低いドレイン電圧で飽和領域が観測されるものと考えられる。最近の当社の研究ではこの寄生抵抗を削減できるめどもついてきており、今後更にデバイス特性の改善を進めていく予定である。

次に、書き込みについて述べる。STS-MOSFETの書き込みはバックゲート電圧を印加してトランジスタのチャネルを開いた状態で、small-MTJとlarge-MTJの間にパルス電圧を印加することで行う。書き込みの際には磁化記録層の磁化困難方向に外部磁場を印加している。磁化困難軸方向への磁場印加により、スイッチングに必要な臨界電流量を低減できるためである<sup>(7), (8)</sup>。書き込みを行った後は、small-MTJとlarge-MTJの間に書き込みよりも低い電圧を印加して電流量を読み出す。

前述の手順で書き込み・読出し特性を評価した結果を図4に示す。small-MTJが平行状態と反平行状態にスイッチングするのに応じて明瞭な2値状態が観測される。一方、large-MTJは書換え時に多くの電流を必要とするため、今回印加した電圧範囲内ではlarge-MTJの磁化記録層の磁化の書換えは起こらない。したがって、small-MTJの磁化記録層の磁化状態の変化に対応した電流変化だけが観測される。

また、読出しと書き込みを安定化させることで、少なくとも $10^5$ 回の安定的な繰返し動作が得られる。過去の研究で、厚い絶縁膜上に作製したMTJの信頼性について調べた例はあるが、今回のようにトランジスタ上に薄いトンネルバリアを介してトランジスタに接合されたMTJの信頼性を調べた例はない。今回の結果は、磁性膜及びトンネルバリアを用いたSTS-



MOSFETを使用して集積回路を構成した際にも高い信頼性を実現できることを示している。

## 4 シミュレーション結果

スピンMOSFETを用いたFPGA (以下、スピンFPGAと呼ぶ) 回路を提案し<sup>(9)</sup>、ベンチマーク回路シミュレーションを行った。ここで、シミュレーションにはトロント大学グループによって開発されたT-VpackとVPR (Versatile Place and Route) の手法<sup>(9)</sup>を用いた。

このシミュレーションで用いたFPGAは4入力1出力のLook-up Table (LUT) 回路がクラスタ状のロジックブロック回路として形成されていると仮定し、FPGA内のLUT回路及びスイッチングブロック内のMOSFETの一部をスピンMOSFETで置き換えている。LUT回路にスピンMOSFETを用いる場合、一つのSRAM (Static RAM) を一つのスピンMOSFETで置き換えられるため、トランジスタ数を約1/3に削減できるだけでなく、回路が不揮発になることから待機時の消費電力を大幅に削減できる<sup>(10)</sup>。

回路性能は、クリティカルパス遅延 ( $\tau$ ) が小さいほど、また回路面積 (A) が小さいほど高性能と判断できる。ここで、 $\tau$  と A の性能改善率をそれぞれ式(1)と式(2)で定義する。

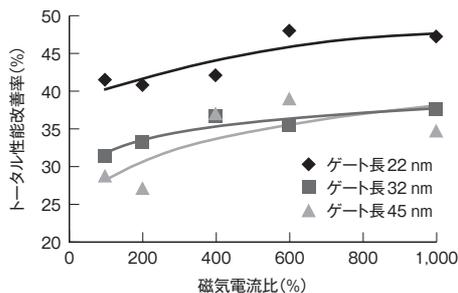


図5. スピンFPGAのトータル性能改善率と磁気電流比の関係 — 磁気電流比が200%のとき、トータル性能改善率は40%に達し、スピンMOSFETを用いたスピンFPGAが将来の不揮発再構成可能な論理回路の実現に向けたキーデバイスとなりえることを示している。

Relationship between performance improvement rate and magnet-current ratio of spin FPGA

$\tau$ の性能改善率

$$= (\tau_{\text{cmos-FPGA}} - \tau_{\text{spin-FPGA}}) / \tau_{\text{spin-FPGA}} \quad (1)$$

Aの性能改善率

$$= (A_{\text{cmos-FPGA}} - A_{\text{spin-FPGA}}) / A_{\text{spin-FPGA}} \quad (2)$$

添字のspin-FPGA及びcmos-FPGAはそれぞれ既存のスピンFPGA及びCMOS技術を用いたFPGAを表す。シミュレーション結果によれば、スピンMOSFETの磁気電流比が上昇するにつれて、スピンFPGAの $\tau$ は改善されていき、磁気電流比が200%のとき改善率は20.8%に達する。また、 $\tau$ とAのトータル性能改善率を“( $\tau_{\text{cmos-FPGA}} \times A_{\text{cmos-FPGA}} - \tau_{\text{spin-FPGA}} \times A_{\text{spin-FPGA}}$ ) / ( $\tau_{\text{spin-FPGA}} \times A_{\text{spin-FPGA}}$ )”とした場合のスピンFPGAの優位性を表す結果を図5に示す。例えば、磁気電流比が200%のときのトータル性能改善率は40%に達する。これらの結果は、スピンMOSFETを用いたスピンFPGAが将来の不揮発再構成可能な論理回路の実現に向けたキーデバイスとなりえることを示しており、また、スピンMOSFETの磁気電流比が回路全体のパフォーマンスを決定する重要な要因となることを意味している。

## 5 あとがき

スピン注入書込み可能な新しいタイプのSTS-MOSFETを試作し、不揮発性集積回路へ応用する際に重要となる読出し及び書込み動作を実証した。素子の信頼性にも初期の段階から着目し、読出し及び書込み動作の信頼性の確認を行ったところ少なくとも $10^5$ 回以上の繰返し耐性が得られた。更に回路シミュレーションによってFPGAに適用した場合の特性向上率を見積った。その結果、従来CMOS回路と比較して回路遅延特性の向上及び回路面積の削減が可能であること、また、性能向上にはスピンMOSFETの磁気電流比の向上が必要であることが明らかになった。これらの結果はスピンMOSFET

及びSTS-MOSFETが将来のメモリやロジック構成素子として有望であることを示すものである。

この研究の一部は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)の委託事業「高スピン偏極材料を用いたスピンMOSFETの研究開発」プロジェクトで実施したものである。

## 文献

- (1) Sugahara, S.; Tanaka, M. Spin MOSFETs as a Basis for Spintronics. *ACM Transactions on Storage*. **2**, 2, 2006, p.197 - 219.
- (2) Inokuchi, T. et al. Electrical Spin Injection into n-GaAs Channels and Detection through MgO/CoFeB Electrodes. *Applied Physics Express*. **2**, 2, 2009, p.023006-1 - 023006-3.
- (3) Marukame, T. et al. "Read/write operation of spin-based MOSFET using highly spin-polarized ferromagnet/MgO tunnel barrier for reconfigurable logic devices". International Electron Device Meeting (IEDM) Technical Digest, Baltimore, MD, USA, 2009-12, IEEE, 2009, p.215 - 218.
- (4) Inokuchi, T. et al. "Reconfigurable Characteristics of Spintronics-based MOSFETs for Nonvolatile Integrated Circuits". Symposium on VLSI Technology, Honolulu, Hawaii, USA, 2010-06, IEEE, 2010, p.119 - 120.
- (5) Saito, Y. et al. Spin injection, transport, and read/write operation in spin-based MOSFET. *Thin Solid Films*. **519**, 23, 2011, p.8266 - 8273.
- (6) Tanamoto, T. et al. Scalability of spin field programmable gate array: A reconfigurable architecture based on spin metal-oxide-semiconductor field effect transistor. *Journal of Applied Physics*. **109**, 7, 2011, p.07C312-1 - 07C312-3.
- (7) Inokuchi, T. et al. Current-induced magnetization switching under magnetic field applied along the hard axis in MgO-based magnetic tunnel junctions. *Applied Physics Letters*. **89**, 10, 2006, p.102502-1 - 102502-3.
- (8) Saito, Y. et al. Hard axis magnetic field dependence on current-induced magnetization switching in MgO-based magnetic tunnel junctions. *The European Physical Journal B*. **59**, 4, 2007, p.463 - 469.
- (9) Betz, V. et al. Architecture and CAD for Deep-Submicron FPGAs. Kluwer Academic Publishers, 1999, 264p.
- (10) Sugiyama, H. et al. "Novel Look-Up Table Circuits Using Spin MOSFET". Extended Abstracts of the 2008 International Conference on Solid State Devices and Materials, Tsukuba, Japan, 2008-09, The Japan Society of Applied Physics, 2008, p.670 - 671.



井口 智明 INOKUCHI Tomoaki, Ph.D.

研究開発センター LSI基盤技術ラボラトリー研究主務、工博。スピントロニクスデバイスの研究・開発に従事。日本磁気学会、応用物理学会会員。

Advanced LSI Technology Lab.



棚本 哲史 TANAMOTO Tetsufumi, Ph.D.

研究開発センター LSI基盤技術ラボラトリー主任研究員、理博。半導体ナノデバイスの研究・開発に従事。日本物理学会、応用物理学会会員。

Advanced LSI Technology Lab.



齊藤 好昭 SAITO Yoshiaki, Ph.D.

研究開発センター LSI基盤技術ラボラトリー研究主幹、理博。GMR, MRAM, スピンMOSFETなどスピントロニクスデバイスの研究・開発に従事。応用物理学会、日本物理学会、日本磁気学会、APS会員。Advanced LSI Technology Lab.