

半導体メモリの大容量化を支えるパッケージング技術

Packaging Technologies Supporting High-Capacity Semiconductor Memories

大森 純

■ OMORI Jun

NANDフラッシュメモリは、市場価格の下落とともに画像から動画へと用途が拡大し、大容量化への要求がますます強くなっている。なかでもSSD（ソリッドステートドライブ）や、スマートフォン、タブレットPC（パソコン）などの登場がこれをけん引している。同時に、機器の落下や温度変化に耐えうる高いボード実装信頼性を備えるパッケージが要求されている。

これらの要求に応えるため東芝は、パッケージの大容量化や、小型・薄型化を実現するチップ多段積層技術を中心としたパッケージ組立技術を開発するとともに、シミュレーション技術を活用してパッケージの設計段階での品質作り込みを行っている。

The demand for high-density memories has been increasing as a result of the reduction in market prices of NAND flash memories and the shift from image data to moving-picture data in recent years. The emergence of mobile devices such as solid-state drives (SSDs), smartphones, and tablet PCs has also been a strong driver of this trend. In addition, high robustness against drop impact and temperature variation for packages offering high board-level reliability is required.

To meet these requirements, Toshiba has been developing memory packaging and assembly technologies including high-capacity packaging technologies and multi-die stacking technologies for thin packages. We are also promoting quality improvement activities to design robust packages that are guaranteed in accordance with board-level reliability using simulation technologies.

1 まえがき

NANDフラッシュメモリは、デジタルカメラの画像保存用に採用され、その後デバイスの低コスト化の進展とともにUSB（Universal Serial Bus）メモリや、携帯電話、携帯オーディオプレーヤなど新たな商品に採用されてきた。画像、音楽から動画やPCデータ保存へと用途が拡大するとともに、メモリの大容量化が進んでいる。特に、SSDに搭載されるメモリ容量は512 Gバイトに達し、今後も更に大容量化が進むことが予想される。またスマートフォンでは、画像や動画などの機能を全て取り込むため、60 Gバイトを超えるPC並みのメモリ容量を一つのパッケージに収めなければならない。一方、携帯機器の小型・薄型化への要求も強く、“小さいパッケージ”に“複数枚のチップ”を搭載する必要がある。

このような市場の要求に応えるため、東芝は、チップ薄厚化技術を中心としたチップ多段積層パッケージング技術を開発した。また、携帯機器の特性上、パッケージをマザーボードにはんだ付け実装した後の落下試験及び温度サイクル試験において、高い耐久性を要求される。これに対しては、シミュレーション技術を活用してパッケージ開発段階でのロバスト設計ができるようにした。

ここでは、当社が開発した半導体メモリの薄厚チップ多段積層パッケージング技術、及びシミュレーション技術を活用した高信頼性パッケージデザインについて述べる。

2 メモリパッケージのラインアップ

当社のメモリパッケージのラインアップを図1に示す。

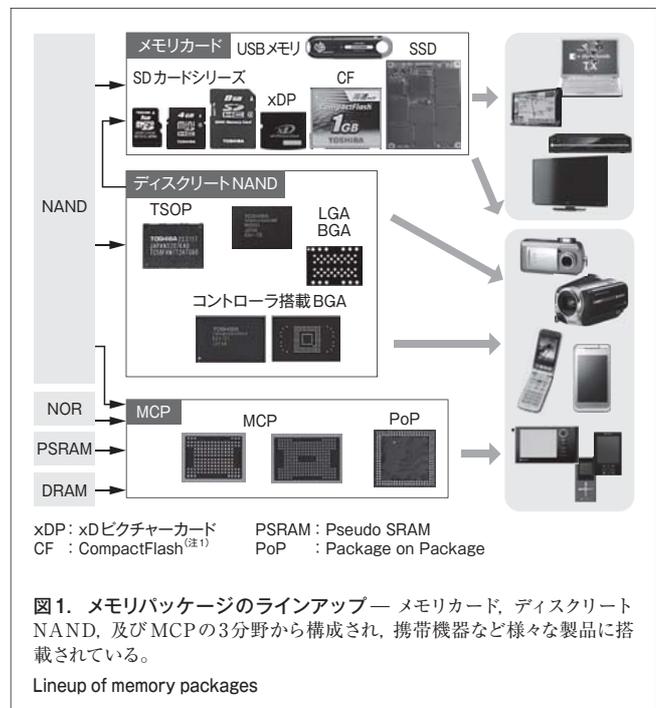


図1. メモリパッケージのラインアップーメモリカード、ディスクリットNAND、及びMCPの3分野から構成され、携帯機器など様々な製品に搭載されている。

Lineup of memory packages

(注1) CompactFlashは、米国サンディスクコーポレーションの登録商標。

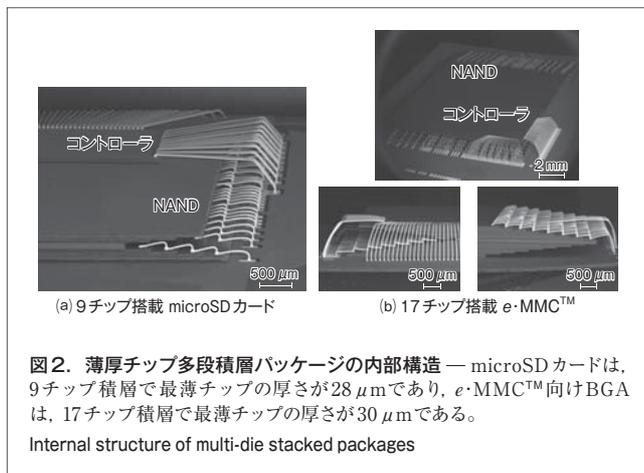
メモリカードは、SDカードシリーズを筆頭に、TSOP (Thin Small Outline Package) やBGA (Ball Grid Array) といった、パッケージをコントローラとともに基板実装するUSBメモリやSSDなどもこの領域に含まれる。ディスクリットNANDは、NANDフラッシュメモリ単体、又はNANDフラッシュメモリとコントローラを同一パッケージに搭載したものである。携帯オーディオプレーヤや携帯電話の内部メモリとして使用され、TSOP、BGA、LGA (Land Grid Array) といったパッケージ形態をとる。MCP (Multi Chip Package) は、携帯電話の高機能化に伴い開発されたもので、NANDフラッシュメモリとDRAM、NANDフラッシュメモリとNORフラッシュメモリといった異種のデバイスを同一パッケージに収めるタイプであり、BGAを主なパッケージ形態としている。

3 薄厚チップ多段積層パッケージング技術

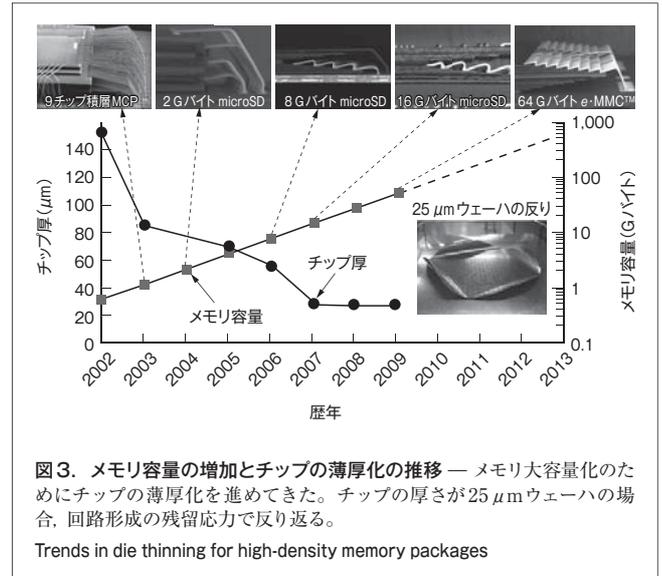
薄厚チップ多段積層パッケージング技術を活用した microSD カードと e・MMC™ (注2) の内部構造を図2に示す。microSD カードの最大チップ搭載数は、0.7 mmのカード厚さにNAND 8チップ、コントローラ 1チップの合計9チップであり、最薄チップの厚さは28 μmである。一方 e・MMC™ は、1.4 mmの取り付け高さに、NAND 16チップ、コントローラ1チップの合計17チップを搭載し、最薄チップの厚さは30 μmとなっている。

3.1 チップ薄厚研削技術

当社の薄厚チップ開発の推移と12インチウェーハを25 μmまで研削したときの外観を図3に示す。表面のデバイス回路形成時の残留応力でウェーハは写真のように反り返ってしまう。また、この厚さのシリコンをブレードでチップ個片に分割しようとするとき、周辺部に欠けが生じデバイスを破損するか、その後の組立て時にかかる応力により欠けを基点としてチップにクラックを生じる可能性が高くなる。当社は、この問題を解



(注2) e・MMCは、MultiMediaCard Associationの商標。



決するために先ダイシング技術を開発した。

従来プロセスと先ダイシング技術の比較を図4に示す。従来は、所望の厚さに裏面研削した後にチップを個片にするダイシングを行っていた。先ダイシングでは、これらの工程を逆転し、最初にブレードでウェーハの厚さ方向を途中までハーフカットしておき、その後にウェーハ裏面から所望の厚さに研削を行ってチップを個片に分割する。薄く研削されたときには既に個片に分割されているので、ウェーハ状態で生じる反りの問題も解消される。

3.2 高精度ワイヤボンディング技術

チップの積層構造は様々であり、当社は、高い位置精度のワイヤループ形状、チップを積層するための積層フィルム材料、及び下地が不安定な薄チップのためのボンディング技術を開発した。

積層したチップの狭ギャップ間にワイヤを張るために、上下段チップのいずれにも接触しないような高い位置精度のワイヤループを形成する必要がある。このワイヤループングプロセスを図5に示す。最初にチップ側ボンディングパッドにテーパ付きの金バンプを形成しておくことで、ループ形状の“垂れ”を防ぎ、下段チップに接触することなくコントロールできるようにした。この金バンプ形状を実現するために、バンプ作成時のツール動作に金バンプの片側半分だけをツールで押し潰す工夫を加えた。

同一サイズのチップを直上に積層する場合に適用する FOW (Film on Wire) 技術及び、上段チップボンディング部が下段より外へはみ出した“オーバハンク部”へのボンディングの外観を図6に示す。FOW技術はチップを直上に積層できるので、チップサイズに対してパッケージをなるべく小さくするために用いられる技術である。上段チップに貼り付けられたフィルムで下段のワイヤを埋め込む手法であり、ワイヤが押し潰され

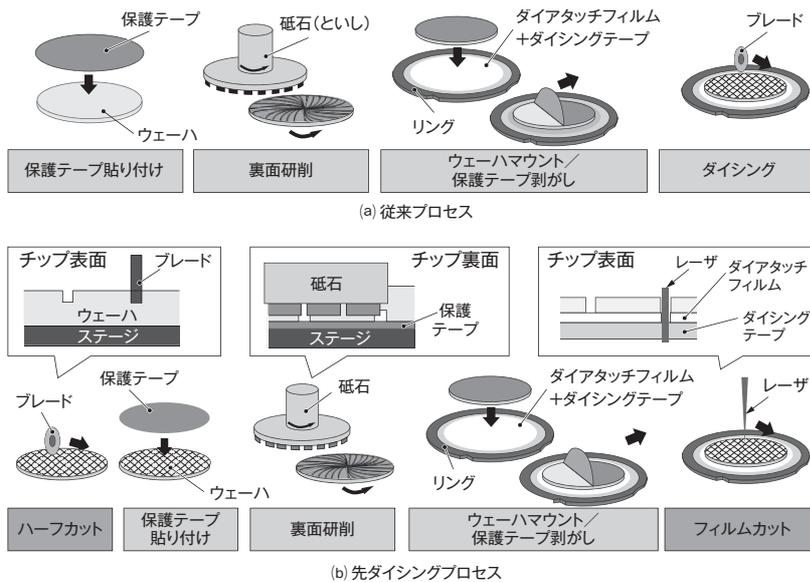


図4. 先ダイシングプロセスの開発 — 従来はウェーハの裏面を研削した後にチップの個片化を行っていたが、新プロセスはこれを逆転し、チップの欠けと反りを大幅に低減した。

Dicing-before-grinding process technology

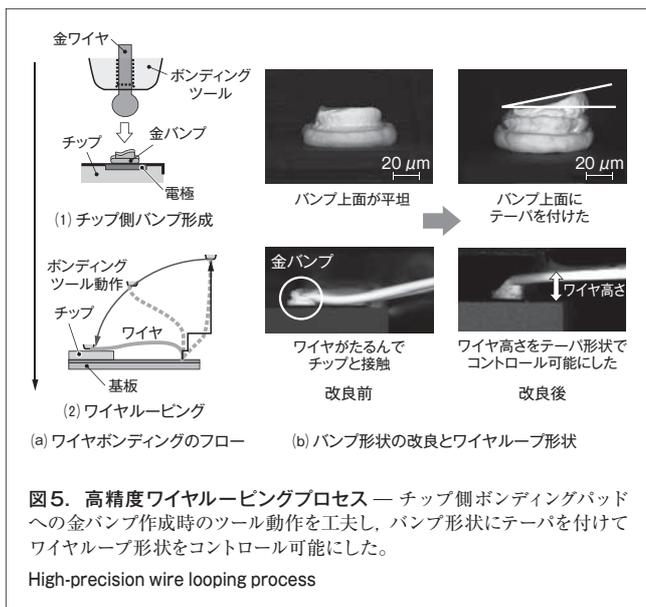


図5. 高精度ワイヤループプロセス — チップ側ボンディングパッドへの金バンパ作成時のツール動作を工夫し、バンパ形状にテーパーをつけてワイヤループ形状をコントロール可能にした。

High-precision wire looping process

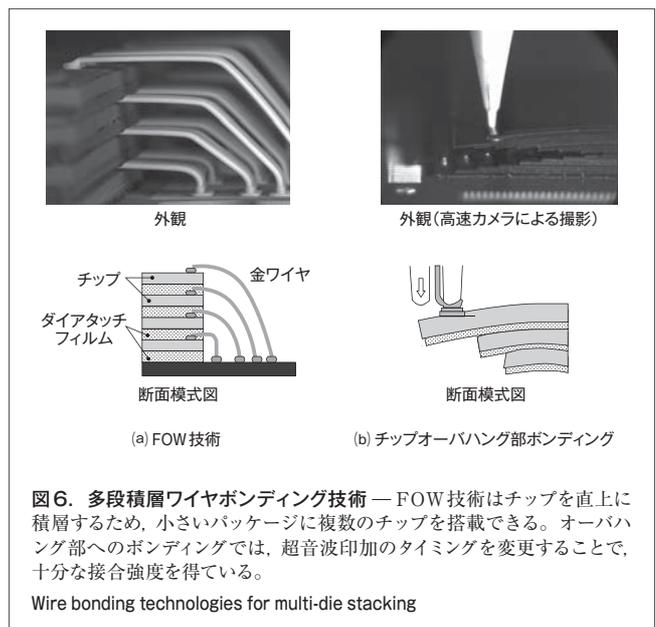


図6. 多段積層ワイヤボンディング技術 — FOW技術はチップを直上に積層するため、小さいパッケージに複数のチップを搭載できる。オーバーハング部へのボンディングでは、超音波印加のタイミングを変更することで、十分な接合強度を得ている。

Wire bonding technologies for multi-die stacking

ないようなフィルム材料の選択と、チップ積層時の熱や圧力の最適化が必要である。

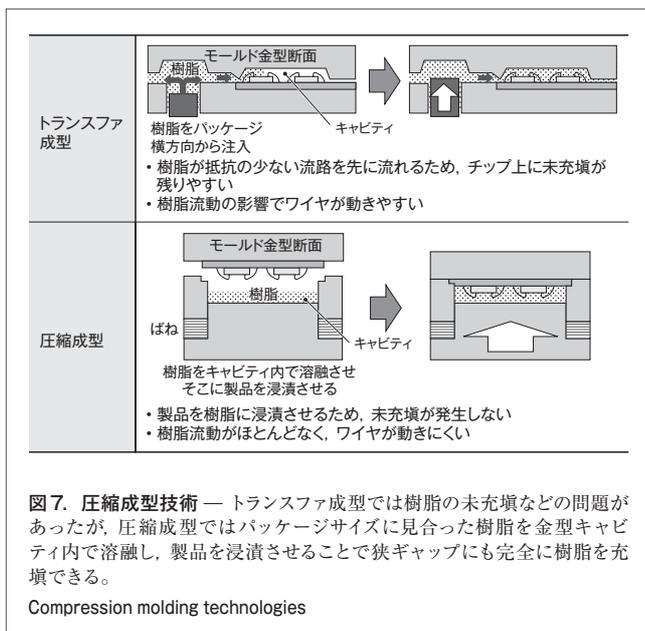
オーバーハング部へのボンディングでは、チップ下に支えるものがないためチップがたわみ、通常の衝撃荷重や超音波印加のタイミングでは十分な接合強度が得られず、チップを破壊する可能性がある。そのため、超音波印加のタイミングを変更することでこの問題を解決した。

3.3 狭ギャップ樹脂充填技術

決められたパッケージの厚さの中になるべく多段のチップを積層するためには、1枚のチップの厚さを薄くするか、最上段

のチップからパッケージ上面までのギャップを狭くする必要がある。今回、後者のギャップを従来よりも狭くする圧縮成型技術を開発し、設備を導入及び量産展開した。

従来と今回のプロセスの比較を図7に示す。従来のトランスファ成型では、金型内で溶融した樹脂が、金型からの熱を受けながら積層されたチップを平面方向に進み、最終的に金型キャビティ内に充填されて硬化する。ところが、樹脂はチップ上の狭いギャップ部分よりも、チップの存在しない、若しくは流れに対して抵抗が低い流路を先に回り込み、チップ上の狭



いギャップ部分に空気をトラップして硬化してしまうことがある。これが樹脂の未充填となり問題であった。

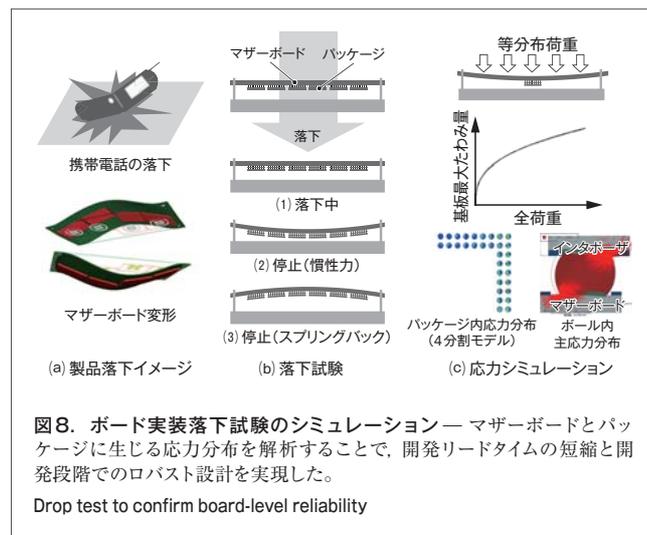
一方圧縮成型は、樹脂を金型キャビティ内で溶融させ、そこに製品を浸漬させた後、成型圧力をかけて樹脂を硬化させる方式である。製品を樹脂に浸漬させるため、樹脂の流動はほとんどなく、未充填が生じにくい。この技術を採用することで、樹脂を未充填することなく成型できるチップ上ギャップの寸法を240 μmから100 μm程度まで低減することができ、パッケージ設計の自由度は大幅に向上した。

同時に、トランスファ成型ではボンディングワイヤに対して横方向に樹脂が流動するため、その抵抗でワイヤがたわみ隣接するワイヤどうしが接触する危険があったが、圧縮成型ではその危険を大幅に低減することができる。

圧縮成型の技術課題は、金型へ投入する樹脂の量によってパッケージの厚さが決定されるため、製品ごとに樹脂パダ量の正確な計測と金型への投入が必要な点であった。配線基板に不良があると、その部分にはチップを搭載しないため、その分多くの樹脂を投入しなければならない。そこで、設備メーカーと協力してチップ搭載の有無をレーザでチェックするアルゴリズムを作ることなどにより、この技術課題を克服した。

4 高信頼性パッケージデザイン

近年、特に携帯機器に搭載されるパッケージは、その落下及び温度環境の変化を考慮して、マザーボードにはんだ付け実装した後の落下試験や、温度サイクル試験が顧客から課される場合がほとんどである。パッケージデザインを変えたサンプルを製作し繰り返し試験をすることで要求を満足する最終デザインを決定することは、パッケージ開発リードタイムの



長期化だけでなく、最適なデザイン選択とならない可能性もある。

この問題を解決し、開発段階でのロバスト設計を実現するため、当社は、落下試験を想定した応力シミュレーションを活用している(図8)。

実際の落下試験では、ある高さからおもりとともに落下したマザーボードは、最下点に到達して下に凸に変形した後、スプリングバックで上に凸に変形する(図8(b))。そこで、基板のたわみが上方からの等分布荷重により生じていると想定して実測たわみ量に対応する荷重を求め、その荷重がマザーボードにかかっているときのボード及びパッケージ内部の応力分布を解析した(図8(c))。これにより最大主応力の発生する箇所が特定できるだけでなく、この応力を低減するためのボール形状や、パッケージ側インタポーザ(チップ搭載配線基板)断面形状を導き出すことができる。

このようなシミュレーション技術の活用により、パッケージ開発リードタイムの短縮と開発段階でのロバスト設計を実現している。

5 あとがき

ここでは、当社における半導体メモリのパッケージング技術、特に薄厚チップ多段積層技術の開発と、シミュレーションを活用した高信頼性パッケージへの取組みについて述べた。今後はデータ転送高速化の市場要求が高まるものと考えられ、更なる付加価値を付けたパッケージ開発を推進していく。



大森 純 OMORI Jun

セミコンダクター&ストレージ社 メモリ事業部 ファイルメモリ・デバイス技術部グループ長。メモリパッケージの設計に従事。Memory Div.