

NANDフラッシュメモリの書換え条件とデータ保持寿命

Erase and Program Conditions Affecting Retention Lifetime of NAND Flash Memories

松川 尚弘

■ MATSUKAWA Naohiro

NANDフラッシュメモリでは消去して書き込む書換え動作回数が同じでも、書換え間隔や温度の条件が異なると、データ保持寿命は大きく変わってしまう。したがって実際に使用する書換え条件にそったデータ保持寿命を予測しなければならない。データ保持の不良はメモリセルのトランジスタのしきい値電圧 V_{th} が低下することによって起こり、その V_{th} の時間変化は、 V_{th} 変化の傾きと V_{th} 変化の始まる時間 (time offset) という二つのパラメータで決まっている。

東芝は、この二つのパラメータの書換え条件依存性を明らかにしモデルを確立した。当社は、各世代のNANDフラッシュメモリについて、これらのパラメータの書換え条件依存性を実験により決定することで、実際の各種使用条件でのデータ保持寿命を確認して、製品を提供している。

The data retention lifetime of NAND flash memories is significantly affected by the erase and program cycling conditions including the interval and temperature, even when the number of times of cycling is the same. Therefore, data retention lifetimes corresponding to each application have to be estimated under various operating conditions. In order to estimate the data retention time more accurately, it is necessary to measure the decrease in the threshold voltage (V_{th}) of the memory cell responsible for data retention failure determined by two parameters; namely, the rate of change with time and time offset of V_{th} .

Toshiba has developed a model through experiments that explains the dependence of the erase and program cycling conditions on the two parameters for each generation of NAND flash memory, and provides our products with confirmed data retention lifetimes for each application.

1 まえがき

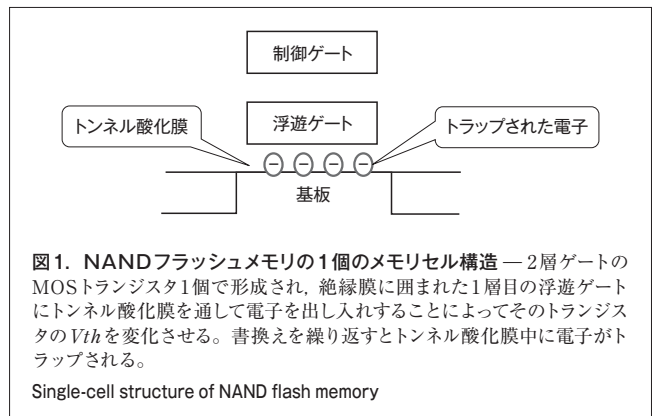
NANDフラッシュメモリは、消去して書き込むという書換えを多数回行うとデータ保持を担うトンネル酸化膜が劣化し、データ保持寿命が短くなっていくことが知られている。また同じ書換え回数でも、データ保持寿命は書換え間隔や温度などの条件が異なると大きく変わってしまう。したがってデータ保持寿命を見積もるためには、その間隔や温度依存性を詳細に調べそのメカニズムを明らかにしなければならない。

従来、書換えの間隔は長ければ長いほど、その温度は高ければ高いほど、アニール効果^(注1)が大きくなりトンネル酸化膜の劣化が回復してデータ保持寿命は長くなると思われていた⁽¹⁾。

しかし、詳細に調べてみると書換え試験の温度を上げた場合、単純にアニール効果が大きくなるわけではなく一部劣化を促進する効果もあり、従来考えられていたほどデータ保持寿命が延びないことが判明した。

ここでは、データ保持寿命の書換え間隔と温度依存性、及びそれを定性的に説明するモデルについて述べる。

(注1) データ保持寿命を短くする欠陥を減らす効果。



2 データ保持寿命を決めるパラメータ

NANDフラッシュメモリの1個のメモリセルは、図1に示すように、2層ゲートのMOS (金属酸化膜半導体) トランジスタ1個で形成される。絶縁膜に囲まれた1層目の浮遊ゲートに、トンネル酸化膜を通して電子を出し入れすることによって、そのトランジスタのしきい値電圧 V_{th} を変化させる。浮遊ゲートに電子を注入する動作を書込みと呼び、その結果セルの V_{th} は高くなる。一方、電子を放出する動作を消去と呼び、その結果セルの V_{th} は低くなる。

そこで、浮遊ゲート中の電荷量を制御し、セルの V_{th} をある決まった値に設定しその V_{th} をあるデータに対応させる。例えば1セルに1ビットを対応させる場合は電子を注入し V_{th} を正にした状態を0、電子を放出して V_{th} を負にした状態を1として1ビットのデータを記憶する。1セルに2ビットを対応させる場合は四つのレベルの V_{th} を設定し、各々の V_{th} に四つのデータ00, 01, 10, 11 (二進数) を対応させる。トンネル酸化膜が内部に欠陥のない完全な絶縁膜であれば、浮遊ゲート中の電荷量は不変、すなわち V_{th} が不変でデータは保持される。

しかし書換えを繰り返すと、トンネル酸化膜は劣化して電子が漏れる欠陥や電荷トラップ (電荷を捕獲する欠陥) が発生し、それらが V_{th} を変化させる原因となる。 V_{th} が何V変化するとデータが変化するかは重要な設計パラメータであり、 V_{th} マージンと呼ばれている。

多数回の書換えを行うと、特にトンネル酸化膜中にトラップされた電子がデトラップ (消失) することによる V_{th} の低下がデータ保持寿命、つまり V_{th} が V_{th} マージン分変化するのに要する時間を律速するようになる。この場合、 V_{th} の変動量 ΔV_{th} は放置時間の対数に対し線形に変化するが、その特性は以下に説明するトンネリングフロントモデル⁽²⁾で説明される。

酸化膜と基板の界面近傍にトラップされた電子は基板へトンネリングする確率が高く短時間でデトラップするが、界面から離れた深い場所にトラップされた電子は基板へのトンネリング確率が低くデトラップするのに時間がかかる。この現象を量子力学に基づいて計算すると以下の結果が導かれる。電子のデトラップされた領域とされていない領域の仮想的な界面 (トンネリングフロント) が、酸化膜と基板の界面から酸化膜の深い方向に向かって動いていく。この動きは式(1)に示すように時間 t の対数に対し線形になる。

$$X = A \cdot \ln(t/t_0) \quad (1)$$

ここで、 X はトンネリングフロントの酸化膜と基板の界面からの距離、 A は物質で決まる定数、 t_0 はトンネリングの頻度を表すパラメータである。しかし t_0 は、データ保持の問題に適用したとき V_{th} 変化の始まる時間、したがって time offset を意味する。 X が小さい場合、すなわちトンネリングフロントが酸化膜と基板の界面に近いとき、 V_{th} の変化量 ΔV_{th} は式(2)で表される。

$$\begin{aligned} \Delta V_{th} &= \Delta Q \cdot T_{ox} / \epsilon \\ &= q \cdot \rho \cdot X \cdot T_{ox} / \epsilon \\ &= q \cdot \rho \cdot A \cdot \ln(t/t_0) \cdot T_{ox} / \epsilon \\ &= S \cdot \ln(t/t_0) \end{aligned} \quad (2)$$

$$S = \rho \cdot A \cdot T_{ox} / \epsilon \quad (3)$$

ここで、 ΔQ はデトラップされた電荷の量、 q は素電荷、 ρ は

電子密度、 ϵ は酸化膜の誘電率、 T_{ox} はトンネル酸化膜厚である。式(3)で定義された S は、横軸を時間の対数とし縦軸を ΔV_{th} とした時のグラフの傾きになる。

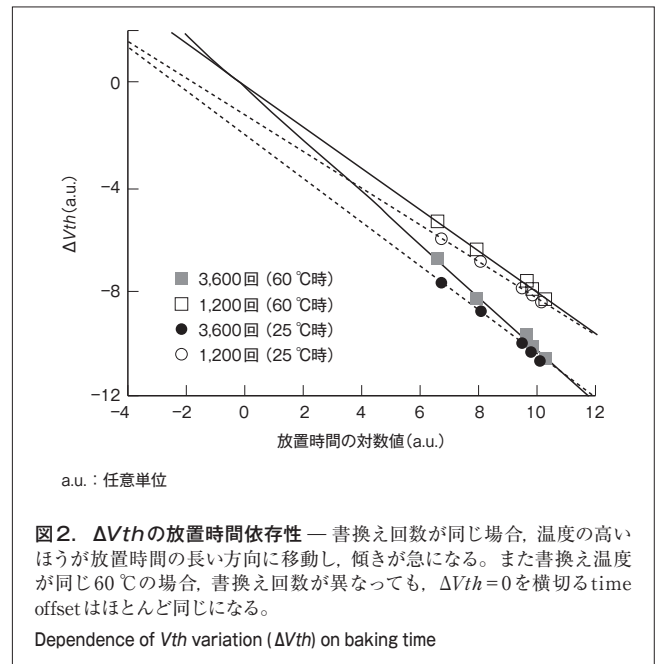
A と T_{ox} はトンネル酸化膜で決まっており、書換えの条件である間隔と温度を変えると ρ 、又は ρ に比例する S と t_0 が変化してデータ保持寿命が変化する。したがって S と t_0 が書換え条件でどう変化するかを明らかにすれば、短時間の実験結果から実際には何年にもわたって書換えを行う実使用でのデータ保持寿命を推定することができる。

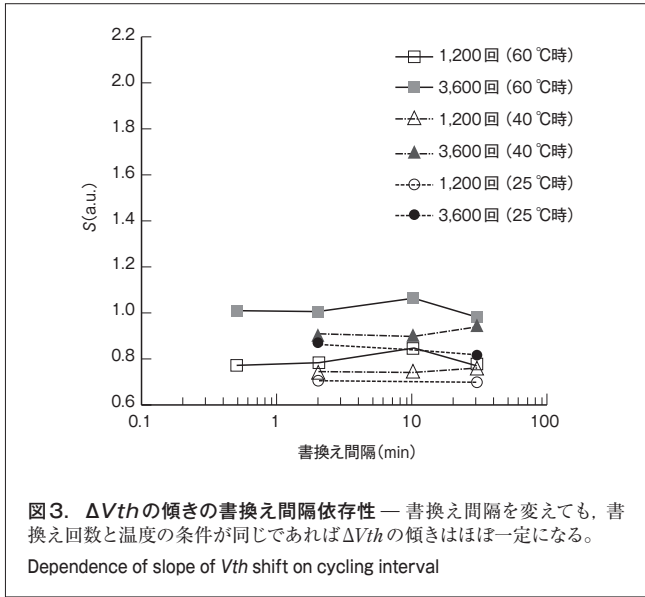
3 実験と結果

実験には東芝のGビットクラスのNANDフラッシュメモリを用いた。書換え回数は1,200回と3,600回、書換え時の温度は25℃、40℃、60℃の3条件、書換え間隔は0.5 min、2 min、10 min、30 minの4条件で行った。データ保持実験は85℃に放置したセルの ΔV_{th} の時間変化を追跡した。図2は、典型的な結果を示したものである。

書換え回数が同じ3,600回で、温度を25℃から60℃に上げると、 ΔV_{th} の直線は右に移動するが傾きが急になる。すなわち V_{th} マージンが小さく、例えば $\Delta V_{th} = -4$ に設定されている場合、高温での書換えのほうが低温での書換えよりデータ保持寿命が自然対数値で2ほど長くなる。しかし、 V_{th} マージンが大きく、 $\Delta V_{th} = -10$ 程度に設定されている場合、従来の結果⁽¹⁾と異なり寿命には差がなくなることがわかる。

また図2から次のようなもう一つ重要な特徴がわかる。書換え回数を変えても書換え温度が同じであれば time offset がほぼ等しくなる。ここで time offset とは、図2で ΔV_{th} の直線





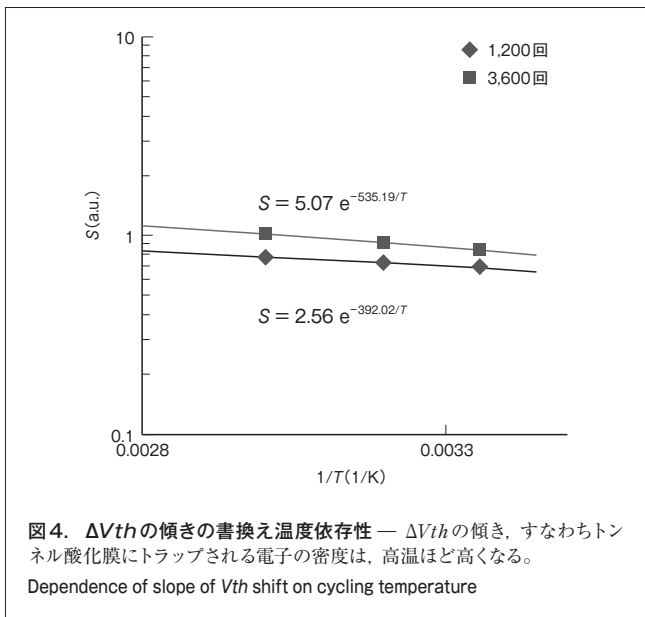
が $\Delta V_{th} = 0$ を横切る時間である。

以下、データ保持寿命を決定する二つのパラメータ、 ΔV_{th} の傾き S とtime offset t_0 の書換え条件依存性を詳細に調べる。

3.1 ΔV_{th} の傾きの書換え条件依存性

S の書換え間隔依存性を図3に示す。書換え間隔を変えても、書換え回数と温度の条件が同じであれば S はほぼ一定、すなわち式(3)から ρ は一定であることがわかる。

次に書換え回数と温度が同じ条件の S を平均化してアレニウスプロット(注2)したグラフ、つまり横軸を絶対温度 T の逆数、縦軸を ΔV_{th} の傾きの対数にしたグラフを図4に示す。



(注2) ある現象の温度依存性を調べるために作成されるグラフで、横軸を絶対温度の逆数、縦軸をその現象の変化率の対数とする。このグラフの傾きからその現象の活性化エネルギーを知ることができる。

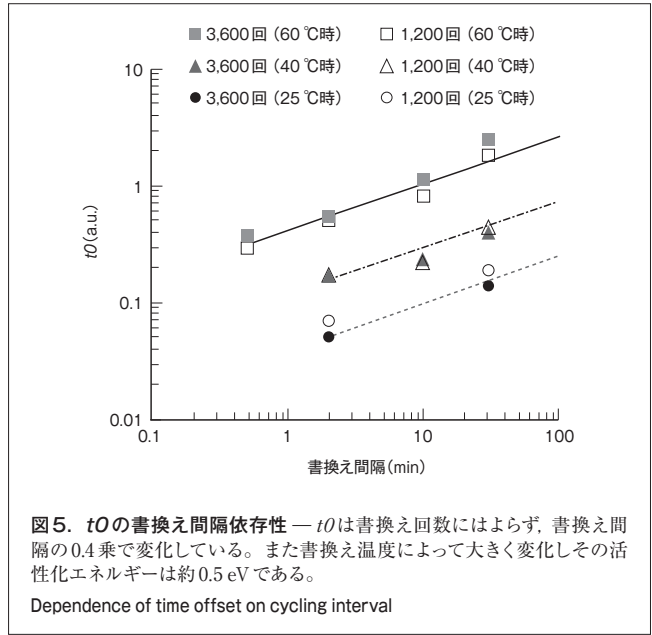


図4から S 、すなわちトンネル酸化膜にトラップされる電子の密度は高温ほど高くなり、その活性化エネルギーは書換え回数3,600回るとき0.05 eV、1,200回るとき0.03 eVが得られた。

3.2 t_0 の書換え条件依存性

各書換え条件における t_0 の書換え間隔依存性を図5に示す。書換え回数が変わっても t_0 はほぼ同じ値になり、書換え間隔の0.4乗で変化している。また、書換え温度を高くすると t_0 は大きくなっていき、その活性化エネルギーは約0.5 eVであることがわかった。

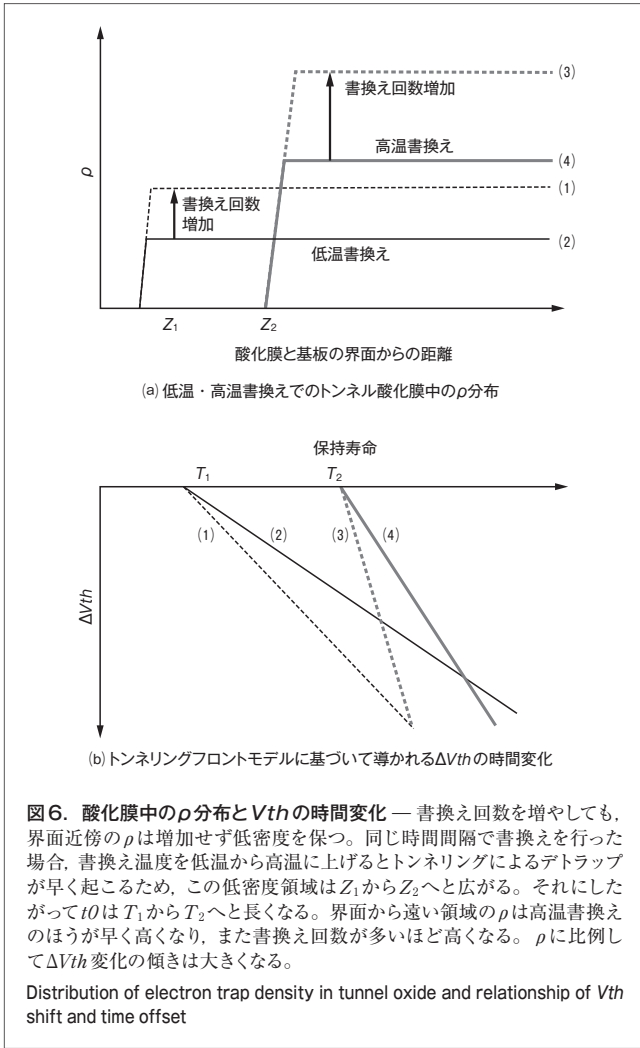
4 データ保持寿命の推定

実使用でのデータ保持寿命を推定するにはメモリセルの V_{th} の時間変化を決める二つのパラメータ、 S と t_0 の実使用における値を決めればよい。実使用温度での S は図4の傾きの温度依存性の直線から、 t_0 は図5の間隔依存性の直線から内挿又は外挿によって求める。この S と t_0 を式(2)に代入し、 ΔV_{th} が V_{th} マージンに等しくなる時間を求めることによってデータ保持寿命を推定できる。

5 トンネル酸化膜中の ρ 分布の定性的モデル

書換え実験によってトンネル酸化膜中にトラップされる電子の密度は以下のように考えられる。

ここではまず、低温(25 °C)での書換えの場合を考える。書換えを繰り返すことによって電子がトンネル酸化膜中にトラップされていくが、酸化膜と基板の界面に近いところにトラップされた電子は基板へのトンネリング確率が高く、書換え実験中の n 回目の書換えから次の $n+1$ 回目の書換えを行うまでの



待ち時間の間にデトラップしてしまう。したがって図6の Z_1 より左の領域である界面近傍の ρ は、書換え回数を増やしても増加しない。一方界面から遠い領域では、電子の基板へのトンネリング確率が低いためデトラップされにくく、書換えが進むに従って電子が蓄積されていく。したがって ρ 分布は図6(a)の(1)、(2)のようになる。

次に、書換え時の温度を上げた場合を考える。トンネル酸化膜中にトラップされた電子のデトラップによる V_{th} 低下は放置温度が高いほど早く起こり、その活性化エネルギーは1eV前後であることが知られている。すなわち温度を上げるとトンネリング自体が早く起こる。原因としては、温度を上げるとトラップ準位が浅くなる可能性が考えられている。したがって同じ時間間隔で書換えを行った場合、表面付近の ρ の低い領域の幅が図6(a)の Z_2 まで広がると考えられる。一方図4からわかるように、トラップされた電子の密度の増加は書換え温度が高いほど早く起こる。したがって書換え時の温度を上げると界面から遠い領域の ρ は早く高くなると予想される。結局書換え時の温度を上げると、 ρ 分布は図6(a)の(3)、(4)のようにな

ると考えられる。

更に、図6(a)の(1)と(2)の ρ 分布を持つ場合の V_{th} の時間変化をトンネリングフロントモデルに基づいて考える。書換え実験終了後トンネリングフロントが酸化膜と基板の界面から動き始め時間 T_1 で Z_1 に到達すると V_{th} の変化が始まる。 Z_1 は書換え回数によらないのでtime offset T_1 も書換え回数によらず一定になる。その後の S は ρ に比例するため書換え回数が多く ρ の高い(1)の場合のほうが S は大きくなる。結局 ΔV_{th} は図6(b)の(1)と(2)のようになる。

書換え時の温度を上げた場合の ρ 分布、図6(a)の(3)と(4)の場合はトンネリングフロントが Z_2 に到達してから V_{th} の変化が始まるのでtime offsetは T_2 まで延びる。また界面より遠い領域の ρ が高いため S はそれに比例して大きくなり、結局 ΔV_{th} は図6(b)の(3)と(4)に示すようになる。

これまで述べたトンネル酸化膜中の ρ 分布のモデルによって、図2の実験結果を定性的に説明できることがわかる。

6 あとがき

NANDフラッシュメモリのデータ保持寿命はメモリセルの V_{th} の時間変化を決める二つのパラメータ、 S と t_0 によって決定される。 S と t_0 は書換え時の温度と書換え間隔に依存して変化する。

当社は、NANDフラッシュメモリの各世代で温度と間隔を変化させた書換え実験を行い、その依存性を明らかにしてモデルを構築することで、各種用途における正確なデータ保持寿命の推定を行って製品を提供している。

文献

- (1) Mielke, N. et al. "Recovery effects in the distributed cycling of Flash memories". Proc. IRPS. San Jose, California, USA, 2006-03, IEEE. 2006, p.29 - 35.
- (2) Manzini, S. et al. "Tunneling Discharge of Trapped Holes in Silicon Dioxide". Insulating films on semiconductors. Eindhoven, the Netherlands, 1983-04, p.112 - 115.



松川 尚弘 MATSUKAWA Naohiro, Ph.D.
 セミコンダクター&ストレージ社 メモリ事業部 メモリ信頼性技術部長附、理博。NANDフラッシュメモリの信頼性技術の研究・開発に従事。IEEE会員。
 Memory Div.