

積縮小は容易ではない。NANDフラッシュメモリでは、書込み電圧や消去電圧などの動作電圧の低減、及び電源電圧の低減が容易にできないためである。しかし、利用できるリソグラフィ技術と加工技術の制約や、セルサイズを縮小するとメモリセルの信頼性が悪化するといった制約から、メモリセルの微細化は鈍化する傾向にあり、周辺領域の面積を縮小することの重要度が増してきている。以下、このチップで取り組んだ周辺領域の面積の縮小技術について述べる。

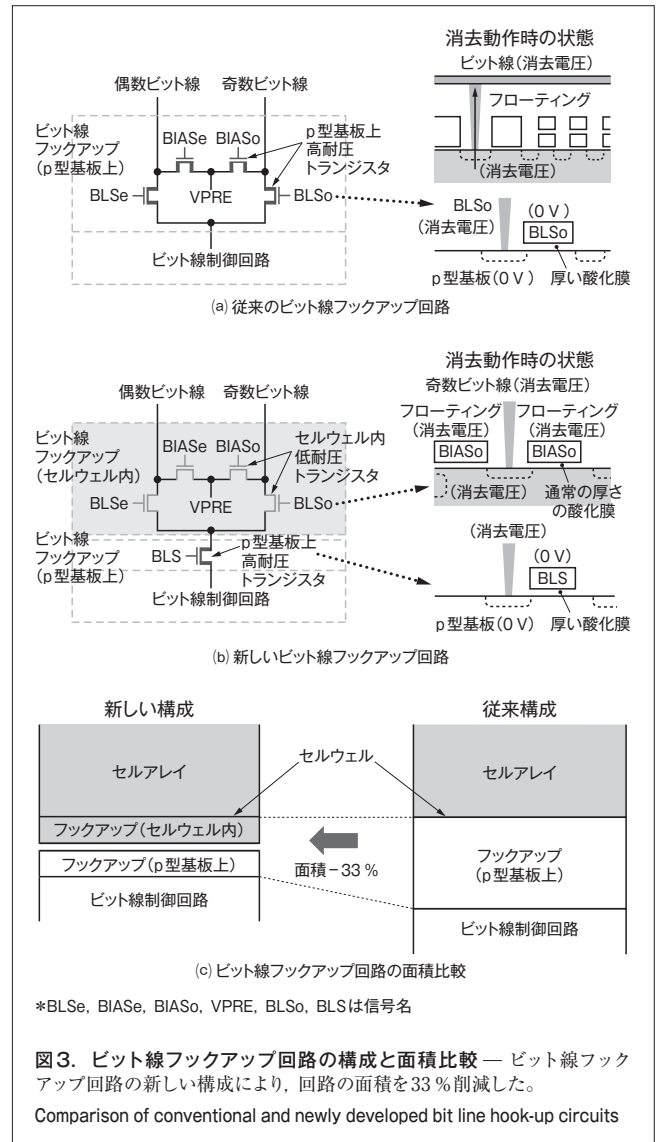
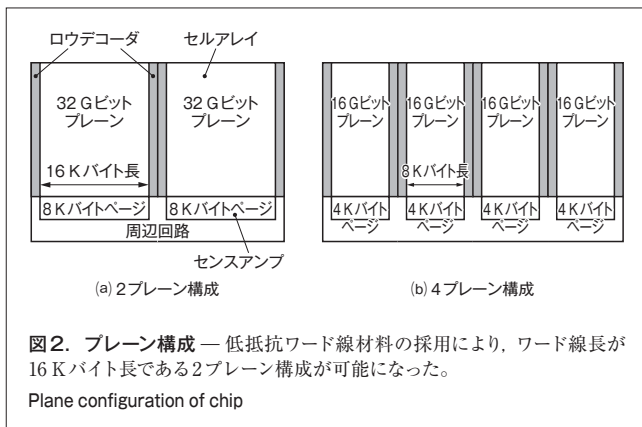
2.1 ロウデコーダ面積の削減

前世代のワード線の長さは8 Kバイト長であった。24 nmプロセスでは、以前に比べて抵抗が1/3のワード線材料を採用することでRC遅延(配線遅延)の増加を抑制し、16 Kバイト長のワード線長を実現した。その結果、ワード線長が8 Kバイト長の4プレーン構成(図2(b))ではなく16 Kバイト長の2プレーン構成(図2(a))を採用し、ロウデコーダ面積を倍増させることなく、32 Gビットから64 Gビットへと容量の倍増を実現できた。デザインルールの縮小とレイアウトの工夫により、ロウデコーダ面積は32 nm世代から20%削減された。

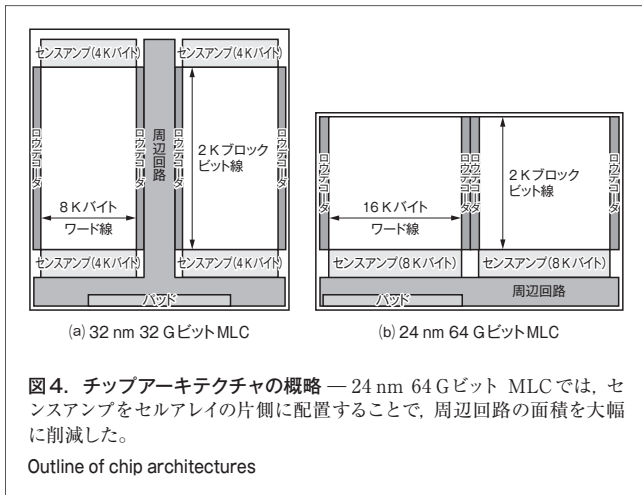
ワード線方向にセルアレイを伸ばしたことで、セルアレイ内のビット線の本数は8 Kバイト分から16 Kバイト分に倍増する。偶数番又は奇数番のビット線の片方だけ選択して読出しと書込みの動作を行うアーキテクチャを採用し、前世代と同じ8 Kバイトのページサイズを維持した。

2.2 センスアンプ面積の削減

センスアンプ回路の構成要素の一つに、ビット線フックアップ回路がある。ビット線フックアップ回路は、読出し及び書込み動作時に、選択ビット線をビット線制御回路に、非選択ビット線を非選択ビット線電圧ノードに接続するスイッチ動作を行う。図3(a)は、従来のビット線フックアップ回路の構成を示している。消去動作中、メモリセルが存在するセルウェルに15~20 V程度の消去電圧が印加されるときに、全てのビット線も消去電圧近くまで充電される。そのため、従来のビット線フックアップ回路では、p型半導体基板上に形成され、厚いゲート酸化膜を備えた、ゲート長の長い高耐圧トランジスタを



用いて、ビット線選択用スイッチが構成されていた⁽²⁾。図3(b)は、今回導入した新しいビット線フックアップ回路を示している。セルウェル内に配置された、通常の厚さのゲート酸化膜を備えた、ゲート長の短い低耐圧トランジスタでビット線選択用スイッチを構成する。更に、低耐圧トランジスタで構成されたビット線制御回路をビット線から切り離すための、高耐圧トランジスタを一つだけ配置する。消去動作中は、低耐圧トランジスタから成るビット線選択用トランジスタのゲート端子は、フローティング状態に制御する。そうすることで、セルウェルとゲート端子間の容量カップリングによって、ゲート端子の電位は消去電圧近くまで持ち上げられるため、低耐圧トランジスタのゲート酸化膜の破壊を回避することができる。低耐圧トランジスタは、高耐圧トランジスタに比べて占有レイアウト面積が小さい。そのため、新しい構成は、従来の構成よりトランジスタ数は増加するが、ビット線フックアップ回路の面積を33%削減し、チップ面積は0.6%縮小することができた

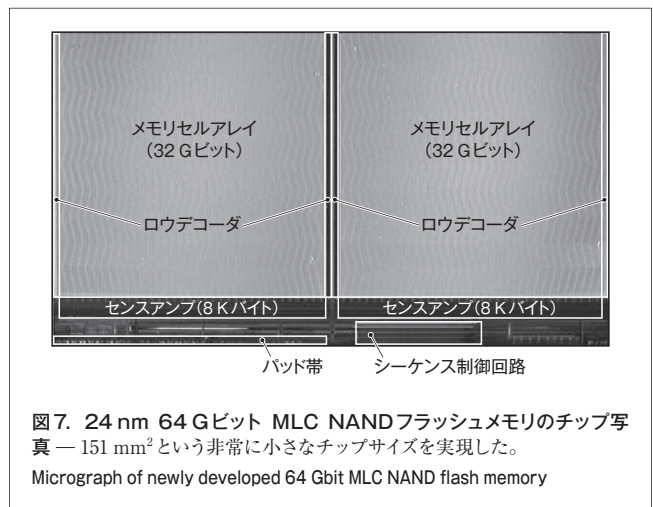
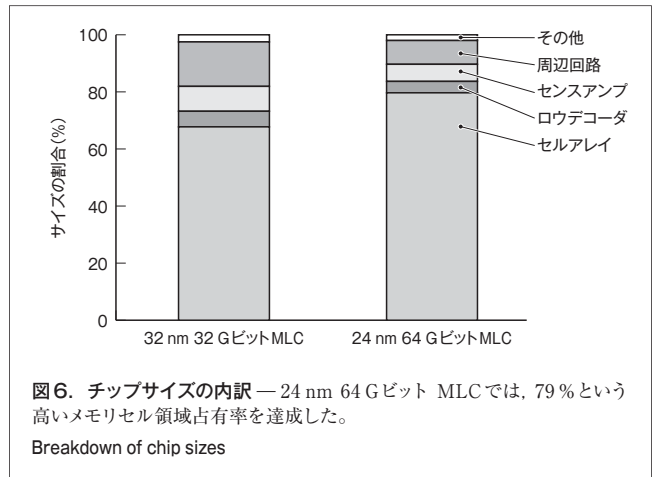
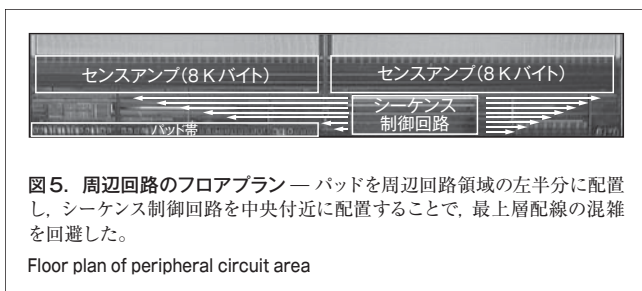


(図3(c))。加えて、デザインルールの縮小及びレイアウトと回路の工夫により、結局、センスアンプの面積は32 nm世代から16%削減された。

2.3 周辺面積の削減

図4は、32 nm 32 Gビット MLCと24 nm 64 Gビット MLCのチップアーキテクチャの概略を示している。32 nm世代では、センスアンプがセルアレイの両側に配置されていた。そのため、パッドから遠い側のセンスアンプへの電源線及び信号線を通すための、有効活用できない周辺回路領域が発生し、チップ面積が増大するという問題があった。24 nm世代では、センスアンプを片側に配置するアーキテクチャを採用したことで、そのような周辺回路領域を設ける必要がなくなり、面積を大幅に削減することができた。

更に、周辺回路のフロアプラン（回路配置）の最適化を行った。NANDフラッシュメモリでは、低コスト化のために3層の配線しか使うことができない。最上層の低抵抗配線は、電源線、高速信号線、アナログ信号線、及びその他の各種制御信号線と多用途に用いられており、配線の混雑が周辺回路の縮小を妨げる大きな要因になっている。24 nm 64 Gビットチップのように、周辺回路領域がチップの長辺方向に配置されて長い場合には、配線の混雑が特に大きな問題となる。最上層配線の混雑を避けるため、図5に示すように、全ての制御信号パッド及びI/O（Input/Output）パッドを左側半分に配置し、



多くの入出力信号を持つ制御ロジック回路を中央付近に配置した。その結果、シーケンス制御回路からの多数の信号線を左側と右側に効率よく分配できるようになり、最上層配線の混雑を回避することができた。また、信号の行き来がもっとも少なくなるよう、全ての回路の配置を最適化した。その他にも回路サイズを縮小するため種々の改善を行い、その結果、32 nm世代と比較して周辺回路の面積を40%も削減することに成功した。

32 nm 32 Gビット MLCと24 nm 64 Gビット MLCのチップサイズの内訳を図6に、24 nm 64 Gビット MLCのチップ写真を図7に示す。前述のような改善努力により周辺回路の面積を大幅に削減し、151 mm²という非常に小さなチップサイズと、79%という高いメモリセル領域占有率を達成した。

3 24 nm 64 Gビット MLC NANDフラッシュメモリの諸特性

開発したNANDフラッシュメモリの諸特性を表1に示す。チップは、2 Kブロックから成る二つの32 Gビットメモリブ

表 1. 24 nm 64 Gビット MLC NANDフラッシュメモリの諸特性
Main features of newly developed 64 Gbit MLC NAND flash memory

項目	特性
製造プロセス	24 nm 3メタルCMOS
容量	64 Gビット (2ビット/セル)
チップサイズ	151 mm ²
構成	8 Kバイト×256 ページ×2 Kブロック×2 プレイン×8 I/O
ブロックサイズ	2 Mバイト
電源 (Vcc)	2.7~3.6 V
入出力用電源 (VccQ)	2.7~3.6 V
データ転送レート	133 Mバイト/s
書き込みスループット	14 Mバイト/s (typical)
動作電流	30 mA 未満

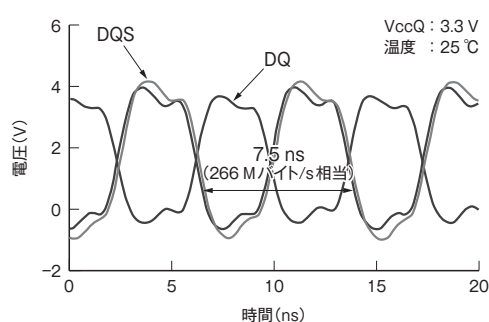


図 8. データ出力波形 — 転送レート 266 Mバイト/s でのデータ出力波形である。動作保証値の 133 Mバイト/s に対して十分なマージンがあることを示している。

Eye diagram of output data

レーンで構成されており、ページサイズは 8 Kバイトである。一つのブロックは、64 本のデータワード線と 2 本のダミーワード線⁽⁴⁾で構成されており、256 ページから成る。ブロックサイズは前世代の 1 Mバイトから 2 Mバイトへと倍増している。

新規に開発したプリチャージディテクト技術⁽¹⁾により、16 Kバイト同時書き込み、すなわち 2 プレイン同時書き込み時の書き込みスループットは、前世代と同等以上の 14 Mバイト/s に達する。新規に導入したスマートプリチャージ技術により、書き込み時の動作電流を 30 mA 未満に低減した。

データ転送性能を格段に向上させるために、非同期の高速インタフェース Toggle DDR 1.0 (DDR: Double Data Rate) を搭載した。図 8 は、転送レート 266 Mバイト/s で出力しているときの、データ出力波形である。動作保証値の 133 Mバイト/s に対して十分なマージンがあることを示している。

4 あとがき

24 nm CMOS プロセスを用いた 64 Gビット MLC NAND

フラッシュメモリを開発した。このメモリは、低抵抗ワード線材料の採用によるワード線長 16 Kバイト長の 2 プレイン構成、低耐圧トランジスタを用いた新ビット線フックアップ回路、及び周辺回路フロアプランの最適化などにより、151 mm² という小さなチップサイズと 79 % という高いメモリセル領域占有率を実現した。

大容量と低コストだけでなく、NAND フラッシュメモリを使用したシステムの性能を向上させるために、読出し及び書き込みにおけるスループットのよりいっそうの向上が求められている。NAND フラッシュメモリの開発スピードは速く、既に当社は、400 Mバイト/s のデータ転送レートを実現する Toggle DDR 2.0 インタフェースを搭載し、19 nm プロセスで製造された 64 Gビット MLC NAND フラッシュメモリを発表した⁽⁶⁾。

更なるシステム性能向上のためには、多数の NAND フラッシュメモリを同時に動作させることが必須となってくる。そのため今後は、動作時の消費電力を上げていくことが重要になってくる。

文 献

- (1) Fukuda, K. et al. "A 151mm² 64Gb MLC NAND Flash Memory in 24nm CMOS Technology". IEEE ISSCC Dig. Tech. Papers. 2011, p.198 - 199.
- (2) Hara, T. et al. "A 146mm² 8Gb NAND Flash Memory with 70nm CMOS Technology". IEEE ISSCC Dig. Tech. Papers. 2005, p.44 - 45.
- (3) Takeuchi, K. et al. "A 56nm CMOS 99mm² 8Gb Multi-level NAND Flash Memory with 10MB/s Program Throughput". IEEE ISSCC Dig. Tech. Papers. 2006, p.144 - 146.
- (4) Kanda, K. et al. "A 120mm² 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology". IEEE ISSCC Dig. Tech. Papers. 2008, p.430 - 625.
- (5) Futatsuyama, T. et al. "A 113mm² 32Gb 3b / cell NAND Flash Memory". IEEE ISSCC Dig. Tech. Papers. 2009, p.242 - 243.
- (6) 東芝. "最先端プロセスを用いた NAND 型フラッシュメモリの開発について". ニュースリリース, 2011-04-21. <http://www.toshiba.co.jp/about/press/2011_04/pr_j2101.htm>, (参照 2011-04-21).



福田 浩一 FUKUDA Koichi

セミコンダクター&ストレージ社 半導体研究開発センターフラッシュメモリ設計技術開発部主査。NANDフラッシュメモリの設計・開発に従事。
Center for Semiconductor Research & Development



佐藤 順平 SATO Junpei

セミコンダクター&ストレージ社 メモリ事業部 メモリ設計技術部主務。NANDフラッシュメモリの設計・開発に従事。
Memory Div.



枝広 俊昭 EDAGIHIRO Toshiaki

セミコンダクター社を経て、スマートコミュニティ事業統括部スマートコミュニティ事業開発部主務。旧所属でNANDフラッシュメモリの設計・開発に従事。
Smart Community Div.