

特定箇所2次元キャリア分布計測技術と故障解析への応用

Site-Specific 2D Carrier Profiling Technology and Application to Failure Analysis

張 利 小池 三夫 原 啓良

■ZHANG Li ■KOIKE Mitsuo ■HARA Keiryō

近年、LSIの微細化に伴ってプロセス制御の困難さが増し、デバイス性能を左右するキャリア濃度分布をナノスケールで2次元的に計測する技術への要求が高まっている。

東芝は、これまで高分解能（1 nmレベル）の走査型広がり抵抗顕微鏡（SSRM）技術を開発してきたが、今回、極微細の特定箇所を解析可能な評価手法を実現し、実回路の故障解析へ応用した。その結果、60 nm未満の極薄不良デバイス内部のキャリア分布の直接観察に成功し、プロセスに起因する不良モードを突き止め、不良発生メカニズムを解明した。更に、不純物ドーピング条件を最適化することで歩留まりを向上させた。

高分解能で極微細の特定箇所を解析可能なSSRM技術は、“見る”ことだけにとどまらず、故障解析や信頼性向上、更には不良発生メカニズムの解明まで可能で、先端LSIデバイスの開発を加速することが期待される。

With the increasing difficulty of process control accompanying the miniaturization of large-scale integrations (LSIs), demand has been growing in recent years for a measuring technology with nanoscale resolution for two-dimensional (2D) carrier profiling, which is related to the performance of scaled silicon devices.

Toshiba has been developing a scanning spreading resistance microscopy (SSRM) technology for 2D carrier profiling with a wide dynamic range of carrier concentration and a high spatial resolution of about 1 nm. We have now developed a site-specific SSRM technology and applied it to the failure analysis of real static random access memory (SRAM) devices. As a result, we have succeeded in directly observing carrier concentration in an ultra-thin device of less than 60 nm in thickness and clarifying a failure mode caused by the manufacturing process as well as its mechanism. We have also achieved significant improvements in the yield rate by optimizing the process parameters such as the impurity doping conditions.

This high-spatial-resolution and site-specific SSRM technology is expected to accelerate the development of advanced LSI devices through the application of failure analysis, improvement of reliability, and clarification of failure mechanisms.

1 まえがき

LSIデバイス高性能化のためのデバイスの微細化とともに、コスト低減のためのウェーハサイズの大型化も進んできている。現在、直径300 mmの面積ウェーハ上に45 nm以下の微細なデバイスを量産化するプロセスが要求されているが、プロセスの制御は難しさを増し、歩留まりの確保が重要な課題となっている。そのため、高精度、高分解能、高次元、及び微細な特定箇所の分析技術への要求が高まりつつある。

ナノスケールの微細なデバイスの特性では、通常の物理分析ではわからない電気特性の計測や評価が特に難しく、更に、特定箇所での評価が重要性を増している。製品開発現場では、微細なデバイスにおけるドーピング不純物（拡散層キャリア）の観察や評価が重要な課題であったが、これまで実回路においてそれらを行うことは困難であった。この状況を打破するため、特定箇所における拡散層の故障解析技術の開発や製品開発への応用が要求されている。

不純物濃度の2次元プロファイリングでは、高い空間分解能、広いダイナミックレンジ、及び特定箇所の分析が要求され

ており、その代表的な計測技術として走査型広がり抵抗顕微鏡（SSRM）技術が注目されている。

東芝はこれまで、デバイス内部における拡散層キャリアの濃度分布の2次元計測技術としてSSRMの高分解能化に取り組んでおり、世界最高レベルの空間分解能1 nmレベルを実現している⁽¹⁾⁻⁽⁵⁾。今回、当社は、60 nm未満の極薄デバイスにおける特定箇所の試料作製に成功し、極微細デバイスの故障解析技術を開発した^{(6), (7)}。

ここでは、SSRMを実回路の故障解析へ応用した技術の概要と、極薄デバイスにおけるpn接合の観察や、不良モードメカニズムの解明、歩留まりの改善について述べる。

2 特定箇所SSRM技術の概要

SSRMによる拡散層測定概念を図1に示す。SSRMは、導電型原子間力顕微鏡（C-AFM）の一種であり、デバイスの断面に導電性プローブを当てて内部抵抗を精査する手法で、電荷キャリアの分布を短時間で2次元的に解析できる。

微細デバイスの特定箇所を計測するためには、高精度で断

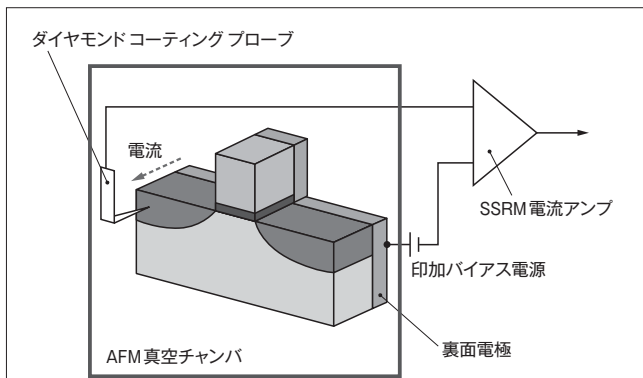


図1. SSRMによる拡散層の測定 (模式図) — SSRMは、デバイス断面におけるナノスケールの抵抗分布を測定し、デバイス内部における拡散層キャリアの2次元分布を評価することができる。

Measurement within diffusion layer using SSRM circuit

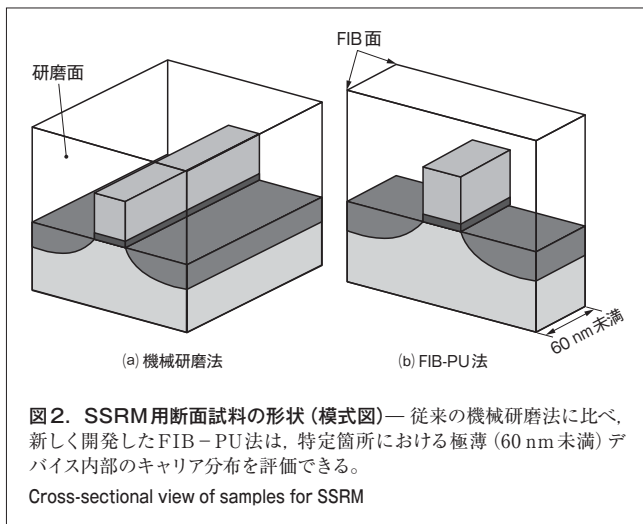


図2. SSRM用断面試料の形状 (模式図) — 従来の機械研磨法に比べ、新しく開発したFIB-PU法は、特定箇所における極薄 (60 nm未満) デバイス内部のキャリア分布を評価できる。

Cross-sectional view of samples for SSRM

面を切り出す試料作製技術が必須となる。従来、SSRM用断面試料の作製には機械研磨法が一般に用いられており、その試料形状 (模式図) は図2(a)に示すようなものであった。研磨による断面の位置決めは難しく、厚さが100 nm以下のデバイスの断面試料を作製するのは困難であった。当社は、特定箇所の試料を作製するため、収束イオンビーム (FIB) によるピックアップ (PU) 法を独自に開発し、実回路における特定箇所の極薄デバイスの断面試料作製を実現した。FIB-PU法で作製した断面試料の形状を図2(b)に示す。図に示すように、60 nm未満の極薄試料の作製に成功し、実デバイスの故障解析への道を開いた^{(6), (7)}。

3 実回路における不良ビットのSSRMによる直接観察⁽⁷⁾

3.1 極薄の実デバイスにおけるpn接合の観察

SRAM (Static RAM) 回路のpMOS (p型金属酸化膜半

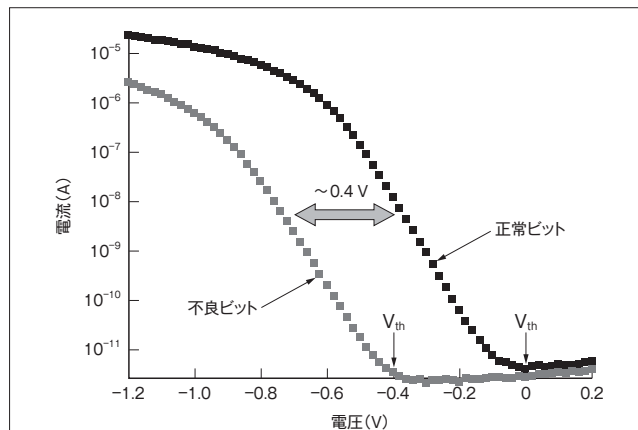


図3. 正常ビットと不良ビットにおけるpMOSの電流-電圧特性 — 不良ビットのデバイスは正常デバイスに比べ V_{th} が約0.4 V上昇している。

I-V characteristics of positive-channel metal-oxide-semiconductor (pMOS) in case of normal and fail bits

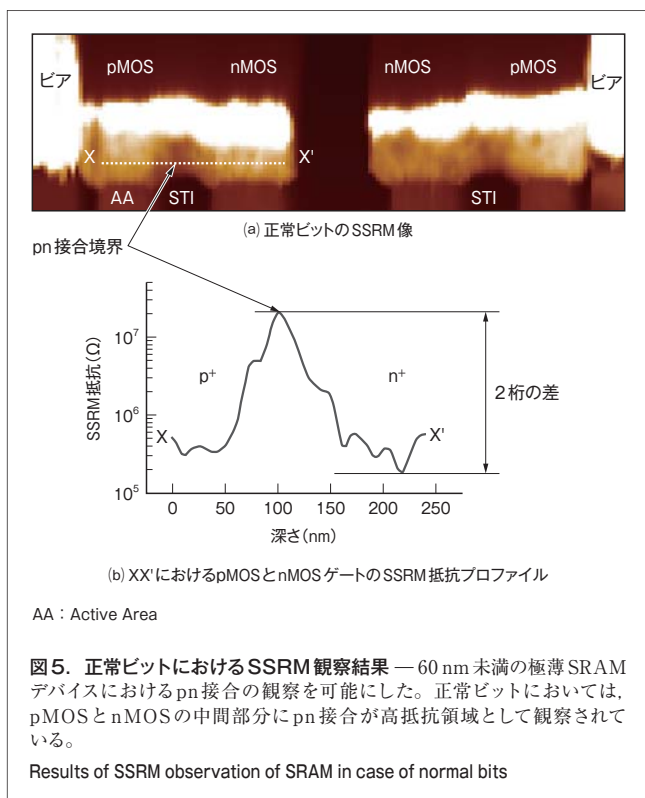
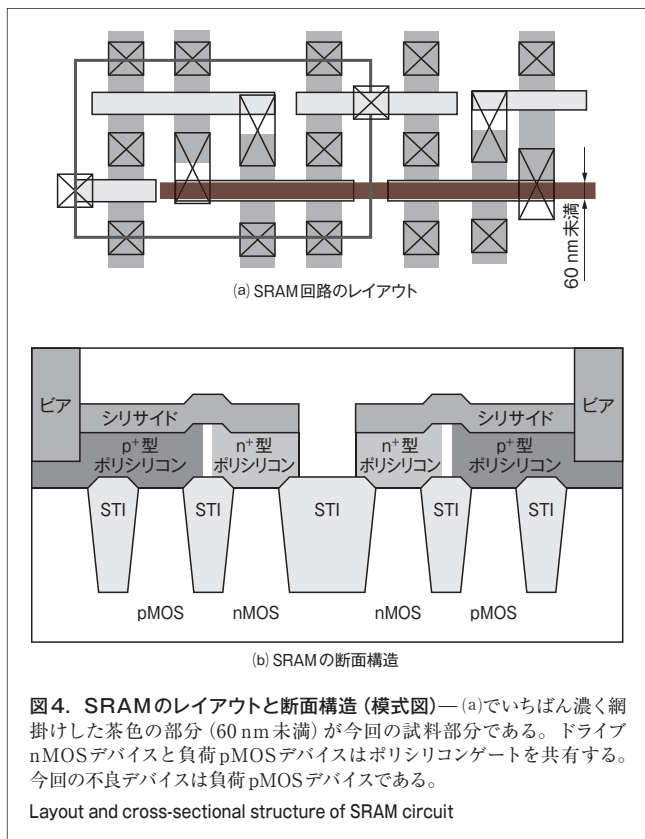
導体) デバイスでは、図3に示すような、しきい値電圧 (V_{th}) の上昇と電流の低下を特徴とする、“だらだら不良”と呼ばれる不良モードが確認されている。不良ビットのpMOSでは、正常デバイスに対し約0.4 Vの V_{th} 上昇が見られ、これまでも透過型電子顕微鏡 (TEM) や走査型電子顕微鏡 (SEM) などで物理解析が行われてきたが、拡散層のようすがわからないため、不良モードの理解は進んでいなかった。

SRAM回路のレイアウトの模式図を図4(a)に、SSRM測定用の負荷pMOS及びドライブnMOSデバイスの断面を図4(b)に示す。不良の原因を突き止めるためには、pMOSデバイスにおける不良ビットの拡散層を直接観察することが必要であり、そのためには、厚さ60 nm未満の極薄断面試料の作製が必要になる。更に、図4(b)に示す負荷pMOSデバイスはドライブnMOSデバイスとポリシリコンゲートを共有するため、pMOSデバイスとnMOSデバイスのゲート間にはpn接合と呼ばれる電気的接合が形成されているので、極薄試料におけるpn接合の観察が可能かどうか不良原因解明のポイントとなる。

図4(a)に示すように、ゲート長60 nmのpMOSとnMOSデバイスから今回開発したFIB-PU法でSSRM測定用の極薄断面試料を切り出すことに成功し、特定箇所SSRM技術によるpMOS不良ビットの拡散層の直接観察を実現した。

図4に示したpMOSとnMOSデバイス断面のSSRM像を図5(a)に示す。正常ビットにおけるpMOSとnMOSの断面部分のSSRM像では、pMOSとnMOSのゲート領域はどちらもキャリア濃度が高く、明るいコントラストが得られる。また、pMOSとnMOSのゲート間にpn接合が形成されているため、キャリア濃度が低く、空乏化されているようすがわかる。キャリアの空乏層が、pMOSとnMOSが隣り合う領域に垂直方向の高抵抗境界線として形成されている。正常ビットの場合、pn

接合の高抵抗境界線はSTI (Shallow Trench Isolation) と呼ばれる絶縁体構造の真上に形成される。図5(a)のXX'断面に



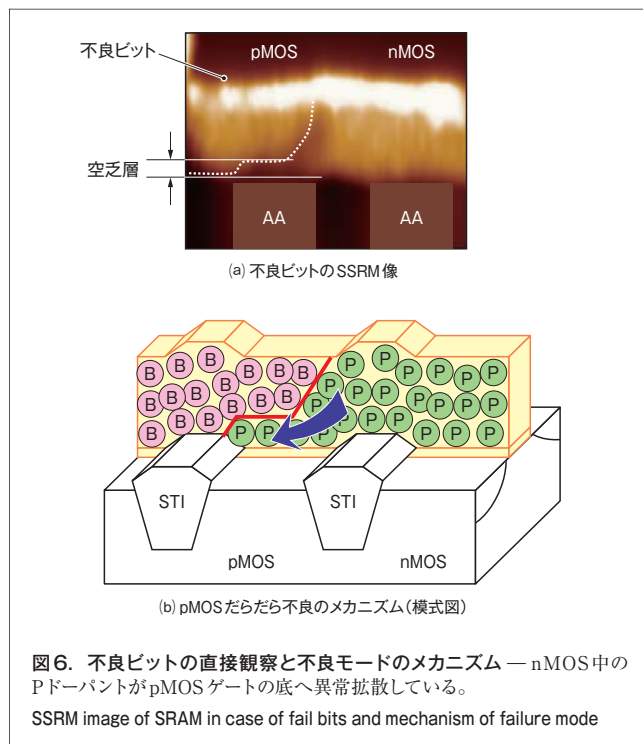
における抵抗プロファイルを図5(b)に示すが、pn接合の空乏層領域における抵抗値は他の領域に比べて2桁高いことが明らかとなった。この結果から、60 nm 未満の極薄試料においてもpn接合の観察が可能であることが証明され、世界初^(注1)の結果となった。

3.2 SRAM不良ビットの直接観察とメカニズムの解明

一方、図6(a)に示す不良ビットのSSRM像では、正常ビットに比べて、pMOSとnMOSの間のpn接合領域に異常のあることがわかった。pMOSゲート領域の底まで延びており、また、pMOS拡散層(AAと記載された領域)上の全ての領域で、ゲート底が高抵抗となって、キャリアが空乏化しているようすが見られる(図の点線部)。pMOSゲート領域の底の空乏化は実効的なドーパント量が少ないことを意味し、本来ドーピングされているp型のボロン(B)ドーパントに加えて、隣のnMOSゲートにドーピングされているn型のリン(P)ドーパントがpMOSゲートに異常拡散していることが考えられる。SRAM回路におけるだらだら不良モードのメカニズムを図6(b)に示す。P原子の拡散によって、pMOSゲートの底に1層のn型化を招いている。そのn型導電層がpMOSの V_{th} を高い方向へシフトさせていることが判明した。

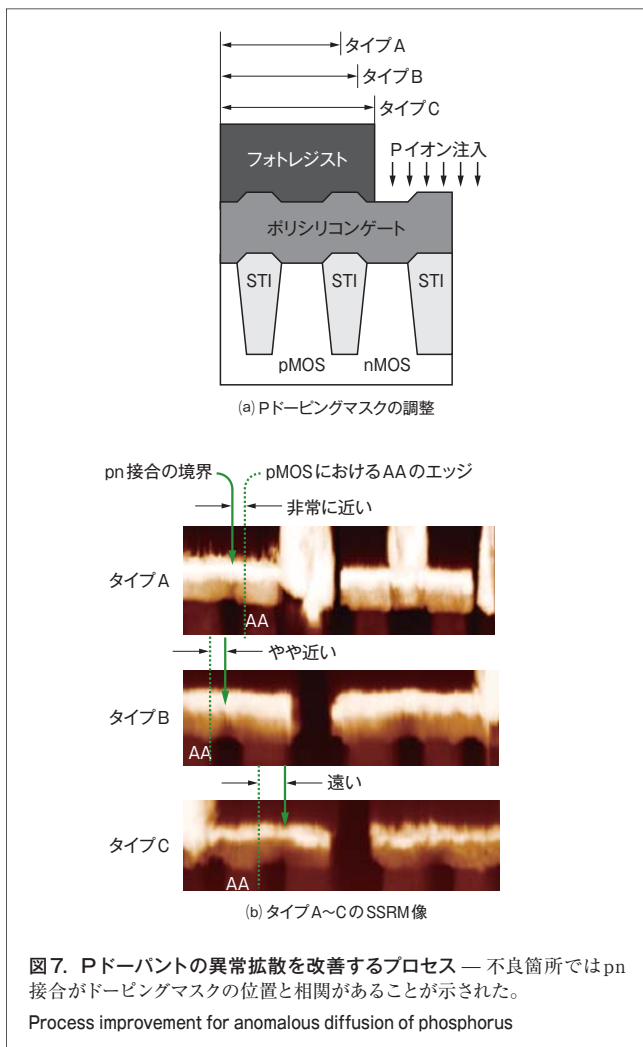
3.3 プロセス制御と歩留まり改善への取組み

ゲート中のPドーパントに異常拡散が観察されたデバイスのSTI形状に突起が見られることから、異常拡散はSTI構造に起因するストレスと関連があると考えられる。pMOSにおける



(注1) 2010年12月時点、当社調べ。

V_{th} の上昇を改善するため、異常拡散が観察されたデバイスのPドーピングのプロセスパラメータ依存性を調べた。Pドーピングマスクの境界をnMOS側へシフトさせたときの結果を図7に示す。具体的には、Pドーピングマスクを3種類(タイプA, B, C)設計し、タイプA, B, Cの順でPドーピングの領域がnMOS側へシフトしている。図7(b)にはタイプA, B, CそれぞれのSSRM像を示している。pn接合がPドーピングマスクの位置に依存しており、マスクの境界がnMOS側へシフトするのに伴って、pn接合がnMOS側へシフトしていることがわかった。一方、平坦なSTIのデバイスでは、図7に観察されたpn接合位置とドーピングマスクの相関は見られなかったことから、Pドーパントの異常拡散はSTIの形状に強く依存することが明らかになった。STIの平坦度を向上し、拡散マスクの位置を最適化することで、Pドーパントの異常拡散を抑えることができ、歩留まりが改善された。



4 あとがき

当社は、世界で初めて特定箇所のSSRM評価技術を開発し、FIB-PU法を用いて60 nm未満の極薄試料の作製に成功した。この技術は、実デバイスの故障解析への適用を開始しており、CMOS(相補型MOS)デバイスにおける不良ビットの直接観察、原因の解明、及び歩留まりの向上などに効果を上げ始めている。

今後は、広範囲な先端デバイスの開発にこの技術を適用し、ナノスケールでの物理現象を理解することを通して、開発のスピードアップやコスト削減に貢献していく。

文献

- (1) 国際半導体技術ロードマップ委員会. International Technology Roadmap for Semiconductors (ITRS), 2010 edition. <<http://www.itrs.net>>, (2011-03-08参照).
- (2) Zhang, L. et al. High-resolution characterization of ultrashallow junctions by measuring in vacuum with scanning spreading resistance microscopy. *Appl. Phys. Lett.* **90**, 5, 2007, p.192103-1~192103-3.
- (3) Zhang, L. et al. 1-nm-Spatial Resolution in Carrier Profiling of Ultra-Shallow Junctions by Scanning Spreading Resistance Microscopy. *IEEE Electron Device Lett.* **29**, 7, 2008, p.799-801.
- (4) 張 利. 世界最高の空間分解能1 nmを実現する不純物解析技術. *東芝レビュー*. **63**, 2, 2008, p.76-77.
- (5) 張 利. 1 nm高分解能走査型広がり抵抗顕微鏡(SSRM)とLSIデバイス解析への応用. *顕微鏡*. **44**, 3, 2009, p.161-164.
- (6) Zhang, L. et al. Insight into the S/D Engineering by High-resolution Imaging and Precise Probing of 2D-Carrier Profiles with Scanning Spreading Resistance Microscopy. *IEDM Tech. Dig.* 2009, p.35-38.
- (7) Zhang, L. et al. Direct Visualization of Anomalous-Phosphorus Diffusion in Failure-Bit Gates of SRAM-Load pMOSFETs with High-Resolution Scanning Spreading Resistance Microscopy. *IEDM Tech. Dig.* 2010, p.804-807.



張 利 ZHANG Li, Ph.D

研究開発センター LSI基盤技術ラボラトリー主任研究員、工博。走査型プローブ顕微鏡を用いた半導体材料、デバイスのナノスケール計測技術の開発に従事。応用物理学会会員。Advanced LSI Technology Lab.



小池 三夫 KOIKE Mitsuo

研究開発センター LSI基盤技術ラボラトリー研究主務。電子顕微鏡及び収束イオンビーム装置を用いた先端解析技術の開発に従事。日本顕微鏡学会、米国顕微鏡学会会員。Advanced LSI Technology Lab.



原 啓良 HARA Keiryō

セミコンダクター社 大分工場 品質保証部グループ長。半導体製品の故障解析に従事。日本顕微鏡学会会員。Oita Operations