

半導体加工形状シミュレーション技術と大容量メモリBiCS

Topography Simulation Technology for BiCS Ultrahigh-Density Flash Memory

市川 尚志 一之瀬 大吾 玉置 直樹
 ■ ICHIKAWA Takashi ■ ICHINOSE Daigo ■ TAMAOKI Naoki

近年の半導体デバイスの微細化と工程数増加に伴い、シミュレーションによる開発効率化が求められている。東芝では、微細加工形状やデバイス特性の試作前の予測を目指し、物理化学モデルを用いた半導体加工形状シミュレーション技術の開発を行ってきた。

このシミュレーション技術を最先端デバイスの開発に適用した事例として、当社が提案した大容量メモリ技術BiCS (Bit Cost Scalable Memory) のキーププロセスである“メモリホールエッチング”が挙げられる。このメモリホールエッチングに対して、加工形状シミュレーションを行った結果、マスク側壁面からの反射イオンによるシリコン (Si) 表面の酸化保護層除去など、適切な物理現象のモデリングによって、多層膜の加工で発生するテーパ角やアンダカット形状を予測できた。ここで作成したモデルを活用すれば、より多くの層を一括加工した場合の形状や、それに伴うデバイス特性などを、試作前にあらかじめ予測できる。

Accompanying the ongoing miniaturization of semiconductor devices and the increase in the number of process steps in their manufacture in recent years, cost reductions utilizing simulation technologies are required.

Toshiba has been developing a physical and chemical topography simulator to predict the performance of semiconductor devices without trial production. We have now introduced this topography simulation to memory hole etching as a key process for our proprietary bit-cost scalable (BiCS) ultrahigh-density flash memories. As a result, we have confirmed that the simulation model can describe the experimental topography of BiCS memory holes, including taper angles and undercuts of stacked films, applying appropriate modeling of physical phenomena as typified by the removal of adsorbed oxygen atoms on the silicon surface caused by reflected ions from the tapered silicon dioxide (SiO₂) sidewall. By utilizing this simulation model in the manufacturing of multilayer film structures, we can predict the precise topography and performance of semiconductor devices without the need for trial production.

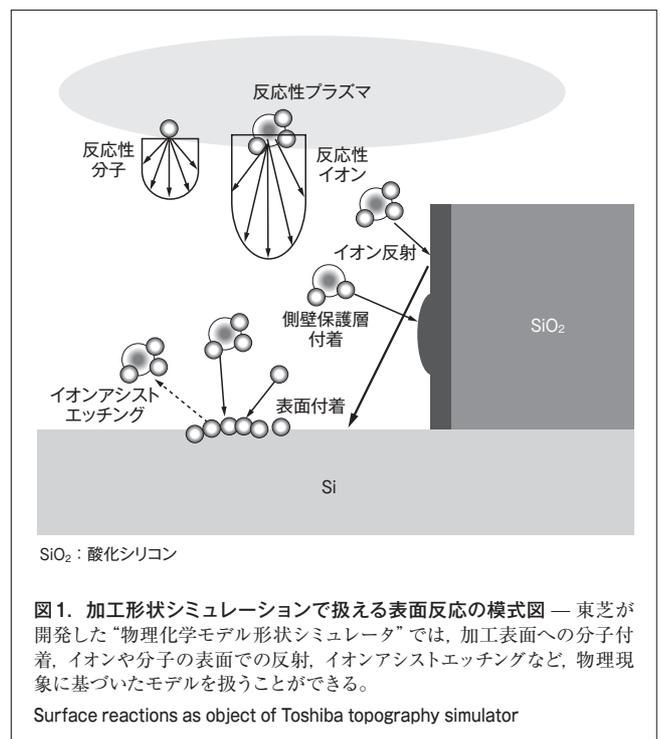
1 まえがき

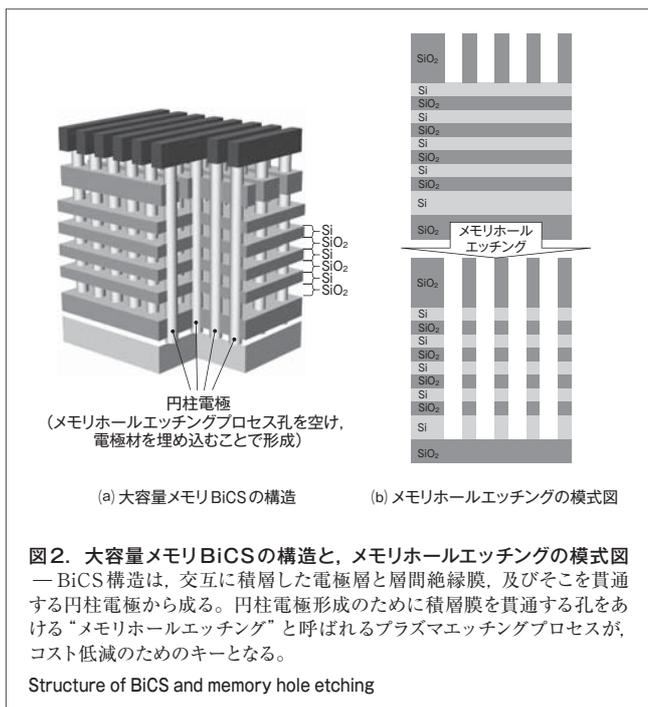
半導体デバイスの開発では、低コストと高機能の両立に向け、急速な微細化と複雑化が進められている。その結果、試作や開発の難易度が増しており、シミュレーションによる開発効率化が求められている。東芝では、加工形状やデバイス特性を試作前に予測することを目指し、“物理化学モデル形状シミュレーション技術^{(1), (2)}”の開発を行ってきた。加工表面での分子吸着やイオン反射など、実際の物理現象に即した詳細な表面反応を考慮し、シミュレーションの予測性を高めている(図1)。

ここでは、物理化学モデル形状シミュレーション技術を最先端デバイス開発に適用した事例として、次世代大容量メモリ技術BiCSでのプロセスモデリングとシミュレーションの結果について述べる。

2 BiCS技術

大容量メモリ技術BiCS(図2(a))は、当社が新たに提案し





たメモリ技術であり、従来構造のNAND型メモリと比較して低コスト化できることから、次世代の携帯機器やSSD (Solid State Drive) 向けのストレージ (外部記憶装置) として期待されている⁽³⁾。

このメモリ技術で低コスト化のキーとなるのは、交互に積層したSi電極層と酸化シリコン (SiO₂) 絶縁層に対して、貫通する孔 (あな) をあける“メモリホールエッチング”と呼ばれるプラズマエッチングプロセス^(注1)である (図2(b))。一回のリソグラフィステップ (露光工程) で、より多くの層を一括して加工できればできるほど、同じコストで大容量のメモリが生産できる。したがって、低コスト化のためより多くの層を一括して加工する技術の開発が継続的に必要となるが、スペックを満たす加工形状やデバイス特性が得られるかを多層加工の試作前に見積もることができれば、開発期間が短縮できる。

このことを踏まえ、キープロセスとなるメモリホールエッチングについて、加工形状シミュレーション技術による試作前の仮想実験を目指し、モデルの構築を行った。

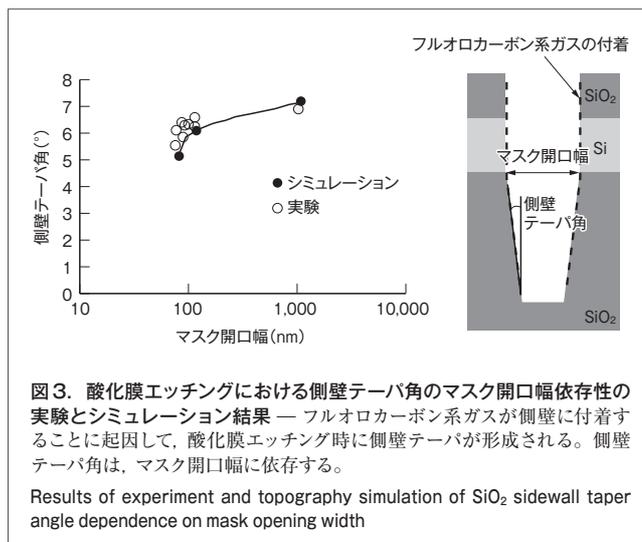
3 基礎実験に基づく表面反応のモデリング

BiCSメモリホールエッチングでは、“主にフルオロカーボン^(注2)系ガスを用いた酸化層のエッチング”と、“ハロゲン^(注3)

(注1) プラズマを用いて、半導体集積回路などの微細回路を作成する方法。加工に用いるガス組成 (ガスレシピ) によって、加工形状が大きく変化する。

(注2) 炭素 (C) とフッ素 (F) が結合した有機化合物の総称。

(注3) フッ素、塩素 (Cl)、臭素 (Br) など、第17族元素の総称。



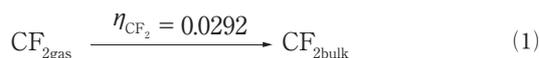
ガスを用いたSi層のエッチング”の二つのレシピを交互に繰り返すことで、深孔を削っている。このプロセスで予測性のあるシミュレーションを行うには、それぞれのレシピにおける物理化学現象を捉えた表面反応のモデリングが必要となる。各レシピで別々の基礎実験を行い、その解析を通して形状シミュレーションに用いるモデリングを行った。

3.1 酸化膜エッチングプロセスのモデリング

フルオロカーボン系ガスを用いた酸化膜のプラズマエッチングにおいては、フルオロカーボン系ガスが側壁に付着することに起因し、側壁のテーパ角 (図3) が形成される。このテーパ角は、最終的なBiCSの加工形状、及びデバイス特性にも影響を与えるため、テーパ角を再現できるモデル化が必要である。

図3に示すように、基礎実験で得られた側壁のテーパ角は5~7°程度で、マスク開口幅が変わっても、テーパ角はあまり変化しなかった。開口幅依存が小さいことは、側壁に付着するフルオロカーボン系ガスの反応性が低いことを示している。過去の研究も踏まえ、側壁には0.0292の小さな付着確率を持つフルオロカーボンラジカル^(注4)が堆積する反応を取り入れた^{(4), (5)}。当社が構築した酸化膜表面での簡易的な化学反応モデルを以下に示す。反応式では、フルオロカーボン全般をまとめて“CF₂”としてモデル化している。

(1) 酸化膜表面での主な反応



η_{CF_2} : フルオロカーボンラジカルの付着確率

CF_{2gas} : フルオロカーボンラジカル (気体)

CF_{2bulk} : フルオロカーボン (固体)

(注4) ラジカルとは、反応性が高くなっている状態の分子。

(2) フルオロカーボンの堆積レート

$$GR_{\text{depo}} = \frac{\eta_{\text{CF}_2} \cdot \Gamma_{\text{CF}_2}}{\rho_{\text{CF}_2}} - ER_{\text{depo}} \quad (2)$$

- GR_{depo} : フルオロカーボンの堆積レート
- Γ_{CF_2} : フルオロカーボンラジカルの局所的フラックス
- ρ_{CF_2} : フルオロカーボン堆積膜のバルク密度
- ER_{depo} : アルゴンイオン(Ar⁺)による堆積膜のエッチングレート

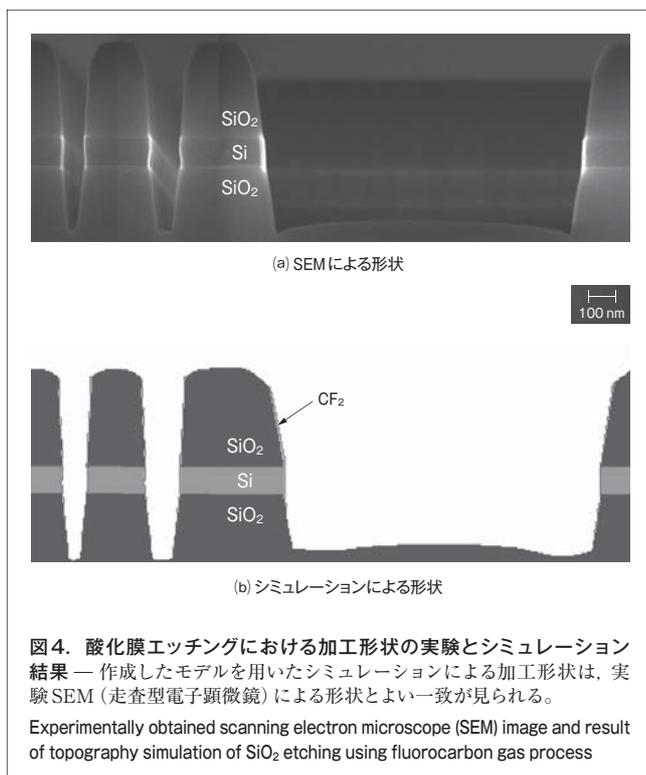
$GR_{\text{depo}} > 0$ の場合は堆積膜は成長し、 $GR_{\text{depo}} < 0$ の場合は酸化膜のエッチングレートを次の式に従い計算する。

(3) 酸化膜のエッチングレート ($GR_{\text{depo}} < 0$)

$$GR_{\text{SiO}_2} = -ER_{\text{SiO}_2} \left(\frac{GR_{\text{depo}}}{ER_{\text{depo}}} \right) \quad (3)$$

- GR_{SiO_2} : 酸化膜の総成長レート
- ER_{SiO_2} : 堆積膜の効果を除外した、酸化膜のエッチングレート

図4に示したように、これらの表面反応モデルによる形状シミュレーションの結果と実験で得られた形状はよく一致する。また、側壁テーパ角の開口幅依存性も実験結果を正しく再現している(図3)。

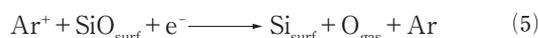


3.2 Siエッチングプロセスのモデリング

図5(a)に示すように、Si層のエッチングでは、エッチングの深さに強い開口幅依存性が見られた。また、側壁へのサイドエッチ量はマスクのテーパ角に依存する傾向があった(図5(b))。これらの現象は、イオンアシスト反応^(注5)を用いてモデル化できる。

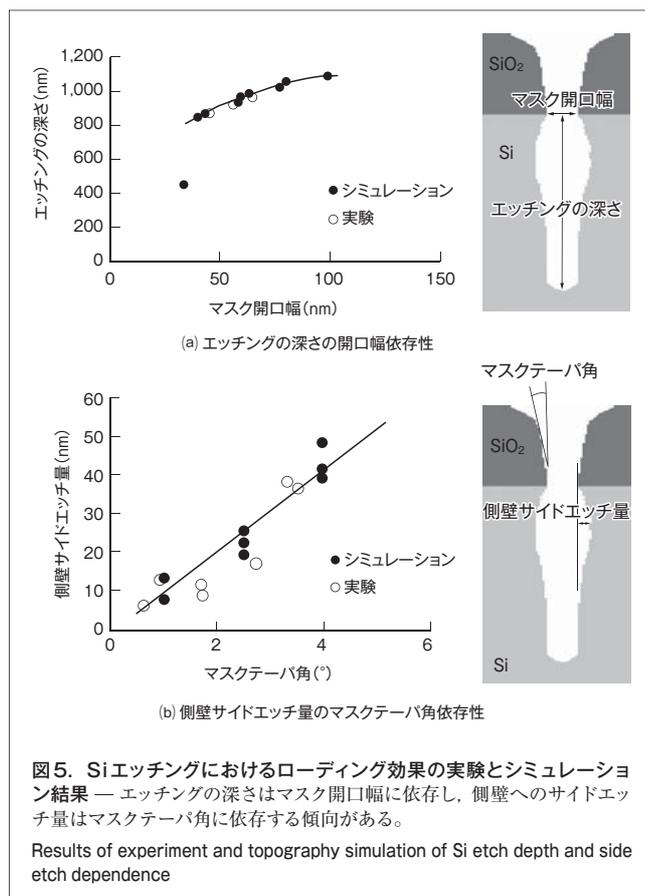
具体的にはSi表面に付着した酸素(O)原子をイオンが剥がし、O原子が剥がされたSi表面でハロゲンラジカルがエッチングを引き起こすものとした(図6)。当社が構築したSi表面での簡易的な化学反応モデルを以下に示す。反応式では、反応性イオン全般を“Ar⁺”、ハロゲン全般を“Br”としてモデル化している。

(1) Si表面での主な反応



O_{gas} : 酸素(気体)

Si_{surf} : Si表面



(注5) イオンの入射が、反応性の中性分子による反応を促進することで進行するエッチング反応。

Ar^+ : 反応性イオン
 e^- : 電子
 SiO_{surf} : Si酸化表面
 Br_{gas} : ハロゲン (気体)
 Si_{bulk} : Si (固体)
 $SiBr_{gas}$: ハロゲン化Si (気体)

(2) Siのエッチングレート

$$GR_{Si} = \frac{\Gamma_{Ar^+} \cdot \Gamma_{Br}}{\rho_{Si} (\Gamma_{Ar^+} + \Gamma_O)} \quad (7)$$

GR_{Si} : Siのエッチングレート
 Γ_{Ar^+} : 反応性イオンのフラックス
 Γ_{Br} : ハロゲンラジカルのフラックス
 ρ_{Si} : Siのバルク密度
 Γ_O : 酸素ラジカルのフラックス

酸化膜の側壁で反射されたイオンはSi表面の酸化保護層を剥がすため、側壁のサイドエッチ量は酸化膜側壁のテーパ角に依存する。この表面反応モデルによって、図5の実験結果とよく一致するシミュレーション形状が得られた。また、このモデルを用いると、酸化膜側壁のテーパ角が非対称な場合に起こる非対称なサイドエッチ形状も再現している (図7(c))。

4 BiCSメモリホールエッチング加工形状の予測

基礎実験から作成した表面反応モデルをそのまま用いて、BiCSメモリホールエッチング形状をシミュレーションした結果を図8に示す。

酸化膜のテーパ形状や、Siのサイドエッチ形状など、BiCSメモリホールのエッチングの特徴的な形状を再現していることがわかる。これは、ここで作成した表面反応モデルが、プロセス予測性を備えたモデルとなっていることを意味している。

BiCSメモリホールの加工形状について考察する。最上層のSiのアンダカット量は大きい、これは酸化膜マスクからのイ

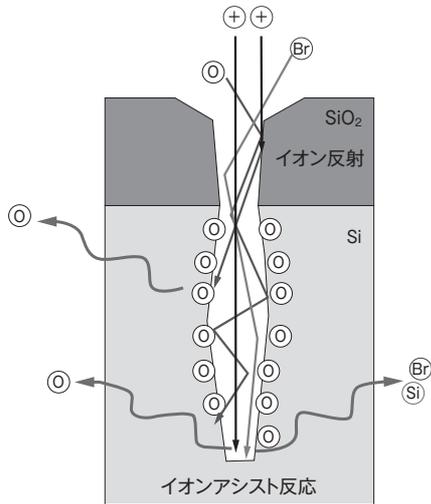


図6. Siエッチングプロセスにおける表面反応の模式図 — Si表面に付着したO原子をイオン (+) が剥がし、O原子が剥がされたSi表面にBrがエッチングを引き起こす表面反応モデルを構築した。またこのモデルでは、側壁でイオンが反射するものとした。

Surface reactions in Si etching process

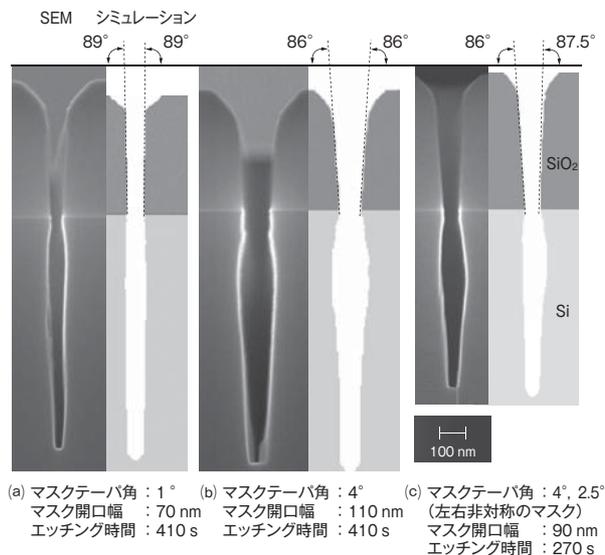


図7. Siエッチングにおける加工形状の実験とシミュレーション結果 — 作成したモデルを用いたシミュレーションによる加工形状は、実験SEM形状と良い一致が見られる。非対称なマスクを用いた場合の加工形状も再現している。

Experimentally obtained SEM image and result of topography simulation of Si etching

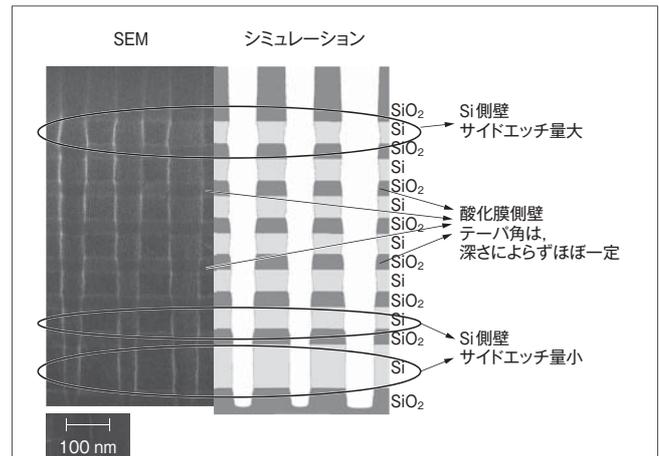


図8. BiCSメモリホールエッチングにおける加工形状の実験とシミュレーション結果 — 最上層のSiのアンダカット量、より深い層のアンダカット量、酸化膜のテーパ角など、BiCSメモリホールエッチングの特徴的な加工形状について、実験SEM形状と良い一致が見られる。

Experimentally obtained SEM image and result of topography simulation of BiCS memory hole etching

