# 半導体加工形状シミュレーション技術と大容量メモリBiCS

Topography Simulation Technology for BiCS Ultrahigh-Density Flash Memory

市川 尚志	一之瀬 大吾	玉置 直樹
ICHIKAWA Takashi	ICHINOSE Daigo	TAMAOKI Naoki

近年の半導体デバイスの微細化と工程数増加に伴い、シミュレーションによる開発効率化が求められている。東芝では、 微細加工形状やデバイス特性の試作前の予測を目指し、物理化学モデルを用いた半導体加工形状シミュレーション技術の開発 を行ってきた。

このシミュレーション技術を最先端デバイスの開発に適用した事例として、当社が提案した大容量メモリ技術 BiCS (Bit Cost Scalable Memory)のキープロセスである "メモリホールエッチング" が挙げられる。このメモリホールエッチングに 対して、加工形状シミュレーションを行った結果、マスク側壁面からの反射イオンによるシリコン (Si) 表面の酸化保護層除去 など、適切な物理現象のモデリングによって、多層膜の加工で発生するテーパ角やアンダカット形状を予測できた。ここで作成 したモデルを活用すれば、より多くの層を一括加工した場合の形状や、それに伴うデバイス特性などを、試作前にあらかじめ 予測できる。

Accompanying the ongoing miniaturization of semiconductor devices and the increase in the number of process steps in their manufacture in recent years, cost reductions utilizing simulation technologies are required.

Toshiba has been developing a physical and chemical topography simulator to predict the performance of semiconductor devices without trial production. We have now introduced this topography simulation to memory hole etching as a key process for our proprietary bit-cost scalable (BiCS) ultrahigh-density flash memories. As a result, we have confirmed that the simulation model can describe the experimental topography of BiCS memory holes, including taper angles and undercuts of stacked films, applying appropriate modeling of physical phenomena as typified by the removal of adsorbed oxygen atoms on the silicon surface caused by reflected ions from the tapered silicon dioxide (SiO<sub>2</sub>) sidewall. By utilizing this simulation model in the manufacturing of multilayer film structures, we can predict the precise topography and performance of semiconductor devices without the need for trial production.

#### 1 まえがき

半導体デバイスの開発では、低コストと高機能の両立に向 け、急速な微細化と複雑化が進められている。その結果、試 作や開発の難易度が増しており、シミュレーションによる開発 効率化が求められている。東芝では、加工形状やデバイス特 性を試作前に予測することを目指し、"物理化学モデル形状シ ミュレーション技術<sup>(1), (2)"</sup>の開発を行ってきた。加工表面での 分子吸着やイオン反射など、実際の物理現象に即した詳細な 表面反応を考慮し、シミュレーションの予測性を高めている (図1)。

ここでは、物理化学モデル形状シミュレーション技術を最 先端デバイス開発に適用した事例として、次世代大容量メモリ 技術 BiCS でのプロセスモデリングとシミュレーションの結果 について述べる。

### 2 BiCS技術

大容量メモリ技術 BiCS (図2(a)) は、当社が新たに提案し



図1. 加工形状シミュレーションで扱える表面反応の模式図 — 東芝が 開発した"物理化学モデル形状シミュレータ"では,加工表面への分子付 着,イオンや分子の表面での反射,イオンアシストエッチングなど,物理現 象に基づいたモデルを扱うことができる。

Surface reactions as object of Toshiba topography simulator



たメモリ技術であり、従来構造のNAND型メモリと比較して低 コスト化できることから、次世代の携帯機器やSSD (Solid State Drive)向けのストレージ (外部記憶装置) として期待さ れている<sup>(3)</sup>。

このメモリ技術で低コスト化のキーとなるのは、交互に積層 したSi電極層と酸化シリコン (SiO<sub>2</sub>) 絶縁層に対して、貫通す る孔 (あな) をあける "メモリホールエッチング" と呼ばれるプラ ズマエッチングプロセス<sup>(注1)</sup>である (図2(b))。一回のリソグラ フィステップ (露光工程) で、より多くの層を一括して加工でき ればできるほど、同じコストで大容量のメモリが生産できる。 したがって、低コスト化のためより多くの層を一括して加工する 技術の開発が継続的に必要となるが、スペックを満たす加工形 状やデバイス特性が得られるかを多層加工の試作前に見積もる ことができれば、開発期間が短縮できる。

このことを踏まえ,キープロセスとなるメモリホールエッチン グについて,加工形状シミュレーション技術による試作前の仮 想実験を目指し,モデルの構築を行った。

#### 3 基礎実験に基づく表面反応のモデリング

BiCSメモリホールエッチングでは、"主にフルオロカーボン<sup>(注2)</sup>系ガスを用いた酸化層のエッチング"と、"ハロゲン<sup>(注3)</sup>



ガスを用いたSi層のエッチング"の二つのレシピを交互に繰り 返すことで,深孔を削っている。このプロセスで予測性のある シミュレーションを行うには,それぞれのレシピにおける物理 化学現象を捉えた表面反応のモデリングが必要となる。各レ シピで別々の基礎実験を行い,その解析を通して形状シミュ レーションに用いるモデリングを行った。

#### 3.1 酸化膜エッチングプロセスのモデリング

フルオロカーボン系ガスを用いた酸化膜のプラズマエッチン グにおいては、フルオロカーボン系ガスが側壁に付着すること に起因し、側壁のテーパ角(図3)が形成される。このテーパ 角は、最終的なBiCSの加工形状、及びデバイス特性にも影響 を与えるため、テーパ角を再現できるモデル化が必要である。

図3に示すように、基礎実験で得られた側壁のテーパ角は 5~7°程度で、マスク開口幅が変わっても、テーパ角はあまり 変化しなかった。開口幅依存が小さいことは、側壁に付着する フルオロカーボン系ガスの反応性が低いことを示している。過 去の研究も踏まえ、側壁には0.0292の小さな付着確率を持つフ ルオロカーボンラジカル<sup>(注4)</sup>が堆積する反応を取り入れた<sup>(4), (5)</sup>。 当社が構築した酸化膜表面での簡易的な化学反応モデルを以 下に示す。反応式では、フルオロカーボン全般をまとめて "CF<sub>2</sub>"としてモデル化している。

(1) 酸化膜表面での主な反応

$$CF_{2gas} \xrightarrow{\eta_{CF_2} = 0.0292} CF_{2bulk}$$
(1)

η<sub>CF2</sub>:フルオロカーボンラジカルの付着確率 CF<sub>2gas</sub>:フルオロカーボンラジカル (気体) CF<sub>2wak</sub>:フルオロカーボン (固体)

(注4) ラジカルとは、反応性が高くなっている状態の分子。

<sup>(</sup>注1) プラズマを用いて、半導体集積回路などの微細回路を作成する方法。加工に用いるガス組成(ガスレシビ)によって、加工形状が大きく変化する。

<sup>(</sup>注2) 炭素(C)とフッ素(F)が結合した有機化合物の総称。

<sup>(</sup>注3) フッ素, 塩素 (CI), 臭素 (Br) など, 第17 族元素の総称。

(2) フルオロカーボンの堆積レート

$$GR_{\rm depo} = \frac{\eta_{\rm CF_2} \cdot \Gamma_{\rm CF_2}}{\rho_{\rm CF_2}} - ER_{\rm depo}$$
(2)

$$GR_{depo}$$
:フルオロカーボンの堆積レート  
 $\Gamma_{CF_2}$ :フルオロカーボンラジカルの局所的  
フラックス  
 $\rho_{CF_2}$ :フルオロカーボン堆積膜のバルク密度  
 $ER_{depo}$ :アルゴンイオン(Ar<sup>+</sup>)による堆積膜の  
エッチングレート

*GR*<sub>depo</sub>>0の場合は堆積膜は成長し,*GR*<sub>depo</sub><0の場合は酸 化膜のエッチングレートを次の式に従い計算する。

(3) 酸化膜のエッチングレート (GR<sub>depo</sub><0)

$$GR_{\rm SiO_2} = -ER_{\rm SiO_2} \left( \frac{GR_{\rm depo}}{ER_{\rm depo}} \right) \tag{3}$$

GR<sub>SIQ</sub>:酸化膜の総成長レート ER<sub>SIQ</sub>:堆積膜の効果を除外した,酸化膜の

エッチングレート

図4に示したように、これらの表面反応モデルによる形状シ ミュレーションの結果と実験で得られた形状はよく一致する。 また、側壁テーパ角の開口幅依存性も実験結果を正しく再現 している(図3)。



#### 3.2 Siエッチングプロセスのモデリング

図5(a)に示すように, Si層のエッチングでは, エッチングの 深さに強い開口幅依存性が見られた。また, 側壁へのサイド エッチ量はマスクのテーパ角に依存する傾向があった (図5(b))。 これらの現象は, イオンアシスト反応<sup>(注5)</sup>を用いてモデル化で きる。

具体的にはSi表面に付着した酸素(O)原子をイオンが剥が し、O原子が剥がされたSi表面でハロゲンラジカルがエッチン グを引き起こすものとした(図6)。当社が構築したSi表面で の簡易的な化学反応モデルを以下に示す。反応式では、反応 性イオン全般を "Ar<sup>+</sup>", ハロゲン全般を "Br" としてモデル化し ている。

Si表面での主な反応

$$O_{gas} + Si_{surf} \longrightarrow SiO_{surf}$$
 (4)

$$Ar^+ + SiO_{surf} + e^- \longrightarrow Si_{surf} + O_{gas} + Ar$$
 (5)

$$Br_{gas} + Si_{bulk} + Si_{surf} \longrightarrow SiBr_{gas} + Si_{surf}$$
 (6)

O<sub>gas</sub>:酸素 (気体) Si<sub>surf</sub>: Si表面



3. 31エノアノクにおいるローフィノク効果の実験とフミュレーフョン結果 — エッチングの深さはマスク閉口幅に依存し, 側壁へのサイドエッチ量はマスクテーパ角に依存する傾向がある。

Results of experiment and topography simulation of Si etch depth and side etch dependence

(注5) イオンの入射が、反応性の中性分子による反応を促進することで進行するエッチング反応。

Ar<sup>+</sup> :反応性イオン e<sup>-</sup> :電子 SiO<sub>surf</sub>:Si酸化表面 Br<sub>gas</sub> :ハロゲン (気体) Si<sub>bulk</sub> :Si (固体) SiBr<sub>gas</sub>:ハロゲン化 Si (気体)



図6. Siエッチンクフロセスにおける表面反応の模式図 – Si表面に付 着したO原子をイオン(+)が剥がし、O原子が剥がされたSi表面にBrが エッチングを引き起こす表面反応モデルを構築した。またこのモデルで は、側壁でイオンが反射するものとした。

Surface reactions in Si etching process



Experimentally obtained SEM image and result of topography simulation of Si etching

(2) Siのエッチングレート

$$GR_{Si} = \frac{\Gamma_{Ar^{*}} \cdot \Gamma_{Br}}{\rho_{Si} \left(\Gamma_{Ar^{*}} + \Gamma_{O}\right)}$$
(7)  

$$GR_{Si} : Si のエッチングレート$$

$$\Gamma_{Ar^{*}} : 反応性イオンのフラックス$$

$$\Gamma_{Br} : ハロゲンラジカルのフラックス$$

$$\rho_{Si} : Si のバルク密度$$

$$\Gamma_{O} : 酸素ラジカルのフラックス$$

酸化膜の側壁で反射されたイオンはSi表面の酸化保護層を 剥がすため、側壁のサイドエッチ量は酸化膜側壁のテーパ角 に依存する。この表面反応モデルによって、図5の実験結果と よく一致するシミュレーション形状が得られた。また、このモ デルを用いると、酸化膜側壁のテーパ角が非対称な場合に起 こる非対称なサイドエッチ形状も再現している(**図7**(c))。

#### 4 BiCSメモリホールエッチング加工形状の予測

基礎実験から作成した表面反応モデルをそのまま用いて, BiCSメモリホールエッチング形状をシミュレーションした結果 を図8に示す。

酸化膜のテーパ形状や,Siのサイドエッチ形状など,BiCS メモリホールのエッチングの特徴的な形状を再現していること がわかる。これは,ここで作成した表面反応モデルが,プロ セス予測性を備えたモデルとなっていることを意味している。

BiCSメモリホールの加工形状について考察する。最上層の Siのアンダカット量は大きいが、これは酸化膜マスクからのイ



図8. BiCSメモリホールエッチングにおける加工形状の実験とシミュ レーション結果 — 最上層のSiのアンダカット量、より深い層のアンダカッ ト量、酸化膜のテーパ角など、BiCSメモリホールエッチングの特徴的な加 工形状について、実験SEM形状と良い一致が見られる。

Experimentally obtained SEM image and result of topography simulation of BiCS memory hole etching



オンの反射が大きいことに由来する。また,より深い層のアン ダカット量が小さくなっているが,これはテーパのついた酸化 膜側壁からのイオン反射量が減っているためである。

これらのモデルを用い,より多くの層を一括して加工した場 合の予測結果を図9に示す。今回作成したモデルを活用する ことで,より多くの層を一括して加工した場合の形状や,それ に伴うデバイス特性などを,試作前にあらかじめ予測すること ができる。

#### 5 あとがき

酸化膜及びSiエッチングの二つプロセスについて別々に基礎実験を行い、その物理現象の解析から、予測性のある形状シミュレーションモデルを構築した。構築したモデルをそのまま用いてBiCSメモリホールエッチングの連続プロセスを行ったところ、実験の加工形状を再現できることがわかった。

予測性のある形状シミュレーション技術による試作前の仮 想実験を行うことで、開発期間の短縮が期待できる。このよ うな形状シミュレーション技術は、今後、構造が複雑化してい く次世代半導体デバイスの開発に欠かせないものとなっていく と考えられる。

## 文 献

- 尾上誠司 他. 半導体プロセスDFMを実現するTCADスルーシミュレーション、東芝レビュー. 64, 5, 2009, p.22-25.
- (2) Ichikawa, T. et al. "Topography Simulation of BiCS Memory Hole Etching Modeled by Elementary Experiments of SiO<sub>2</sub> and Si Etching". International

Conference on Simulation of Semiconductor Processes and Devices (SISPAD) 2010. Bologna, Italy, 2010-09, IEEE. 2010, p.45 - 48.

- (3) 田中啓安 他. 低ビットコストで大容量な3次元構造のNAND型フラッシュ メモリ. 東芝レビュー. 63, 2, 2008, p.28-31.
- (4) Zheng, L. et al. Studies of Film Deposition in Fluorocarbon Plasmas Employing a Small Gap Structure. J. Vac. Sci. Technol. A. 23, 4, 2005, p.634 - 642.
- (5) Ichikawa, T. et al. "Modeling of Deposition During C<sub>5</sub>F<sub>8</sub>/CO/O<sub>2</sub>/Ar Plasma Etching Using Topography and Compositon Simulation." International Conference on SISPAD 2007. Vienna, Austria, 2007-09, IEEE. 2007, p.425 - 428.



#### 市川 尚志 ICHIKAWA Takashi

研究開発センター デバイスプロセス開発センター研究主務。 半導体形状シミュレーション技術の開発に従事。応用物理 学会会員。

Device Process Development Center

# 一之瀬 大吾 ICHINOSE Daigo セミコンダクター社 メモリ事業部 先端メモリ開発センター。 先端メモリ技術の開発に従事。 Memory Div.

#### 玉置 直樹 TAMAOKI Naoki

研究開発センター デバイスプロセス開発センター主任研究員。 半導体形状シミュレーション技術の開発に従事。応用物理 学会,化学工学会会員。 Device Process Development Center