

半導体リソグラフィにおけるDFM技術

Design for Manufacturability Technology to Accelerate Advanced Semiconductor Lithography Processes

小林 幸子

小谷 敏也

姜 帥現

■KOBAYASHI Sachiko

■KOTANI Toshiya

■KYOHO Suigen

半導体デバイス製造における高集積・微細化の進展を支えてきたのがリソグラフィプロセスである。リソグラフィでは、露光装置における光源の短波長化や、高NA (Numerical Aperture: 開口数) 化に代表される種々の微細化技術の開発が進められてきた。微細化がいつそう進展するなかで高い歩留りを実現するためには、設計段階において製造のしやすさを考慮したレイアウトを作成する、DFM (Design for Manufacturability) が必須となる。

東芝は、計算機リソグラフィを駆使して歩留りの高い設計及びプロセスを短期間に立ち上げるDFM技術の開発を推進し、半導体の微細化を加速している。

Lithography is a key technology supporting the development of large-scale integrations (LSIs) in the process of manufacturing semiconductor devices. Various techniques have been introduced to extend its resolution limit, as typified by shortening the wavelength of the light source and the use of a higher numerical aperture (NA) in the exposure apparatus. Consideration of manufacturability at the design stage, referred to as design for manufacturability (DFM), is becoming increasingly essential to achieve a high yield rate in advanced semiconductor manufacturing processes.

With this as a background, Toshiba is promoting the development and acceleration of DFM technology making full use of computational lithography to establish design and manufacturing processes with a high yield rate in a shorter period of time.

1 まえがき

半導体デバイス製造における高集積・微細化の進展を支えてきたのが、微細レジストパターンを形成するリソグラフィプロセスである。露光装置では種々の微細化技術の開発が進められてきたが、同時に微細化では製造工程管理の仕様を厳格化することが求められるため、パターン作成の製造困難度が増大し、目標歩留りを実現することが難しくなっている。このような状況下で高い歩留りを実現するためには、設計段階において製造性を考慮し、歩留りの高いレイアウトを作成する技術であるDFMが必須となる。

DFMにおいては、最適な設計ルール、設計レイアウト、照明条件、及びマスク形状を求めるため、膨大なプロセスシミュレーションと図形処理を繰り返す必要がある。そこで東芝は、計算機リソグラフィを駆使して歩留りの高い設計及びプロセスを短期間に立ち上げるDFM技術の開発を推進している。

ここでは、種々の歩留り低下要因を考慮してレイアウトを改良することにより、歩留りを向上する技術について述べる。

2 半導体の微細化傾向とホットスポットの修正

光リソグラフィにおける解像度 R は、次に示すレイリーの式(1)で表される。

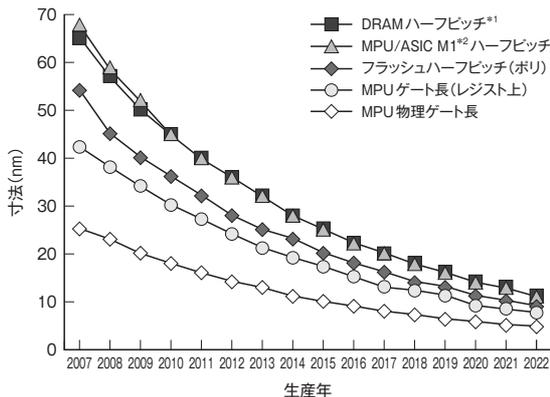
$$R = k_1 \cdot \lambda / NA \quad (1)$$

ここで、 k_1 はプロセス性能が解像度に影響を及ぼすファクターで、一般に低コントラストな像ほど k_1 が低い。 λ は露光装置の光源波長、 NA は投影レンズの開口数で、一般にレンズ口径が大きいほど大きな値になる。したがって R の向上を図るため、露光装置の光源の短波長化と高NA化が進められてきた。微細化の急速な進展に伴い(図1)、 k_1 がより低い条件での製造が必要となっている(表1)。

低 k_1 条件では、図2に示すように、ホットスポット^(注1)が増加する。ホットスポットとは、どのような光近接効果補正(OPC: Optical Proximity Correction)^(注2)を行ってもフォーカスずれやドーズ(露光量)の変動に対するプロセスマージンが得られない箇所であり、その状況と数に応じて歩留り悪化の原因となる。そこで設計レイアウトを解析してホットスポットの発生を高精度に予測し、歩留りを向上させるために設計レイアウトを修正する技術が必要になる。ホットスポットの予測及びレイアウトの修正には露光シミュレーションや設計ルールを考慮した図形処理など多大な計算量を必要とするため、計算速度と精度が二律背反の関係になる。このため、高精度かつ高速なシミュレーションができる計算機リソグラフィ技術の開発の重要性が高まっている。

(注1) プロセスマージンが不足し、パターンが切れる、付く、所望の寸法範囲を満たせない危険性の高いレイアウト箇所のこと。

(注2) ウェーハで所定の寸法及び形状を得るために、マスク形状を修正する技術。



MPU : Micro Processing Unit ASIC : 用途特定IC
 *1 : 半導体チップの配線層で配線ピッチの1/2のこと。半導体微細化の指標として使われる。
 *2 : メタル配線の第一層。
 *ITRS(国際半導体技術ロードマップ) 2007 Edition. Lithography section⁽¹⁾のデータに基づき作成

図1. 半導体設計ルール微細化の傾向 — 半導体デバイス製造の高集積・微細化は、リソグラフィプロセスの進展が支えている。
 Trends in shrinkage of design rule for semiconductor devices

表1. MPU製造におけるM1層設計ルールと k_1 の変遷
 Transition of process factors (k_1) and design rule of metal-1 (M1) layer in microprocessor manufacturing

項目	MPU M1 ハーフピッチ (nm)					
	120	90	65	45	32	22
光源	KrF	ArF	ArF	ArF 液浸*	ArF 液浸	ArF 液浸
波長 (nm)	248	193	193	193	193	193
k_1 範囲	0.47~ 0.53	0.40~ 0.43	0.31~ 0.40	0.28~ 0.31	0.18~ 0.28	0.14~ 0.22

KrF : フッ化クリプトンエキシマレーザ ArF : フッ化アルゴンエキシマレーザ
 *投影レンズとウェーハの間に、屈折率が1より大きな液体を満たす露光方式
 出典 : ITRS 2009 Edition. Lithography section⁽²⁾

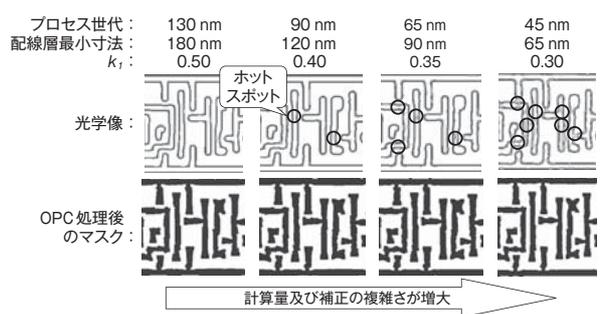


図2. 低 k_1 プロセス条件におけるパターン忠実度の劣化 — ハーフピッチの縮小に伴い、式(1)の k_1 値が低下する。 k_1 値が低下するとホットスポットの発生が増加し、予測及び補正のための計算量が増大する。
 Degradation of pattern fidelity under lower- k_1 process conditions

3 ホットスポット予測及び修正システム

3.1 概要

ホットスポットは歩留り低下の原因となるため、設計から製

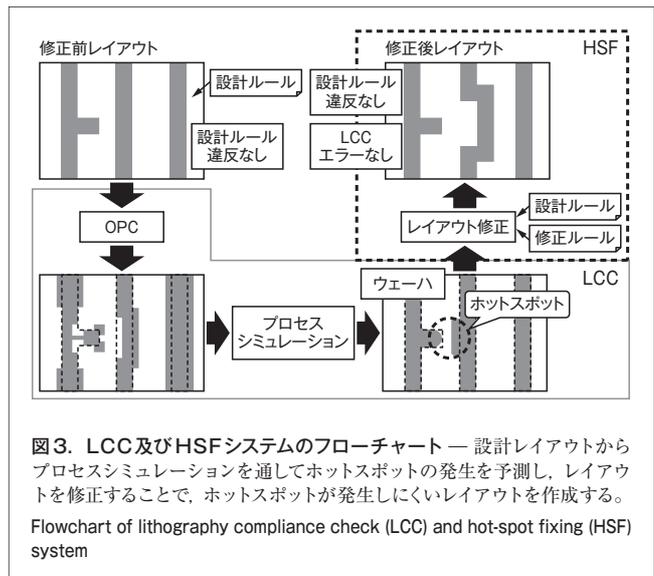


図3. LCC及びHSFシステムのフローチャート — 設計レイアウトからプロセスシミュレーションを通してホットスポットの発生を予測し、レイアウトを修正することで、ホットスポットが発生しにくいレイアウトを作成する。
 Flowchart of lithography compliance check (LCC) and hot-spot fixing (HSF) system

造までのいずれかの段階で抽出し、修正する必要がある。一例を図3に示す。

まず、設計レイアウトを入力しOPCを施してマスクデータを作成する。次に、プロセスシミュレーションを実行しホットスポットを抽出する。この設計レイアウトからホットスポット抽出までのプロセスを、LCC (Lithography Compliance Check) と呼ぶ。続いて、抽出したホットスポット近傍のパターン配置と設計ルールや修正ルールを照らし合せてレイアウトを自動修正 (HSF : HotSpot Fixer) する^{(3), (4)}。先端半導体デバイスの製造において、LCCとHSFは高歩留りを実現するために必須の技術である。当社は他社に先駆けて、処理の自動・高速化を実現し、先端プロセスの短期間での立上げを可能にした。

3.2 作業フロー

設計者のレイアウト設計を支援するLCCとHSFインタフェースの構成を図4に示す。

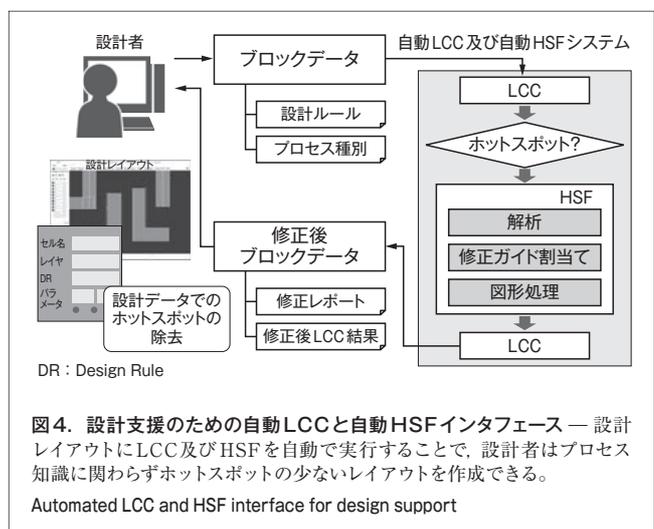


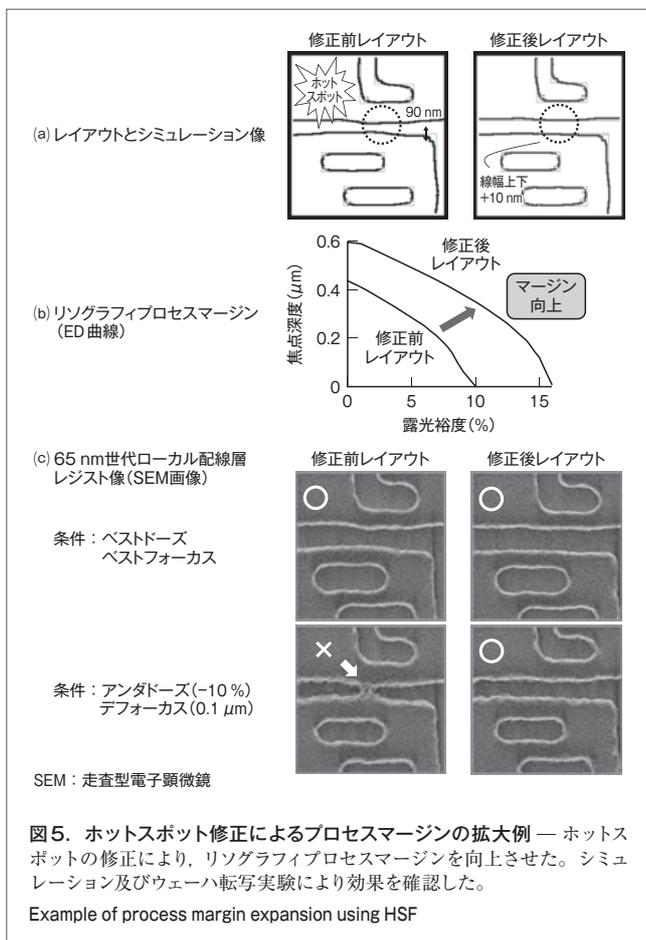
図4. 設計支援のための自動LCCと自動HSFインタフェース — 設計レイアウトにLCC及びHSFを自動で実行することで、設計者はプロセス知識に関わらずホットスポットの少ないレイアウトを作成できる。
 Automated LCC and HSF interface for design support

設計者はコンピュータ端末上でEDA (Electronic Design Automation) ツールを用いてレイアウトを作成し、インタフェースを介してLCCとHSFシステムに設計データとプロセス種別を送付する。システム側では受信したブロックデータのレイアウトにLCCを実行し、ホットスポットを抽出する。続いて、HSFシステムにおいてホットスポットの置かれた環境を解析し、設計ルールと修正ガイドに基づいて修正を行う。最後に、修正結果に再度LCCを実行してホットスポット修正を確認したうえで、修正済みブロックデータ及びレポートを設計者に送付する。一連の処理を自動で行うことにより、設計者はプロセス知識の熟練度に関わらず、ホットスポットのない製造容易性が高いレイアウトを簡便に得ることができる。

3.3 65 nmプロセスへの適用例

以上述べたHSFシステムを、65 nm世代のロジックデータへ適用してプロセスマージンの拡大効果を検証した。検証した例を図5に示す。

最小寸法90 nmの配線第一層のレイアウトでは(図5(a))、修正前レイアウトの中央の配線が細り、プロセスのばらつきによって断線しやすいホットスポットが生じている。HSFを用いた修正の結果、ホットスポット箇所の上下の辺は10 nmずつ太くなる方向に移動した。光学シミュレーション上では、修正箇



所だけが局所的に改善されており、近傍において短絡などの副作用が生じていないことがわかる。

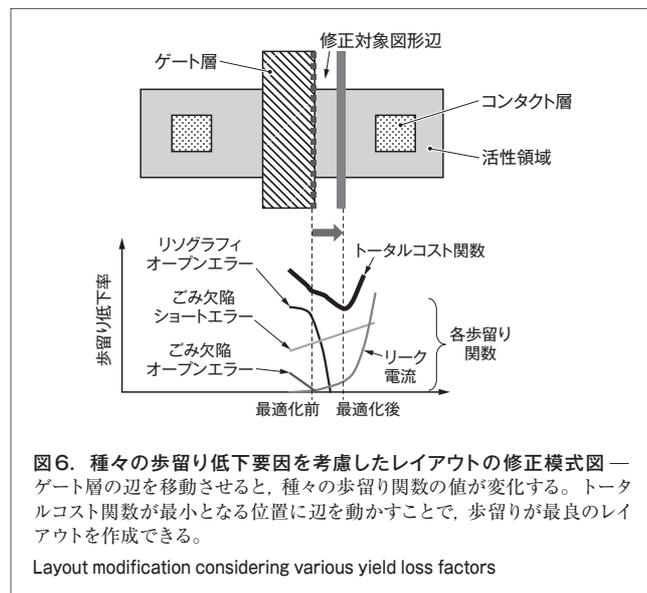
修正前後のレイアウトで、ホットスポット箇所が所定寸法の $\pm 10\%$ 内に収まる露光量対フォーカス(ED)曲線をプロットした(図5(b))。修正の結果、修正前に比べて所定寸法の $\pm 10\%$ に収まるリソグラフィプロセス条件の範囲(ED曲線の下側の領域)は大きく拡大した。

このレイアウトに関して、HSFを用いた修正前後のパターンから作成したウェーハ上のレジスト像を図5(c)に示す。ベストフォーカスかつベストドーズ条件では、修正前後のレイアウトはともにウェーハ上に正しく形成されている。一方、10%アンダドーズ、0.1 μm デフォーカス(受光面のレンズの結像面から光軸方向へのずれ)条件では、修正前レイアウトの中央の配線が断線しているが、修正後レイアウトのパターンは正しく形成できている。これは、ED曲線のデフォーカス0.1 μm における露光裕度が、修正前には約8.5%であるのに対して、修正後には約15.5%と大きく拡大したことに対応している。つまり、プロセスシミュレーションによるホットスポット予測と修正が適切であることを示している。

3.4 45 nmプロセスへの適用例

更に微細化が進展すると、製造歩留りに関して、リソグラフィ起因の欠陥だけでなく、ランダム欠陥やプロセスのばらつきなど、種々の歩留り低下要因の影響が増大する。特に45 nm世代以降においてこの傾向が顕著になる。高い歩留りを達成するには、これらの歩留り低下要因を総合的に考慮してレイアウトを修正する技術が重要となる。そこで、製造プロセスのふるまいに合わせた歩留り関数を作成し、これを用いた45 nm世代の標準セルレイアウト修正の効果を検証した⁽⁵⁾。

種々の歩留り低下要因を考慮したレイアウト修正の手法を図6に示す。図中に示す活性領域上のゲートパターンで注目



する図形辺を左右に移動させたときの歩留り低下率を、要因ごとのグラフにした。辺を右に動かすと、ゲートパターンが大きくなるためリソグラフィプロセスにおけるオープン（断線）の危険性が低下し、また、ゲートパターン上のごみ起因でパターンがオープンする危険性が低下する。一方、ゲートリーク電流が増加する危険性や、ごみ起因でゲートパターンが他のパターンとショート（短絡）する危険性が増加する。これらの歩留り関数を総合的に考慮したコスト関数が最小になる位置に辺を動かすことで、歩留りが最良のレイアウトを作成できる。

種々の歩留り低下要因を考慮した自動レイアウト修正フローを図7に示す。実験を通して抽出したシステムティック（レイアウト起因）、パラメトリック（ばらつき起因）、及びランダム（ごみ欠陥）要因の歩留りパラメータを統合して歩留り関数を作成し、レイアウト修正フローに組み込む。レイアウト修正フローでは、歩留り関数を用いてセルレイアウトを解析し、図形辺ごとにコスト関数を割り付ける。続いてコスト関数が最小になるように各図形辺を動かしてレイアウトを修正し、再び歩留り関数を用いてレイアウトを解析する。これらのステップを必要に応じて繰り返して歩留りを向上させたセルを出力する。このフローの適用により、数百セルを含む標準セルライブラリに関して、複数クリティカル層（拡散層、ポリシリコン（Si）、コンタクト、配線第1層、配線第1層と第2層をつなぐビア、及び配線第2層）のレイアウトを自動的に修正することができる。プロセス変更に伴って歩留り関数を更新することにより、設計者のプロセス知識の習熟度によらず、高い歩留りのレイアウトを作成することができる。

45 nmテストセルから1セルを選び、レイアウト解析と修正のステップを3回繰り返した結果、修正前に比べ歩留り低下率は63%改善した。同様に、基本的な機能を持つ標準セル30個にレイアウト修正を実行して修正前後の歩留りを算出した結果、平均43%の改善が見られた。この手法で改良したセルを用いてチップ設計を行うことにより、各標準セルの歩留り改善効果

が積み重なり、チップレベルでは数%から数十%の歩留り改善につながるという見積もりを得た⁶⁾。

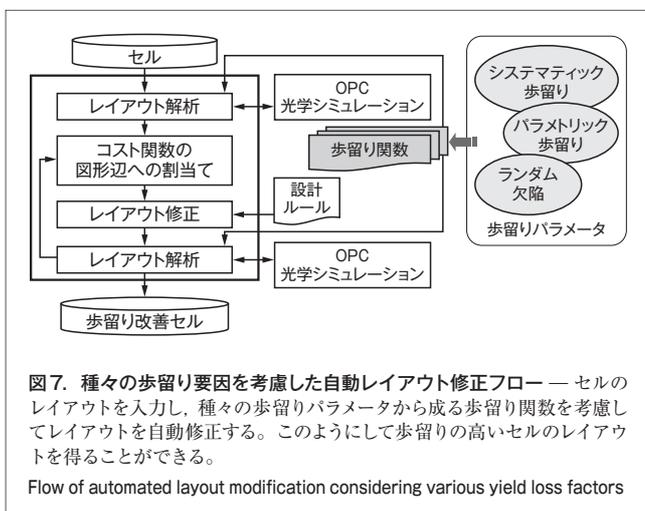
以上述べたように、歩留り関数を考慮したレイアウト修正により、セル及びチップにおいて製造容易性が高いレイアウトを作成できることが示された。この手法は45 nm世代以降のプロセスへの適用が期待される。

4 あとがき

リソグラフィ技術は設計と製造をつなぐキー技術として、半導体デバイス製造における微細化を担ってきた。先端プロセス開発を進めるにあたり、当社はDFMの重要性にいち早く注目し、更に設計の意図、回路的特性を考慮した製造（DAM: Design Aware Manufacturing）を取り入れ、計算機リソグラフィを武器にプロセス開発を進めてきた。いっそうの微細化を進めるためには、設計から製造を通したフローを俯瞰（ふかん）し、歩留り向上のために設計と製造のいっそうの連携が重要になる。

文献

- (1) International Technology Roadmap for Semiconductors. "ITRS 2007 Edition". ITRS. <http://www.itrs.net/links/2007itrs/home2007.htm>, (accessed 2011-04-11).
- (2) International Technology Roadmap for Semiconductors. "ITRS 2009 Edition". ITRS. <http://www.itrs.net/Links/2009ITRS/Home2009.htm>, (accessed 2011-04-11).
- (3) Kotani, T. et al. Development of hot spot fixer (HSF). Proc. of SPIE . **6156**, 2006, p. 61560H-1 - 61560H-8.
- (4) Kobayashi, S. et al. Process Window Aware Layout Optimization Using Hot Spot Fixing System. Proc. of SPIE. **6521**, 2007, p.652110B-1 - 652110B-10.
- (5) Kobayashi, S. et al. Yield-centric layout optimization with precise quantification of lithographic yield loss. Proc. of SPIE. **7028**, 2008, p.70280O-1 - 70280O-8.
- (6) Kyoh, S. et al. Systematic yield estimation method with lithography simulation. Proc. of SPIE. **6925**, 2008, p.69250Q-1 - 69250Q-9.



小林 幸子 KOBAYASHI Sachiko, D.Eng.

研究開発センター デバイスプロセス開発センター研究主務、博士（工学）。計算機リソグラフィ及び製造性考慮設計システムの研究・開発に従事。

Device Process Development Center



小谷 敏也 KOTANI Toshiya

研究開発センター デバイスプロセス開発センター研究主務。先端メモリリソグラフィ設計及び光近接効果補正技術の研究・開発に従事。

Device Process Development Center



姜 帥現 KYOH Suigen

研究開発センター デバイスプロセス開発センター主任研究員。次世代リソグラフィ露光装置技術の研究・開発に従事。

Device Process Development Center