

高利得を実現したC帯16 W級内部整合型GaAs電力FET

C-Band 16 W-Class Internally Matched GaAs FETs

木村 英樹 高塚 眞治 高木 一考

■ KIMURA Hideki ■ TAKATSUKA Shinji ■ TAKAGI Kazutaka

近年、地上マイクロ波通信や衛星通信の分野では、良好な通信品質と増幅器の小型・低消費電力化が求められており、キーデバイスのガリウムヒ素 (GaAs) 電力FET (電界効果トランジスタ) には、高利得・高効率・低ひずみ化への要求が高まっている。

東芝は、このような市場ニーズに応じて、高性能なGaAs電力FETの製品として、X帯 (8~12 GHz) 及びKu帯 (12~18 GHz) 向けに8~15 GHz帯のマイクロ波増幅素子を既に開発している。今回、C帯 (4~8 GHz) 向けに6.4~8.5 GHz帯の製品ラインアップを拡充するため、デバイス構造をC帯用に改良するとともに、シミュレーションの活用により整合回路の最適化を行うことによって、8 GHz帯で線形利得11.0 dB以上の高利得を実現する16 W級内部整合型 (IM: Internally Matched) GaAs電力FETを開発した。

Demand for gallium arsenide field-effect transistors (GaAs FETs) offering high efficiency, high gain, and low distortion for such applications as point-to-point and point-to-multipoint microwave communication systems and satellite microwave communications has been increasing in recent years.

To meet these requirements, Toshiba has released highly efficient GaAs FETs in the X- and Ku-band frequency range (8-15 GHz). We have now developed the EL series C-band 16 W-class internally matched (IM) GaAs FETs, which achieve a linear gain of more than 11.0 dB at 8 GHz due to both improvement of the device structure of our existing X- and Ku-band FETs and optimization of the matching circuit using simulation techniques.

1 まえがき

近年、通信システムの発展に伴い、地上マイクロ波通信や衛星通信などのアプリケーションでは、良好な信号品質の確保とともに、増幅器の小型・低消費電力化が求められている。増幅器のキーデバイスであるGaAs電力FETに対してもこれまで以上に高利得・高効率・低ひずみ化への要求が高まっている。特に高利得化については、複数のFETで構成される電力増幅用アンプで、最終段の電力FETの利得を増大させることができれば、ドライバ段FETの削減やMMIC (Monolithic Microwave IC) の出力低減が可能になり、増幅器としての小型・低消費電力化にもつながる。

東芝は、X帯やKu帯で既に高性能なGaAs電力FETの開発に成功し、製品化している⁽¹⁾。今回、C帯の16 W級電力FETにターゲットを絞り、6.4~8.5 GHz帯で高性能なGaAs電力FETを開発し、新たに高利得な製品 (ELシリーズ) をラインアップした。

高利得化のため、X帯及びKu帯で開発したGaAs電力FETをベースにして、デバイス構造をC帯向けに最適化するとともに、シミュレーションを活用して新たなチップパターンを設計した。これによって、16 W級内部整合型 (IM: Internally Matched) GaAs電力FETを実現した。

ここでは、開発したC帯16 W級IM GaAs電力FETの概



図1. C帯16 W級IM GaAs電力FET — 四つのFETチップを合成し、内部整合回路によって入力・出力端子ともに50 Ωに整合されている。
C-band 16 W-class IM GaAs FET

要、高利得化するうえでの課題と解決手法、及び試作品での評価結果について述べる。

2 C帯16 W級IM GaAs電力FETの概要

開発したC帯16 W級IM GaAs電力FETの外観を図1に示す。外形寸法が17.4×24.2 mmのパッケージに四つのFET

チップを実装した。内部整合回路によって入力・出力端子ともに50Ωに整合されている。

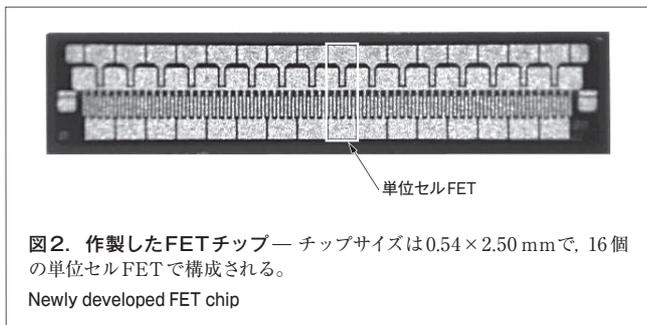
3 FETチップ設計

新たに開発したFETチップは、既に開発済みのX帯及びKu帯8W級FETのチップパターンをベースに、パターンレイアウトを最適化した。

一般に電力FETでは、数本から十数本のゲート電極から成る単位セルFETを、更に数セルから十数セル並列に並べることでFETチップが構成される。単位セルFETを配置するうえでは、どの単位セルFETにも均等に入力信号が分配され、かつ損失を少なくして出力信号を合成できるような配置構成をとる必要がある。各単位セルFETの入力信号や出力信号が不均一になると、合成損の増加によってFETの主要性能である効率の低下や、単位セルFET間の駆動バランスが崩れることによって異常発振が起こる可能性がある。

信号を均等に分配し合成するためには、配列する単位セル数は2のべき乗になることが望ましい。今回のチップパターンレイアウトでは、一つのFETチップに16個の単位セルFETを配置して、FETチップ内での駆動バランスの不安定性を回避できるようにした。

作製したFETチップの外観を図2に示す。チップサイズは0.54×2.50mm、総ゲート幅は10.88mmで、チップ厚は30μmまで薄層化している。



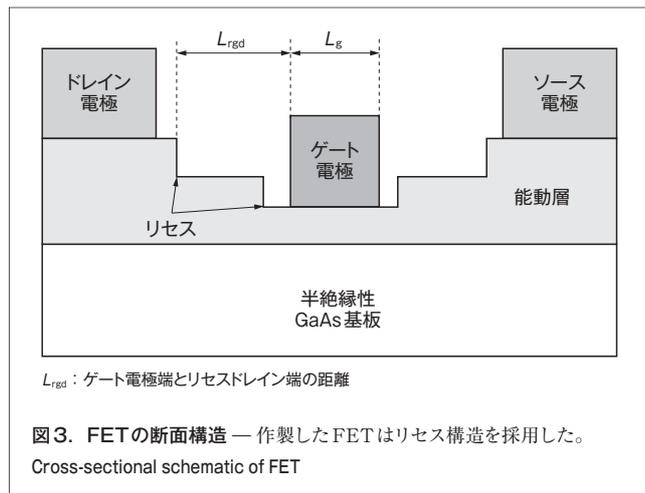
4 技術課題とその解決手法

FETの高利得化を実現するには、電流利得遮断周波数(f_T)を増大させることが必要になる。FETの断面模式図を図3に示す。

簡易的なモデルでは、 f_T は相互コンダクタンス(g_m)、ソース・ゲート電極間の静電容量(C_{gs})、電子飽和速度(v_s)、及びゲート長(L_g)を用いて式(1)で表すことができる。

$$f_T = g_m / (2\pi \times C_{gs}) \quad (1)$$

$$\cong v_s / (2\pi \times L_g)$$



式(1)から、 f_T を大きくするためには v_s の増大又は L_g の短縮が必要になる。 v_s は材料固有の値であり、 f_T を大きくするには L_g の短縮が有効であることがわかる。

しかし、 L_g のサブミクロンレベルの短縮は、FETの三端子耐圧を低下させ、FETの線形動作に悪影響を与えてひずみの増大を招く。このため、 L_g の決定に際しては、高利得化と低ひずみ化の最適点を見つけないといけない。

また、高出力FETの作製では、FETチップを通常複数個並列に並べ、各FETからの出力信号を整合回路によって合成して目的とする出力電力を得る。このとき、各FETチップ間の動作が不均一になると、しばしば異常な発振現象が起きることがあり、整合回路でこの不均一さを吸収する対策が必要になる。

4.1 ゲート長の最適化

L_g を最適化するため、試作品を用いた試験を行って L_g の適正値を求めた。

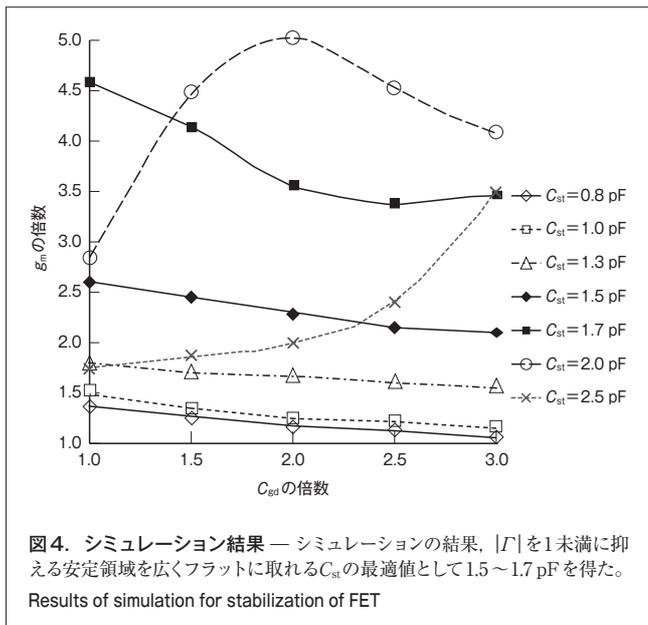
過去の試験から、 L_g が1.0μm以上では利得の増大が見込めないと判断し、試作では L_g が0.5μmと0.8μmの2種類のFETチップを作製して比較した。この際、三端子耐圧に影響を及ぼすゲート電極端とリセス(溝)ドレイン端の距離(L_{rgd})など、 L_g 以外のパラメータは一定とした。

4.2 異常発振対策

異常発振の抑制は、通常、整合回路基板上に適切な値の抵抗やコンデンサを配置することで行うことができる。過去の経験から今回、二つのFETチップ間のアンバランスに着目し、整合回路内でのマイクロ波の挙動をシミュレーションすることで、整合回路内での調整因子である静電容量値の最適化を図った。

シミュレーションの手順として、まず、単位セルFETのSパラメータ^(注1)を測定し小信号での等価回路モデルを作成する。

(注1) 回路網のあるポートから入射した信号の、ほかのポートへ透過する度合い、及び自身へ反射する度合い。



これらの単位セルFETを並列に接続してFETチップをモデル化し、更にこのFETチップモデルを四つ並列に並べ、整合回路で合成して電力FETのモデル化を行った。この電力FETモデルを用いて、整合回路内の調整因子である安定化静電容量(C_{st})を変化させることで、FETの安定性についてシミュレーションを行った。

シミュレーションでは、回路の安定性を示す指標である反射係数($|Γ|$)を計算した。一般に、 $|Γ|$ が1以上の場合に回路は不安定になり異常発振を引き起こす可能性がある。そこで、 $|Γ|$ を1未満に抑えるため、整合回路内の C_{st} の適正値を検討した。

シミュレーションにあたっては、大信号動作時の負荷線の振幅領域を想定し、 C_{st} をパラメータとして、ドレイン・ゲート電極間の静電容量(C_{gd})と g_m に対する $|Γ|$ を求めた。図4は、等価回路で求めた C_{gd} と g_m の倍数から成る平面を定義し、各 C_{st} の値ごとに、 C_{gd} と g_m の変化に対して $|Γ|$ が1以上になる点を表示している。各 C_{st} ごとに、これらの点を結んだ曲線より下が安定領域、上が不安定領域になる。 C_{st} の選択には C_{gd} と g_m が取りうる範囲で広くフラットに安定領域が取れるように選択する必要がある。シミュレーション結果から、 C_{st} の値は1.5~1.7 pF程度が適当であるとの結果が得られた。

5 試作FETの評価結果

5.1 ゲート長と諸特性

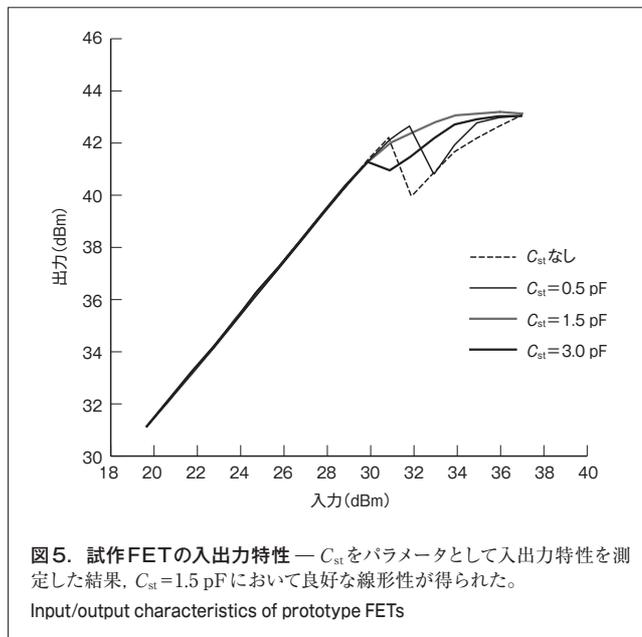
L_g を $0.5 \mu\text{m}$ 及び $0.8 \mu\text{m}$ として試作したFETの、周波数8.5 GHzでの諸特性を表1に示す。

$L_g=0.8 \mu\text{m}$ の場合、規定出力30.5 dBm SCL (Single Carrier Level) 時の3次相互変調ひずみ(IM3)を $L_g=0.5 \mu\text{m}$ の場合に比べ3 dBc改善することができた。開発のポイントになる

表1. ゲート長と諸特性

Relationship between gate length L_g and performance

L_g	線形利得 (dB)	P1dB (dBm)	IM3 (dBc)	η_{add} (%)
$0.5 \mu\text{m}$	12.0	43.1	-42.0	40.1
$0.8 \mu\text{m}$	11.5	42.8	-45.7	44.7



利得では、 $L_g=0.8 \mu\text{m}$ の場合でも0.5 dBの低下で抑えられている。P1dB (1 dB利得圧縮出力)や電力付加効率では両者に大きな差はなかった。これらの結果から、 L_g として $0.8 \mu\text{m}$ を採用した。

5.2 異常発振評価

試作FETの C_{st} をパラメータとして測定した入出力特性を図5に示す。

異常発振が現れる場合には不連続な入出力特性になる。図5の測定結果から $C_{st}=1.5 \text{ pF}$ とすることで、連続性の良好な特性が得られている。これは4.2節で述べたシミュレーション結果とも一致しており、 C_{st} として1.5 pFを採用した。

6 開発したFETの特性評価

5章の結果から、 $L_g=0.8 \mu\text{m}$ 、 $C_{st}=1.5 \text{ pF}$ として作製したFETの入出力特性を図6に示す。

ドレイン電圧10 V、測定周波数8.1 GHzで、線形利得11.6 dB、P1dB 43.2 dBm (20.9 W)、及び規定出力時のIM3で-46.8 dBcを得た。特に利得については、当社の従来製品に比べ1.5~2 dB向上している。更に、高利得化を達成したことによって、電力付加効率(η_{add})が42%と良好な特性を得ており、増幅器の低消費電力化も期待できる。

このような試作FETの評価結果を基に開発した、製品の諸特性を表2に示す。6.4~7.2 GHz帯, 7.1~7.9 GHz帯, 及び7.7~8.5 GHz帯それぞれの製品で良好な特性を得ることができた。

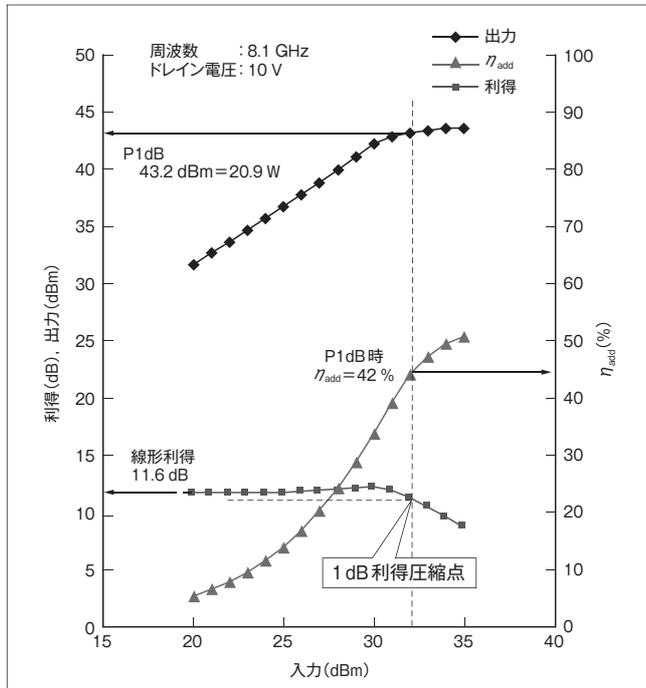


図6. 開発したFET (TIM7785-16EL) の入出力特性 — 測定周波数 8.1 GHzで、線形利得11.6 dBを得た。
Input/output characteristics of newly developed TIM7785-16EL FET

表2. ELシリーズFETの諸特性
Performance of EL series GaAs FETs

製品名	周波数 (GHz)	線形利得 (dB)	P1dB (dBm)	IM3 (dBc)	η_{add} (%)
TIM6472-16EL	6.8	12.9	42.7	-44.8	42.0
TIM7179-16EL	7.5	11.7	43.0	-46.2	40.5
TIM7785-16EL	8.1	11.6	43.2	-46.8	42.0

7 あとがき

高利得のC帯GaAs電力FETの製品ラインアップ化を目指し、先に開発したX帯及びKu帯の高効率GaAs電力FETをベースに設計を進め、7.7~8.5 GHz帯で線形利得11 dBを超える高利得GaAs電力FETの開発に成功した。このFETをC帯の6.4~7.2 GHz帯及び7.1~7.9 GHz帯に展開し、16 W級の高利得製品のラインアップ化を実現した。

今後、6.4 GHz以下の周波数帯への展開や、開発したFETチップ二つを合成した8 W級GaAs電力FETの製品ラインアップ化を進め、更なる市場のニーズに応じていく。

文献

- (1) 山村拓嗣, ほか. 高効率X, Ku帯GaAs FET. 東芝レビュー. 63, 11, 2008, p.71-73.



木村 英樹 KIMURA Hideki

社会システム社 小向工場 マイクロ波技術部主務。
マイクロ波半導体及び半導体製造プロセスの設計・開発に従事。

Komukai Operations



高塚 眞治 TAKATSUKA Shinji

社会システム社 小向工場 マイクロ波技術部主務。
マイクロ波素子の回路設計に従事。

Komukai Operations



高木 一考 TAKAGI Kazutaka

社会システム社 小向工場 マイクロ波技術部参事。
マイクロ波半導体デバイスの設計・開発に従事。応用物理学会会員。

Komukai Operations