

MONOS技術を用いたNAND型フラッシュメモリでの読出し電流の安定化技術

Technologies for Stability of Readout Current in MONOS-Type NAND Flash Memories

藤木 潤 安田 直樹 村岡 浩一

■FUJIKI Jun ■YASUDA Naoki ■MURAOKA Koichi

東芝は、次世代以降のNAND型フラッシュメモリの一つとして、MONOS (metal-oxide-nitride-oxide-silicon) 技術を検討している。書込み・消去性能の向上のため、リーク電流を阻止するブロック絶縁膜として高誘電率 (High-k) 材料を使うと、High-k 絶縁膜中の遅い分極成分によってメモリセルトランジスタ (以下、メモリセルと略記) のチャネル電流が変化し、データの読出しが不安定になる。今回当社は、ブロック絶縁膜の構造とデータの読出し方式の工夫でこの問題を解決した。ブロック絶縁膜として、従来の酸化アルミニウム (Al_2O_3) 単層膜に代わり、 Al_2O_3 にシリコン酸化膜 (SiO_2 膜) を挟んだ $Al_2O_3/SiO_2/Al_2O_3$ 積層膜 (以下、AOA膜と略記) を使った。また、各メモリセルにプレバイアス電圧を印加した後、データを読み出す方式にした。その結果、メモリセルのチャネル電流を安定化させ、信頼性の高いデータ読出しを実現した。

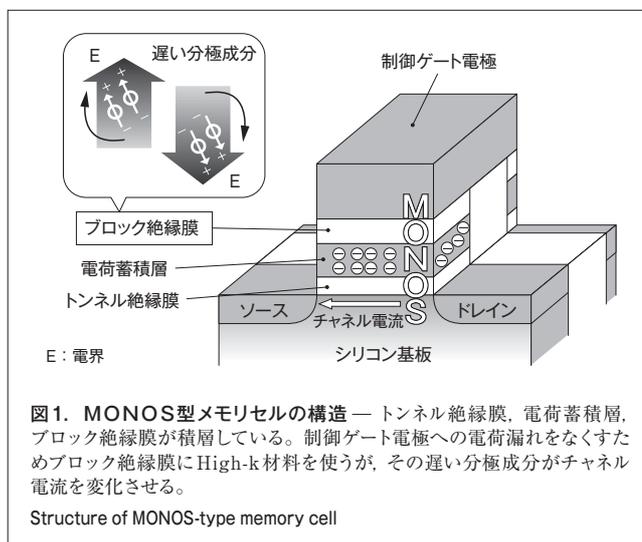
Toshiba has been engaged in research and development aimed at realizing a metal-oxide-nitride-oxide-silicon (MONOS)-type memory as a promising candidate for the next-generation NAND flash memory and beyond. Instability of data readout often occurs in a MONOS-type memory, caused by transient response of the channel current due to slow polarization in the high-k dielectric material that serves as a blocking layer to improve programming and erasing operations.

As a solution to reduce the transient response of channel currents, we have developed both a new blocking layer structure composed of an aluminum oxide (Al_2O_3)/silicon dioxide (SiO_2)/ Al_2O_3 (hereafter referred to as "AOA") stacked blocking layer instead of the conventional Al_2O_3 single layer, and a new operation architecture comprising an intelligent reading scheme with appropriate pre-bias voltage application before reading. These technologies achieve stability of the channel current in MONOS-type memory cell transistors and highly reliable readout of data.

1 まえがき

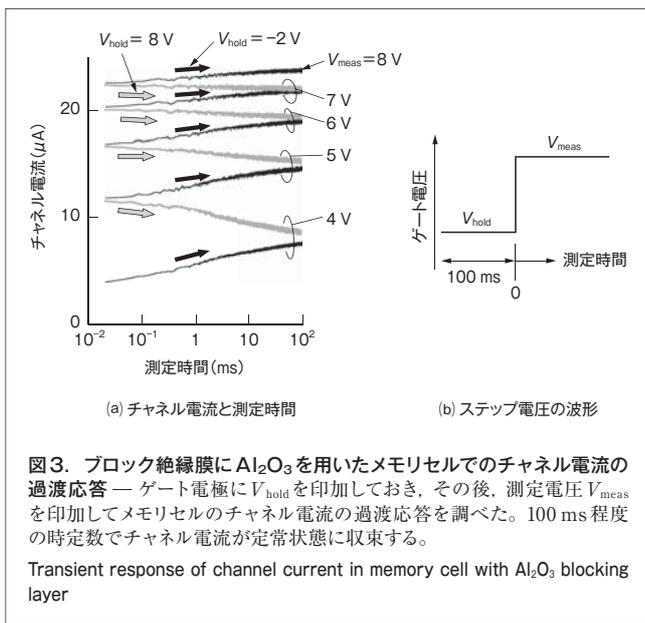
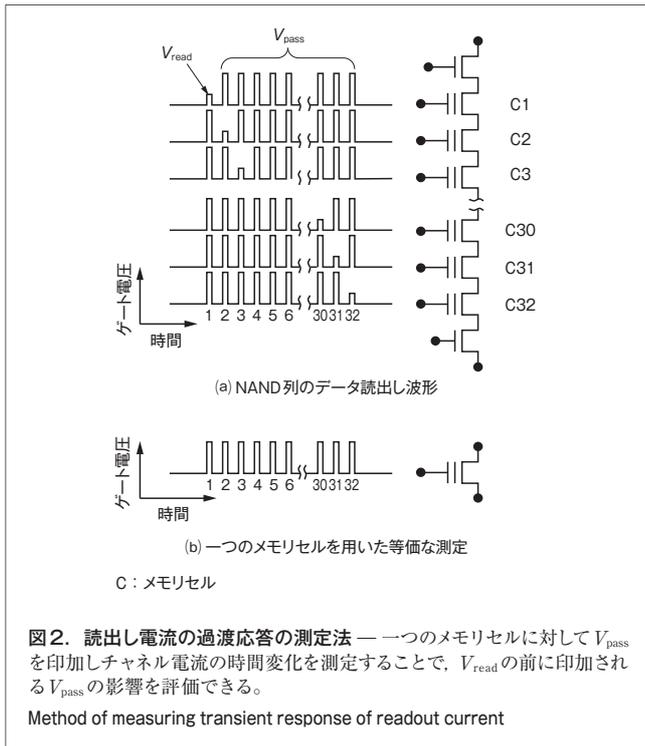
東芝は、次世代以降のNAND型フラッシュメモリの商品化を目指し、微細化ができ、3次元化も容易なMONOS型メモリを検討している^{(1),(2)}。MONOS型メモリセルでは、トンネル絶縁膜、電荷蓄積層、ブロック絶縁膜が積層している(図1)。メモリセルでの書込みや消去は、トンネル絶縁膜を介して電荷蓄積層に電荷をためることで行われる。その際、ブロック絶縁膜はゲート電極に電荷が漏れるのを防ぐ働きをするため、ブロック絶縁膜としてHigh-k材料を用いることが望ましい。一方で、High-k絶縁膜は“遅い分極成分”を持つことが知られている⁽³⁾。この分極は電圧印加時に現れる可逆的なものであるが、High-k絶縁膜の容量を過渡的に変え、それに伴ってメモリセルのチャネル電流(図1)も変化する⁽⁴⁾。チャネル電流が時間とともに変わると、メモリセルのデータ読出し時にしきい値電圧、つまりトランジスタがオンになる電圧の判定が不安定になってしまう。

当社は、High-k絶縁膜の遅い分極成分がメモリセルのデータ読出しに対してどの程度の影響を与えるかを定量的に評価するとともに、データ読出しの不安定性という問題の解決策を、ブロック絶縁膜の構造とデータ読出し方式の両面から検討した。ここでは、その概要と結果について述べる。



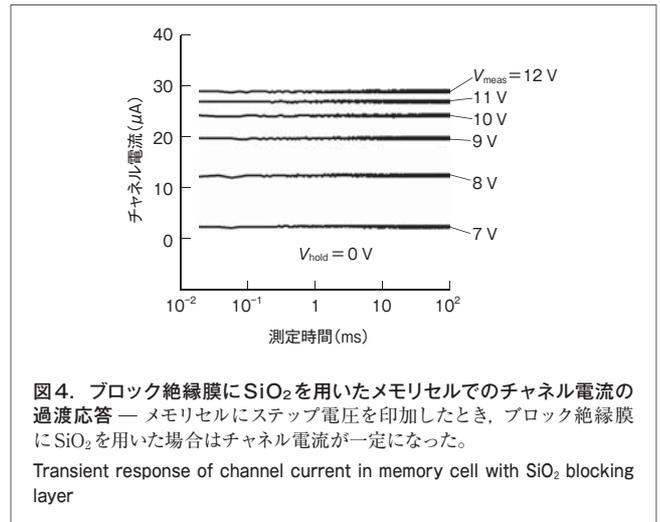
2 メモリセルの読出し電流の過渡応答

NAND型フラッシュメモリのデータ読出し時には、NAND列を構成するそれぞれのメモリセルに読出し電圧 (V_{read}) を順番に印加していく(図2(a))。また、 V_{read} を印加するセル以外には、NAND列を電気的に導通させるためのパス電圧 (V_{pass}) を印加する。そのため、各メモリセルの読出し前に V_{pass} がど



の程度かかっていたかでHigh-k絶縁膜の遅い分極の誘起量が異なり、結果としてメモリセルのチャネル電流がセルごとに変わってしまう。

このようなNAND列の V_{pass} の履歴の影響は、一つのメモリセルに対して V_{pass} を印加し、チャネル電流の時間変化を測定すれば評価できる(図2(b))。ここではHigh-k絶縁膜の遅い分極の影響が最大でどの程度かを見積もるために、ステップ電圧を印加し、メモリセルのチャネル電流を測定した(図3)。更に、High-k絶縁膜の分極の誘起量は初期電圧と測定電圧 V_{meas} の



差で決まることを考慮し、測定前にホールド電圧 (V_{hold}) を印加した。

ここで用いたブロック絶縁膜は Al_2O_3 であり、メモリセルはゲート/ Al_2O_3 /シリコン窒化 (Si_3N_4) 膜/ SiO_2 /Si というスタック構造をしている。図3に示すチャネル電流の過渡応答では、 V_{hold} に応じて初期電流は異なるが、最終的にチャネル電流は V_{meas} で決まる一定の電流値に落ち着く。測定時間100 ms内の電流変化をメモリセルのしきい値電圧の変動量 (ΔV_{th}) に換算すれば、1 Vのステップ電圧幅当たりの ΔV_{th} が0.08 Vとなった。NAND列で使う V_{pass} は数Vのオーダであることを考えればこの ΔV_{th} の値は無視してよいものではなく、メモリセルの過渡的な電流変化を抑制する必要がある。

次に過渡電流の原因を調べるため、ブロック絶縁膜を Al_2O_3 から SiO_2 に置き換えたメモリセル (ゲート/ SiO_2 / Si_3N_4 / SiO_2 /Si) で同様の測定を行ったところ、メモリセルのチャネル電流は一定であり、過渡応答はまったく見られなかった(図4)。この結果から、チャネル電流の時間変化はブロック絶縁膜の Al_2O_3 に起因することが明らかになった。念のために、ブロック絶縁膜は Al_2O_3 であるが、電荷蓄積層の Si_3N_4 膜がない試料 (ゲート/ Al_2O_3 / SiO_2 /Si) でもチャネル電流の時間変化を評価したところ、図3と同様の過渡応答が現れた。すなわち、 Al_2O_3 ブロック絶縁膜の有無とメモリセルのチャネル電流の過渡応答とが対応していることを確認できた。

3 AOA膜による電流の安定化

メモリセルのチャネル電流を安定化するための方法の一つとして、ブロック絶縁膜の構造を改良した。その際、High-k絶縁膜の分極量は膜の体積に比例することに着目して、High-k絶縁膜の厚さは減らす、ブロック絶縁膜としてのリーク電流の低減性能を落とさないように工夫した。

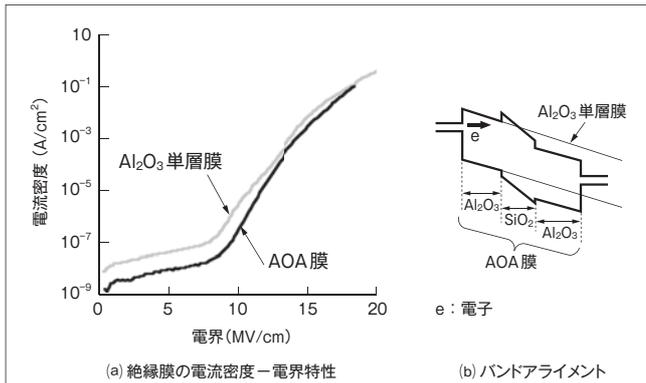


図5. Al₂O₃単層膜とAOA膜の電流密度-電界特性 — AOA膜では、高電界領域だけでなく低電界領域でも、Al₂O₃単層膜以上にリーク電流が抑制される。

Relationship between current density and electric field of Al₂O₃ single layer and AOA stacked blocking layer

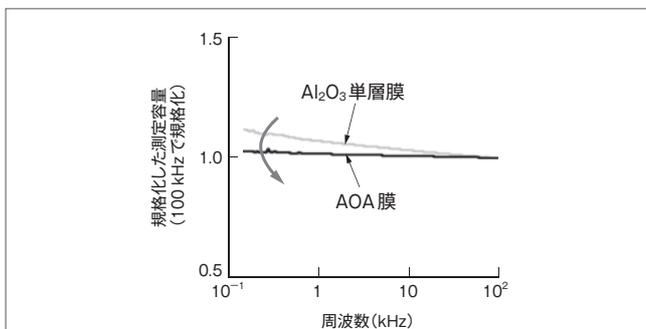


図6. Al₂O₃単層膜とAOA積層膜の容量の周波数依存性 — AOA膜は、Al₂O₃単層膜と比べて容量の周波数分散が小さく、遅い分極の少ない絶縁膜であることを示している。

Frequency dependence of capacitance of Al₂O₃ single layer and AOA stacked layer

ブロック絶縁膜のリーク電流は電子注入端の性質（バリア性）で決まるので、膜の上下にはHigh-k材料のAl₂O₃を配置し、膜の中間部にはHigh-k材料の体積低減のためにSiO₂を挟んだAOA膜を形成した。この積層膜のトンネル電流を計算すると、電子注入端から離れた位置にあるSiO₂も電位障壁になるため（図5(b)）、AOA膜ではAl₂O₃単層膜以上のリーク電流の抑制効果を期待できることがわかった。

図5に示す電流密度-電界特性から、AOA膜ではAl₂O₃単層膜と比べて高電界領域の電流が約0.5けた減少するとともに、低電界領域の電流も約1けた減少するという良好な特性が得られた。更に、この2種類の絶縁膜で容量の周波数依存性を測定すると（図6）、AOA膜はAl₂O₃単層膜に比べて容量の周波数分散が小さく、AOA膜が遅い分極の少ない絶縁膜であることを示している。

次に、Al₂O₃単層膜、及びAOA膜をブロック絶縁膜に用いたメモリセルを作製した。図7に示すようにブロック絶縁膜にAOA膜を使うと、電気的な膜厚は変わらずにメモリセルの物理

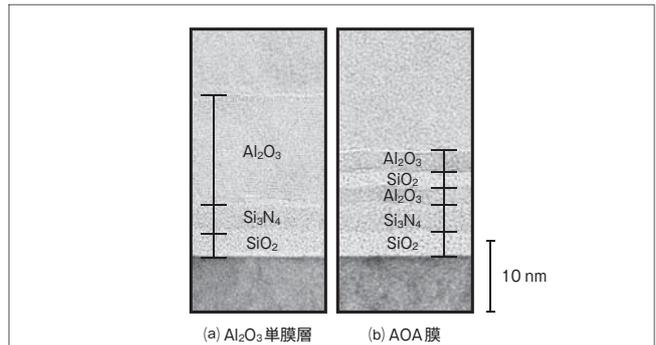


図7. ブロック絶縁膜にAl₂O₃単層膜とAOA膜を用いたメモリセルの断面TEM（透過型電子顕微鏡）像 — AOA膜を用いると、電気的な膜厚は変わらずに、Al₂O₃単層膜の場合より薄い物理膜厚を実現でき、メモリセルの微細化に有利である。

Cross-sectional transmission electron microscope (TEM) images of MONOS-type memory cells with Al₂O₃ and AOA as blocking layers

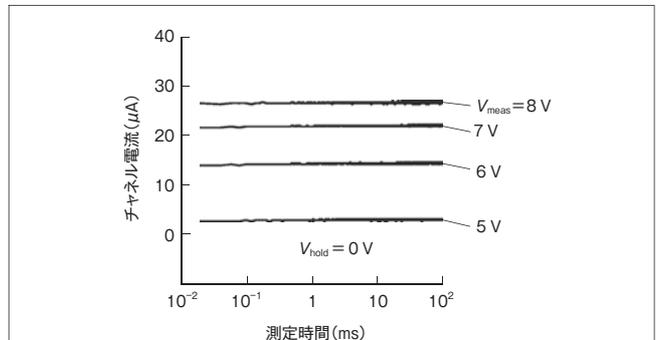


図8. ブロック絶縁膜にAOA膜を用いたメモリセルでのチャンネル電流の過渡応答 — AOA膜を用いたメモリセルにステップ電圧を印加したとき、チャンネル電流は経時変化を起こさないことがわかった。

Transient response of channel current in memory cell with AOA stacked blocking layer

膜厚を薄くできるので、メモリセルの微細化に有利である。このAOA絶縁膜を用いたメモリセルにステップ電圧を印加し、チャンネル電流の過渡応答を調べた結果を図8に示す。ブロック絶縁膜がAl₂O₃単層膜の場合（図3）と異なり、AOA膜を用いたメモリセルはチャンネル電流の経時変化を起こさないことがわかった。

4 プレバイアス電圧印加による電流の安定化

メモリセルのチャンネル電流の過渡応答を抑えるためのほかの方法として、データ読出しの動作方式からのアプローチも考えられる。図9に示すように、連続するV_{pass}をメモリセルに印加すると、チャンネル電流が少しずつ大きくなる。これは、V_{pass}の履歴（時間積算）によってHigh-k絶縁膜の遅い分極が徐々に形成されるためである。

そこで、NAND列のデータ読出し動作前に、あらかじめ、読出し時のV_{pass}の時間平均に相当するプレバイアス電圧（V_{pre}）を

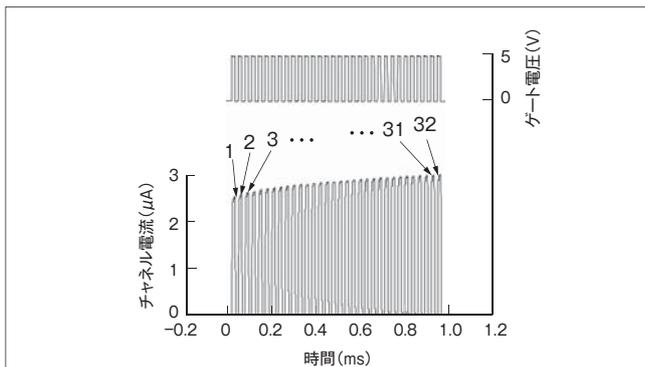


図9. Al₂O₃単層ブロック膜のメモリセルにV_{pass}を印加した場合のチャネル電流過渡応答 — 連続するV_{pass}をメモリセルのゲートに印加すると、その時間積算によってHigh-k絶縁膜の遅い分極が徐々に形成され、チャネル電流が少しずつ大きくなる。
Transient response of channel current in memory cell with Al₂O₃ blocking layer when pulse voltages are applied

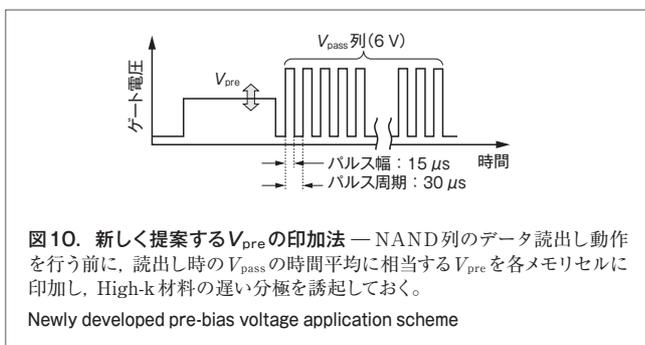


図10. 新しく提案するV_{pre}の印加法 — NAND列のデータ読出し動作を行う前に、読出し時のV_{pass}の時間平均に相当するV_{pre}を各メモリセルに印加し、High-k材料の遅い分極を誘起しておく。
Newly developed pre-bias voltage application scheme

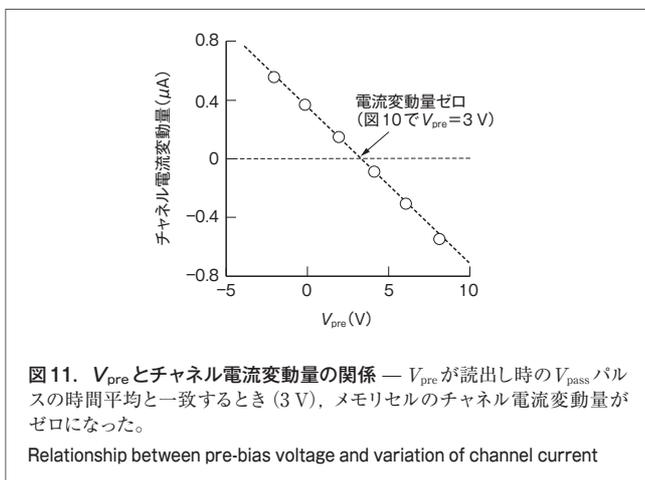


図11. V_{pre}とチャネル電流変動量の関係 — V_{pre}が読出し時のV_{pass}パルスの時間平均と一致するとき(3V)、メモリセルのチャネル電流変動量がゼロになった。
Relationship between pre-bias voltage and variation of channel current

各メモリセルに印加しておく(図10)。プレバイアスによってHigh-k材料の遅い分極を読出し前に誘起しておくことができるため、その後のNAND列のデータ読出し時にV_{pass}を繰り返し印加してもHigh-k材料の分極は均衡状態を保ち続け、メモリセルのチャネル電流の時間変動を抑制できる。

この考え方に基づいて、ブロック絶縁膜がAl₂O₃単層膜のメモリセルにV_{pre}を印加し、続いて32個の連続するV_{pass}(6V)を

印加し、このV_{pass}の印加時間内のチャネル電流の変動量を評価した(図11)。電流変動量はV_{pre}の大きさに依存し、ちょうどV_{pre}=3Vのときにメモリセルの電流変動量がゼロになった。この電圧(V_{pre}=3V)は、読出し時のV_{pass}の時間平均と一致している。このようにして、V_{pre}印加でメモリセルのチャネル電流を安定化できることを実証した。

5 あとがき

当社は、High-k絶縁膜をブロック絶縁膜として用いるMONOS型メモリで安定したデータ読出しを実現する方法を、ブロック絶縁膜の構造と読出し動作方式の両面から検討し実証した。

ブロック絶縁膜の構造としては、従来のAl₂O₃単層膜の代わりにAOA膜を用いることで、メモリセルの過渡的な電流変化を抑制した。また、読出し動作方式として、NAND列に印加するV_{pass}の時間平均に相当するV_{pre}をあらかじめ印加しておくことで、安定したチャネル電流が得られた。この二つの方法を用いると、MONOS型メモリで安定したデータ読出しを行うことができる。

文献

- (1) Yaegashi, T., et al. "20 nm-node Planar MONOS Cell Technology for Multi-level NAND Flash Memory". 2009 Symposium on VLSI Technology. Kyoto, 2009-06, IEEE. 2009, p.190 - 191.
- (2) Sakamoto, W., et al. "Reliability Improvement in Planar MONOS Cell for 20 nm-node Multi-Level NAND Flash Memory and beyond". International Electron Device Meeting (IEDM) Technical Digest. Baltimore, MD, 2009-12, IEEE. 2009, p.831 - 834.
- (3) Lee, B., et al. Dielectric relaxation of atomic-layer-deposited HfO₂ thin films from 1 kHz to 5 GHz. Applied Physics Letters. **87**, 1, 2005, p.012901 - 012903.
- (4) Fujiki, J., et al. "Successful Suppression of Dielectric Relaxation Inherent to High-k NAND from Both Architecture and Material Points of View". International Electron Device Meeting (IEDM) Technical Digest. Baltimore, MD, 2009-12, IEEE. 2009, p.952 - 954.



藤木 潤 FUJIKI Jun

研究開発センター LSI基盤技術ラボラトリー。
次世代メモリに関する研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



安田 直樹 YASUDA Naoki, Ph.D.

研究開発センター LSI基盤技術ラボラトリー主任研究員、
工博。次世代メモリに関する研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



村岡 浩一 MURAOKA Koichi, D.Eng.

研究開発センター LSI基盤技術ラボラトリー主任研究員、
工博。次世代メモリに関する研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.