

次世代LSIに向けたメタルゲート電極/高誘電率ゲート絶縁膜の高信頼化技術

High-Reliability Technology for Metal Gate/High-k Gate Dielectrics for Advanced LSIs

深津 茂人 平野 泉 三谷 祐一郎

■ FUKATSU Shigeto

■ HIRANO Izumi

■ MITANI Yuichiro

LSIの高性能化のため、ゲート絶縁膜はシリコン酸化膜(SiO₂膜)及びシリコン酸窒化膜(SiON膜)(以下、二つ併せてSiO(N)と略記)から高誘電率(HK:High-k)ゲート絶縁膜へ、多結晶シリコン(poly-Si)電極はメタルゲート(MG)電極へと置き換える新たなゲートスタック構造の開発が進められている。

今回、東芝は有力な候補の一つとして、このゲートスタック構造のHKゲート絶縁膜に窒素(N)添加ハフニウムシリケート(HfSiON)膜を、MG電極にタンタルカーバイド(TaC_x)を採用した、TaC_x/HfSiONゲートスタック構造のMOSFET(金属酸化膜半導体型電界効果トランジスタ)の信頼性について調べた。バイアス温度不安定性(BTI: Bias Temperature Instability)と経時絶縁破壊(TDDB: Time Dependent Dielectric Breakdown)を総合的に評価すると、TaC_xの組成及び膜厚に対して二律背反の関係がある。この関係を越えてBTIとTDDBの高信頼化の両立を実現するには、TaC_xの深さ方向の組成制御が有効であることを見いだした。

Technologies to replace silicon dioxide (SiO₂) or silicon oxynitride (SiON) films with high-k gate dielectrics as well as the polysilicon gate electrode with a metal gate electrode for gate stack structures have been under development to achieve further miniaturization of large-scale integrations (LSIs).

Toshiba has investigated bias temperature instability (BTI) and time-dependent dielectric breakdown (TDDB) in tantalum carbide (TaC_x)/hafnium silicon oxynitride (HfSiON) metal-oxide-semiconductor field-effect transistors (MOSFETs), particularly the effects of a TaC_x metal gate electrode from the standpoint of the trade-off between BTI and TDDB in terms of TaC_x thickness and composition. Various TaC_x layers were deposited on the same HfSiON layer. Both the composition of higher Ta in the TaC_x layer and a thicker TaC_x layer improved BTI and mobility, but worsened time to breakdown (Tbd) because of the effect of metal gate-induced defects. We clarified that control of the depth profile of the TaC_x metal gate can achieve high reliability of both BTI and TDDB beyond the trade-off.

1 まえがき

LSIの集積化及び微細化に伴い、ゲート絶縁膜の薄膜化が進んでいる。しかし、ゲート絶縁膜を極薄膜化すると漏れ電流が増大してしまうため、従来のpoly-Si電極/SiO(N)構造に代わる、MG電極/HK膜構造の開発が進められている。その一方で、従来のSiO(N)膜に比べて、HK膜中には初期欠陥が多いことが知られており、初期欠陥起因の信頼性劣化が懸念されている⁽¹⁾。特に長期信頼性、すなわち使用環境下でのLSI性能の経時劣化は、市場への出荷後の動作を保証するために極めて重要な課題である。したがって、MG/HKゲートスタック導入による長期信頼性への影響を明確にしてモデル化し、対策を施すことが必須となる。

長期信頼性には、MOSFETへの電圧印加でしきい値電圧の変動や相互コンダクタンスの低下などの性能劣化を招くバイアス温度不安定性(BTI: Bias Temperature Instability)⁽¹⁾と、ゲート絶縁膜の絶縁性が著しく劣化しMOSFETのスイッチング素子としての機能が劣化する経時絶縁破壊(TDDB: Time Dependent Dielectric Breakdown)がある⁽²⁾。BTIに

は、pチャネルMOSFETで発生する負BTI(NBTI: Negative BTI)と、nチャネルMOSFETで発生する正BTI(PBTI: Positive BTI)がある。従来のSiO(N)膜のNBTIは、ゲート絶縁膜とSi基板間の界面のSi-H(水素)結合におけるH種の脱離とH種の拡散によって劣化が引き起こされると考えられている⁽¹⁾。更に、HKゲートスタックでは、この界面の劣化に加えてHK絶縁膜固有の欠陥へ電荷が捕獲されることによって劣化が引き起こされると考えられている。一方、HKゲートスタックを持つnチャネルMOSFETにおけるPBTIは電子を捕獲する欠陥が原因とされ、重要な信頼性の問題の一つとなっている⁽¹⁾。

今回、MGとしてタンタルカーバイド(TaC_x)、HKとしてN添加ハフニウムシリケート(HfSiON)を選定した。HfSiONは誘電率や膜の安定性などの観点からもっとも実用化に近いHK膜であり、またTaC_xは良好な耐熱性を持ち、かつnチャネル及びpチャネルMOSFETのしきい値制御性から有望なMG材料と考えられている⁽³⁾。このTaC_x/HfSiON構造から成る素子の信頼性は明らかになっておらず、劣化機構の解明とそれに基づく高信頼化技術の開発が急務である。

ここでは、 $TaC_x/HfSiON$ 構造を持つMOSFETのBTI及びTDDDBを総合的に評価し、BTIとTDDDBの高信頼化を両立する指針について述べる。

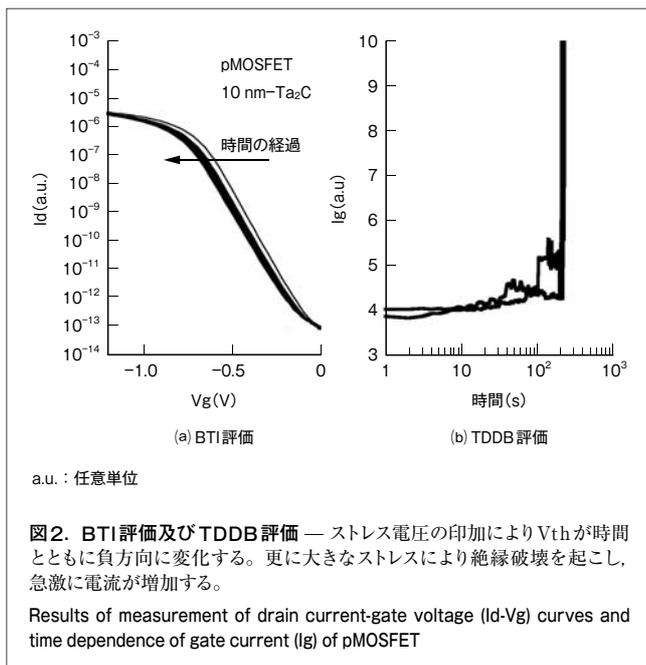
2 デバイス構造及び評価方法

信頼性試験を行ったデバイスはpoly-Si/窒化チタン(TiN)/ $TaC_x/HfSiON$ ゲートスタック構造を持つMOSFETである(図1)。HfSiONは物理膜厚2.5 nm、 TaC_x 層は10 nmを中心に作製した。 TaC_x で、Taの組成比が低い Ta_1C と高い Ta_2C の2水準に加えて、 Ta_2C の3 nm及び5 nmの膜厚も評価を行った。BTI評価は、電気的ストレスとしてゲート電圧 V_g を与え、設定したストレス時間ごとにドレイン電流 I_d - V_g 測定を行い、定電流法により、しきい値電圧 V_{th} (I_d が基準値を超える V_g の値)を抽出し、TDDDB評価は、ゲート電流 I_g の時間変化を測定した(図2)。評価温度は125℃である。

TiN			TiN
10 nm- Ta_1C	TiN	TiN	10 nm- Ta_2C
	3 nm- Ta_2C	5 nm- Ta_2C	
HfSiON	HfSiON	HfSiON	HfSiON
界面層	界面層	界面層	界面層
Si基板	Si基板	Si基板	Si基板

図1. デバイスの構造 — Si基板上に、界面層、2.5 nmのHfSiON、 TaC_x 、及びTiNを積層した構造となっている。

Device structures

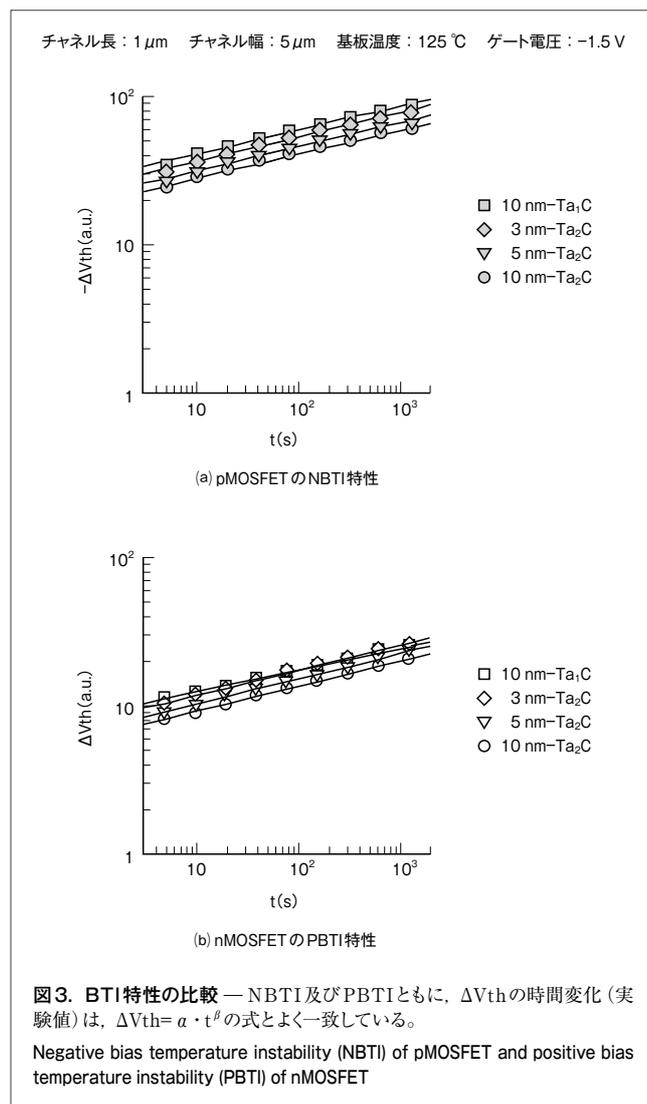


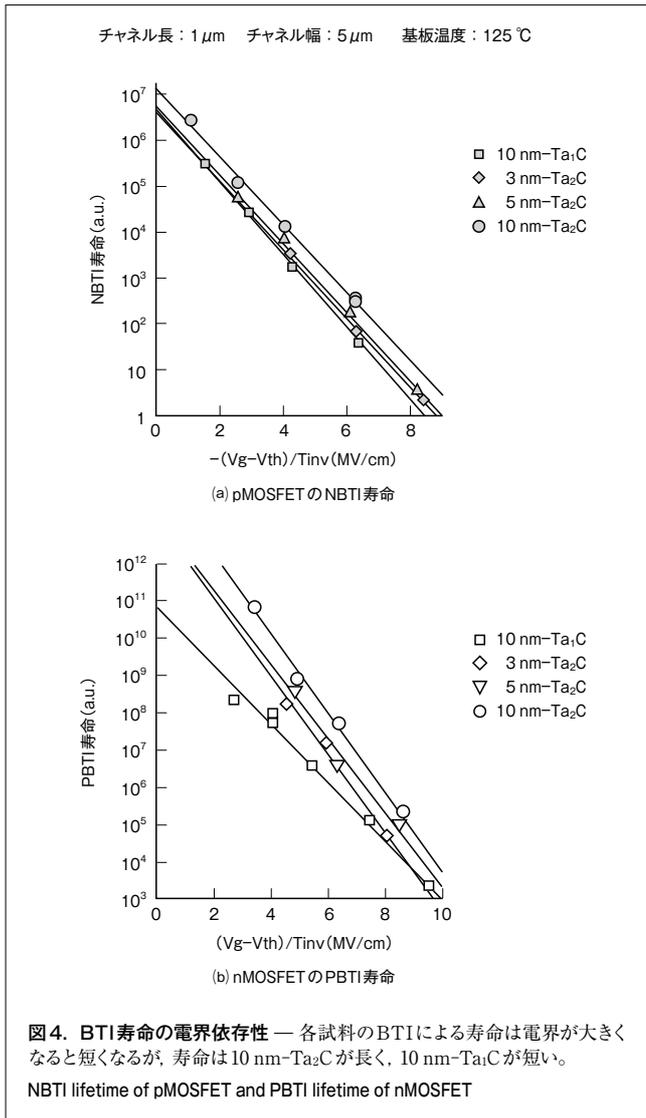
3 TaC_x 組成及び Ta_2C 膜厚依存性

電気ストレス印加後のストレス時間 t に対する $V_{th}(t)$ の劣化量 $\Delta V_{th}(t)$ を図3に示す。ここで、 $\Delta V_{th}(t) = V_{th}(t) - V_{th}(0)$ と定義した。また、実線は $\Delta V_{th} = a \cdot t^\beta$ の式を用いてフィッティングした結果であり、NBTI, PBTIともに再現できている。ここで、 a と β はフィッティングパラメータである。この傾向はpoly-Si/SiO(N)やpoly-Si/HKゲートスタックと同様である。試料間でのBTIの比較は、図3で求めた近似曲線を外挿して寿命を見積もり、寿命の電界依存性という形で行った。

3.1 NBTI及びPBTI特性

ここではBTI寿命の定義として $|\Delta V_{th}| = 50$ mVとなる時刻と定義した。各試料のBTI寿命の電界($(V_g - V_{th})/t_{inv}$ (絶縁膜厚))依存性を図4に示す。膜厚10 nmの Ta_1C と Ta_2C の寿命を比較すると、Ta組成比の高い Ta_2C のほうがNBTI, PBTIともに寿命が長い。次に Ta_2C 膜厚という観点で寿命を比較すると、膜厚が厚いほうがNBTI, PBTIともに寿命が

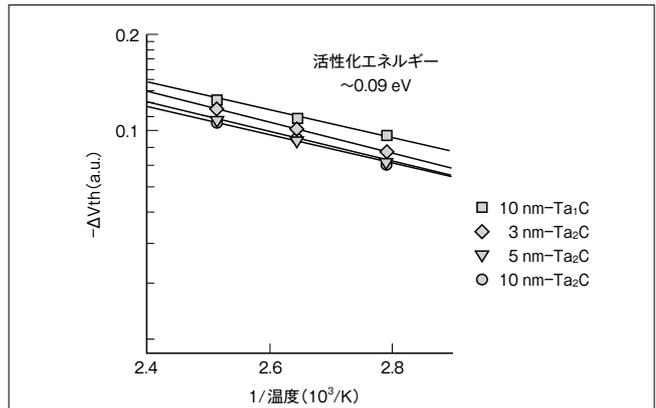




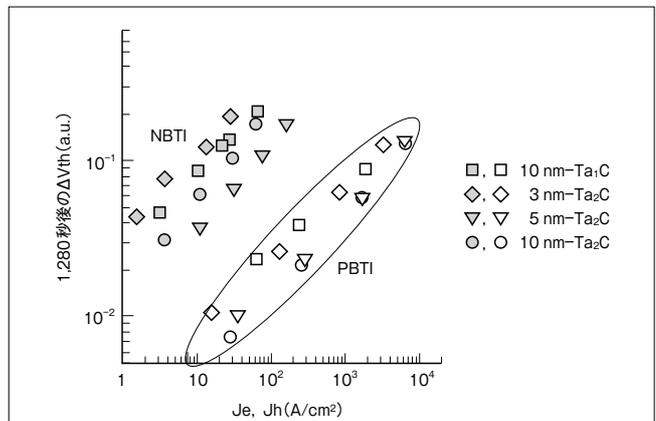
長い。つまり、Taの組成比が高く、Ta₂C膜厚が厚いほうがNBTI及びPBTIの耐性は高くなる。

TaC_x電極がBTIの劣化機構に与える影響を調べるために、NBTIによる ΔV_{th} (1,280 s)の温度依存性を測定した(図5)。各試料とも劣化反応の活性化エネルギーが0.09 eVで一致した。これは、TaC_x組成やTa₂C膜厚が変わることで、NBTIの劣化機構に影響を与えるのではなく、NBTI劣化の起源となる欠陥の量に影響を与えることを示唆している。

次に、NBTIによる ΔV_{th} (1,280 s)とホール電流密度J_h、PBTIによる ΔV_{th} (1,280 s)と電子電流密度J_eの関係を図6に示す。前述のように、PBTIは“膜中欠陥による電子の捕獲”に起因することが知られており⁽¹⁾、J_eの値が決まればPBTIによる ΔV_{th} がほぼ決まる。一方、NBTIはあるJ_hの値でも ΔV_{th} は異なる。これはNBTIの劣化機構が“膜中欠陥によるホールの捕獲”に加えて“界面準位生成”に起因する影響が大きいためであると考えられる。



Temperature dependence of threshold voltage shift (ΔV_{th}) by NBTI



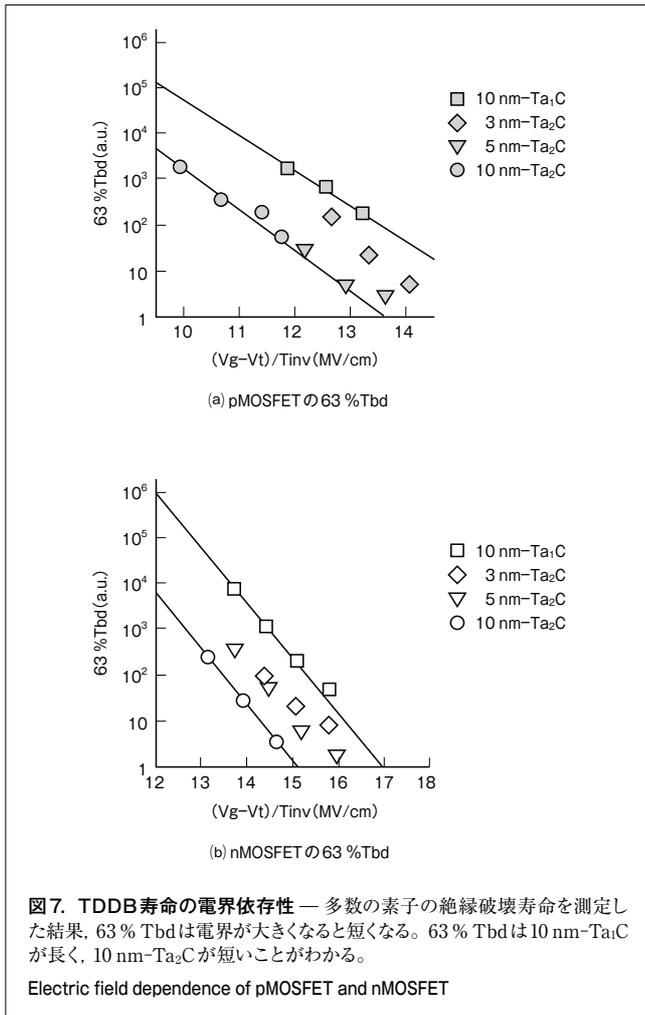
Relationship of electron and hole current density (J_e/J_h) and ΔV_{th}

3.2 経時絶縁破壊特性

絶縁破壊寿命T_{bd}を多点測定し累積不良率が63%となる破壊寿命63%T_{bd}を求めると、その電界依存性は図7のようになる。膜厚10 nmのTa₁CとTa₂Cの63%T_{bd}を比較すると、pとn両チャンネルのMOSFETともに、Taの組成比が高いTa₂Cのほうが小さい。Ta₂C膜厚の観点で寿命を比較すると、両チャンネルのMOSFETともに、膜厚が厚いほうが小さい。つまり両チャンネルのMOSFETともに、Taの組成比が高く、Ta₂C膜厚が厚いほうがTDDDB耐性は低くなる傾向が得られた。この傾向はBTIの傾向と相反する。

3.3 TaC_x組成依存性及びTa₂C膜厚依存性

各試料のBTI寿命、63%T_{bd}、及び移動度の比較を図8に示す。BTI寿命と移動度は同じ傾向を持ち、Taの組成比が高く、Ta₂C膜厚が厚いほど良好であった。一方、63%T_{bd}は

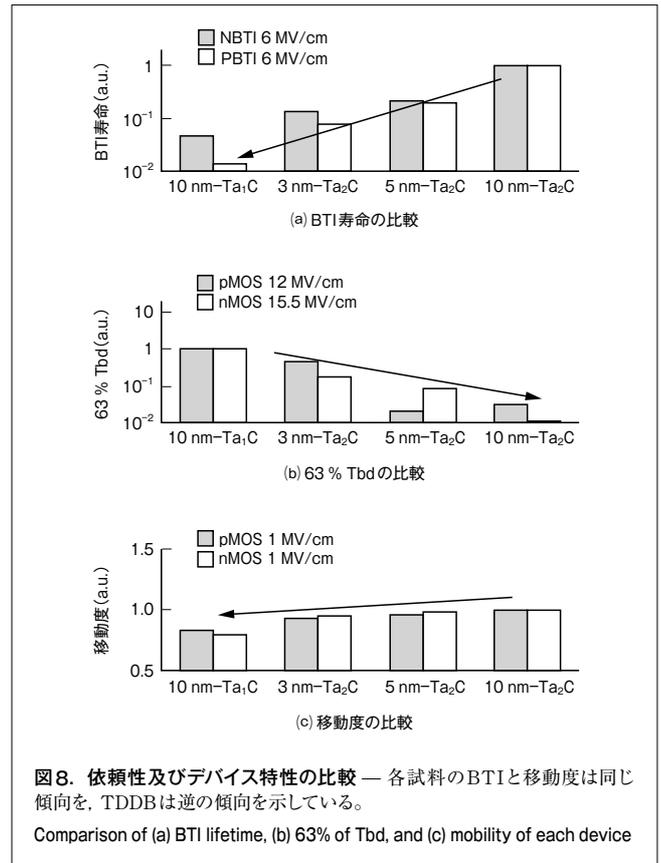


BTI寿命及び移動度とは逆の傾向を持ち、Taの組成比が低く、Ta₂C膜厚が薄いほど良好となった。

3.3.1 TaC_x組成依存性及びTa₂C膜厚依存性の起源

一般的に、BTIと移動度は絶縁膜中の電荷がSi界面に近いほど強く影響を受ける。したがって、BTI寿命と移動度が同じ傾向を持つのは界面付近の電荷に起因する。これは、TaC_x層上に存在するTiN層からのNに起因する欠陥が考えられる。poly-Si/SiON構造でも、SiON膜中のNがSi基板に近い位置に導入されるとBTIを悪化させることが知られており、MG/HKゲートスタック構造でも同様にBTIを悪化させる⁽⁴⁾。更に、絶縁膜中のNは移動度を低下させることもわかっている。

ここで、TaC_xの影響が界面準位でなく電荷捕獲欠陥に起因していることを確認するために、ストレス印加前の欠陥量を反映する、ストレス印加直後のΔV_{th} (ΔV_{thini})⁽⁵⁾を調べた。その結果、ΔV_{thini}はTa₁Cがもっとも大きく(ストレス印加前の欠陥が多い)、10 nm-Ta₂Cがもっとも小さかった(ストレス印加前の欠陥が少ない)。このことから、TaC_x電極の影響でストレス印加前の電荷を捕獲する欠陥の量に変化していることがわかる。



したがって、BTIと移動度のTaC_x組成及びTa₂C膜厚依存性は、以下のように説明ができる。つまり、Ta₂C膜厚が薄いほど、界面からTiN層との距離が近いため、TiN層から拡散するNが多く、多量のNがSi界面付近まで到達する。そのため、N起因の初期欠陥が多数形成され、BTIと移動度は悪化する。また、Taの組成比が低いほどTaC_x層のNの拡散が速いと予測され、Ta₁Cでは多量のNが界面付近まで到達し、BTIと移動度を悪化させると考えられる。

TDDはHK膜中の欠陥生成に起因する。東芝は以前に、Ta組成比が高いTa₂CとHfSiONの界面では反応が起き、そのためにHfSiON膜の薄膜化、Siの外方拡散、Hf高濃度化、及びゲート端での固定電荷の生成が起こることを明らかにした⁽³⁾。また、HfSiONの薄膜化とHf高濃度化はHK膜中の欠陥生成を促進すると考えられる⁽²⁾。Ta₂Cでは界面反応に伴うHfSiON膜の薄膜化が起きているので、実際に、各試料の電気的なT_{inv}を測定すると、nチャネル及びpチャネルMOSFETともにTa₁Cがもっとも厚く、Ta₂C膜厚が厚いほどT_{inv}は薄くなることが確認された。これは界面反応によりHfSiONが薄膜化しているためである。つまり、Taの組成比が高く、Ta₂C膜厚が厚いほど、TaC_xとHfSiONの界面での反応が大きく、HfSiONの薄膜化が確認されたため、それに伴うHf高濃度化も生じていると考えられる。

これまで述べたように、Taの組成比が高く、TaC_x層が厚い

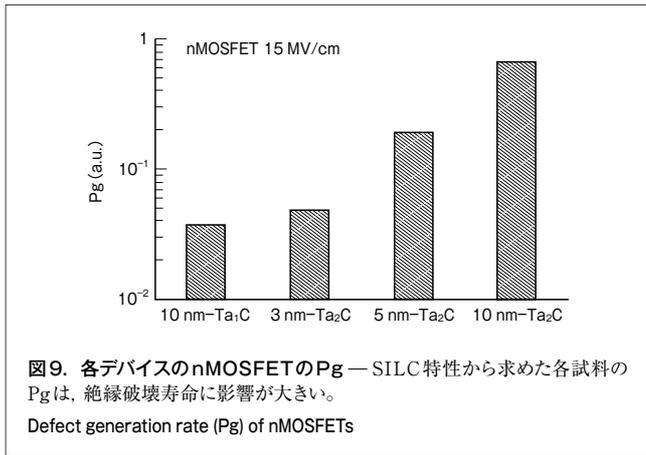


図9. 各デバイスのnMOSFETのPg — SILC特性から求めた各試料のPgは、絶縁破壊寿命に影響が大きい。
Defect generation rate (Pg) of nMOSFETs

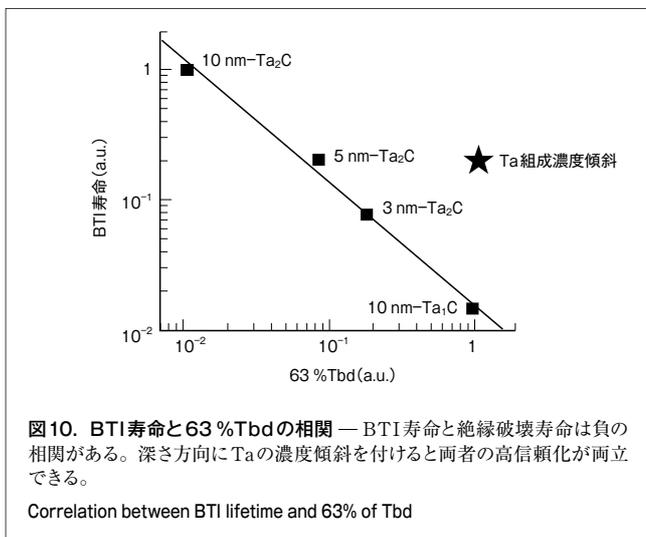


図10. BTI寿命と63%Tbdの相関 — BTI寿命と絶縁破壊寿命は負の相関がある。深さ方向にTaの濃度傾斜を付けると両者の高信頼化が両立できる。
Correlation between BTI lifetime and 63% of Tbd

場合は、界面反応によるHfSiONの薄膜化とHf高濃度化が引き起こされている。その結果として、欠陥生成レートPgの増速が起こり、TDDBの悪化を招くと考えられる。それを確認するためにSILC (Stress-Induced Leakage-Current) 特性を取得した(図9)。SILCは電気的ストレスを印加することで、絶縁膜中に生成される欠陥を介して流れる漏れ電流であり、絶縁膜中の欠陥量の指標として使用できる。PgはSILCの時間依存性から算出した。予測どおり、HfSiONが薄くなるほど、Pgは大きくなる傾向が得られた。まとめると、63%Tbdの各試料に対する傾向は、TaC_xとHfSiONの界面反応により薄膜化とHf高濃度化が起こり、Pgが高くなったことに起因する。

3.3.2 BTI及びTDDBの高信頼化両立の指針 BTIとTDDBの二律背反の問題を解決し、高信頼化を実現するためには、初期欠陥を少なくすると同時に、Pgも低減することが必要である。そこで、TaC_xのTa成分を深さ方向に濃度傾斜を付けることを試みた。その結果、二律背反の関係を越えて、BTIとTDDBの高信頼化を両立できる可能性を見いだした(図10)。

4 あとがき

TiN/TaC_x/HfSiONゲートスタックを持つMOSFETのBTI特性とTDDB特性を調べ、特にTaC_x電極が信頼性に与える影響を調べた。その結果として、BTIと移動度は、Taの組成比が高く、Ta₂C膜厚の厚いものが好ましい。一方、TDDBは逆に、Taの組成比が低く、Ta₂C膜厚の薄いものが好ましい。このように、TaC_x電極がBTIやTDDBに与える影響には二律背反の関係があった。

しかし、TaC_xの深さ方向に濃度傾斜を付けて制御することで高性能化と高信頼化の両立ができることがわかった。

次世代LSI技術として有望なTiN/TaC_x/HfSiONというゲートスタック構造では、BTIとTDDBの二律背反の関係を踏まえてTaC_xをデザインする必要がある。

文献

- (1) Zafar, S., et al. Threshold voltage instabilities in high-k gate dielectric stacks. IEEE Trans. Dev. Mat. Reliab. 5, 1, 2005, p.45 - 64.
- (2) Hirano, I., et al. "Impact of Metal Gate Electrode on Weibull Distribution of TDDB in HfSiON gate dielectrics". Proc. IRPS. Montreal, Canada, 2009-04, IEEE, 2009, p.355 - 361.
- (3) Goto, M., et al. "Impact of tantalum composition in TaC/HfSiON gate stack on device performance of aggressively scaled CMOS devices with SMT and strained CESL". VLSI Symp. Tech. Dig. Honolulu, Hawaii, USA, 2008-06, IEEE, 2008, p.132 - 133.
- (4) Garros, X., et al. "Guidelines to improve mobility performances and BTI reliability of advanced high-k/metal gate stacks". VLSI Symp. Tech. Dig. Honolulu, Hawaii, USA, 2008-06, IEEE, 2008, p.68 - 69.
- (5) Hirano, I., et al. "Influences of initial bulk traps on negative bias temperature instability of HfSiON". Proc. SSDM Conf. Kobe, Japan, 2005-09, The Japan Society of Applied Physics, 2005, p.20 - 21.



深津 茂人 FUKATSU Shigeto, Ph.D.

研究開発センター LSI 基盤技術ラボラトリー、工博。
高誘電率ゲート絶縁膜及びメモリデバイスの信頼性技術の研究・開発に従事。応用物理学会会員。
Advanced LSI Technology Lab.



平野 泉 HIRANO Izumi

研究開発センター LSI 基盤技術ラボラトリー。
高誘電率ゲート絶縁膜の信頼性技術の研究・開発に従事。
応用物理学会会員。
Advanced LSI Technology Lab.



三谷 祐一郎 MITANI Yuichiro

研究開発センター LSI 基盤技術ラボラトリー主任研究員。
CMOS ロジックデバイス及びメモリデバイスの絶縁膜信頼性技術の研究・開発に従事。
Advanced LSI Technology Lab.