

# 次々世代トランジスタへの道を開く SrGe<sub>x</sub> 界面層 High-k/Ge MISFET

SrGe<sub>x</sub> Interlayer in High-k/Ge MISFET for Future Nanoelectronics

鎌田 善己 手塚 勉

■ KAMATA Yoshiki ■ TEZUKA Tsutomu

これまで、エレクトロニクス技術はシリコン (Si) 基板上に形成するトランジスタを微細化することによって発展してきた。しかし近年、LSIの高速化や高集積化、環境問題などに伴いLSIの低消費電力化の要求が高まっている。これに応じて、2016年以降の次々世代トランジスタでは、基板材料をSiよりも電気抵抗の低いゲルマニウム (Ge) に変えて電源電圧を下げ、消費電力を抑制することが検討されている。

東芝は、ストロンチウム (Sr) とGeの化合物層をGeトランジスタのチャンネルと絶縁膜の界面に用いることにより、ゲート漏れ電流の低減とキャリア移動度向上の両立を実現し、次々世代トランジスタと考えられている高誘電体 (High-k) 絶縁膜を用いたGe MISFET (金属絶縁膜半導体型電界効果トランジスタ) としての可能性を得た。これからも、次々世代トランジスタの実現に向けて、新材料と新技術の開発を進める。

Transistors on silicon (Si) substrates have been continuously miniaturized to achieve superior electrical characteristics for large-scale integrations (LSIs). In recent years, however, the increasing energy consumption of LSIs has become the most important technological issue. Germanium (Ge) channel transistors are highly promising for the realization of next-generation nanoscale LSIs from 2016 onward, because the low resistance of the Ge channel makes it possible to further reduce the power supply voltage, leading to lower energy consumption.

Toshiba has demonstrated a new approach in which an equivalent oxide thickness (EOT) scalable gate stack is formed with a strontium germanide (SrGe<sub>x</sub>) interlayer, achieving both low gate leakage current and high carrier mobility.

## 1 まえがき

パソコンや携帯電話の普及などに代表されるように、現在のわれわれの生活の質は、電気的なスイッチング素子であるトランジスタやそれらを集積したLSIを中心としたエレクトロニクス技術の発達によって向上してきた。しかし近年、LSIの高速化や高集積化、また、二酸化炭素排出量の削減などの要求に伴い、LSIの低消費電力化の必要性が急速に高まっている。

LSIの消費電力を低減する方法として、トランジスタとして用いられるMISFET (金属絶縁膜半導体型電界効果トランジスタ)<sup>(注1)</sup>のゲート漏れ電流及びチャンネル抵抗を低減することが検討されている。MISFETは、絶縁膜に接する半導体表面のチャンネル領域の抵抗値を電気的に変えて電流量を制御するスイッチの機能を果たす。これまでMISFETを微細化することで高性能化と高集積化が実現されてきたが、ゲート絶縁膜も同時に薄膜化されるため、ゲート漏れ電流が著しく増大してしまう。MISFETの低消費電力化を図るために、ゲート漏れ電流を低減するゲート絶縁膜が検討されている。

(注1) MISFETの絶縁膜として、特に酸化物を用いたものがMOSFET (金属酸化膜半導体型電界効果トランジスタ) であり、MISFETはMOSFETより広い概念である。ここでは酸化物以外の界面層を用いた場合について紹介しているため、MISFETの呼称を用いる。

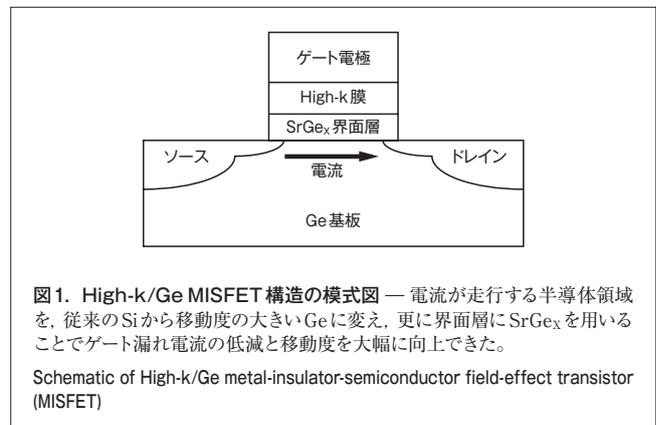


図1. High-k/Ge MISFET 構造の模式図 — 電流が走行する半導体領域を、従来のSiから移動度の大きいGeに変え、更に界面層にSrGe<sub>x</sub>を用いることでゲート漏れ電流の低減と移動度を大幅に向上できた。

Schematic of High-k/Ge metal-insulator-semiconductor field-effect transistor (MISFET)

また、現在のLSIに一般に用いられているMISFETのチャンネル材料はSiであるが、近年、Siよりも抵抗値が小さなチャンネル材料、つまりSiよりも移動度が高いチャンネル材料を代わりに用いることも検討されている<sup>(1)</sup>。半導体業界のロードマップ<sup>(2)</sup>では、2016年以降の次々世代にSiに代わる高移動度チャンネル材料 (Ge, III-V族元素化合物、カーボン系材料など) がLSIに導入されると予想されており、Geはその中でもっとも現実的な高移動度チャンネル材料と考えられている。

今回東芝は、高誘電体 (High-k) 絶縁膜を用いたGe MISFET (以下、High-k/Ge MISFETと略記) の絶縁膜と半導体の界面

にSrとGeの化合物を形成して界面層として用いることで、ゲート漏れ電流の低減と移動度の向上を両立することに成功した。High-k/Ge MISFETの構造を、図1に示す。

ここでは、Ge MISFETにおける現状の課題とSrGe<sub>x</sub>界面層の必要性について述べるとともに、SrGe<sub>x</sub>の形成方法並びに熱的に安定なアモルファスSrGe<sub>x</sub>層が絶縁膜とGe基板の界面に局在することを示す物理分析結果を示す。更に、SrGe<sub>x</sub>界面層がGe MISFET及びGe MISキャパシタの電気的特性に与える影響について述べる。

## 2 Ge MISFETの課題

### 2.1 ゲート絶縁膜の薄膜化

MISFETを微細化するためには、ゲート絶縁膜を薄膜化する必要がある。Geチャンネルが用いられる世代では、酸化シリコン(SiO<sub>2</sub>)換算膜厚(EOT)約0.5 nmを実現することが求められる。しかし、実際に絶縁膜を薄くすると、量子力学的なトンネル漏れ電流が発生してしまう。これを抑制するためには、電気的な膜厚であるEOTを薄くしつつ、実際の膜厚を厚くしなければならない。このためには、High-k膜をゲート絶縁膜として使用することが必須となる。

### 2.2 高移動度の実現

一方、High-k膜がチャンネル領域に近いと移動度が低下してしまう。これを抑制して高移動度を実現するためには、High-k膜とチャンネル領域の間になんらかの界面層が必要となる。

特定の条件の下で二酸化ゲルマニウム(GeO<sub>2</sub>)膜を形成すれば、電気的に良好な界面特性が得られ、高移動度が得られるという報告もある<sup>(3)</sup>。これは表面近傍のGeが酸化された結果、当初より深い位置に新たな界面が形成されるためと思われる。

### 2.3 薄膜化と高移動度の両立

GeO<sub>2</sub>の比誘電率は6程度と小さい。このため、High-k/Ge界面にGeO<sub>2</sub>層が数層形成されるだけで、薄膜化の目標であるEOT 0.5 nmを超えてしまう。したがって、GeO<sub>2</sub>界面層では、薄膜化と高移動度の両立は難しいことになる。また、Ge酸化物の物性を実際に評価してみると、SiO<sub>2</sub>が安定して存在するSi酸化物と異なり、酸化数の異なる酸化物であるGeO<sub>2</sub>と一酸化ゲルマニウム(GeO)がともに室温で比較的安定に存在し、それぞれ異なる物性を示すことが最近わかってきた<sup>(4)</sup>。GeO<sub>2</sub>は良好な電気的特性を持つ反面、水に可溶性であるためGe MISFETの製造プロセス上扱いにくい。一方、GeOは水に不溶性であるが電気的特性及び熱的安定性の劣化につながるためHigh-k/Geゲートスタックの界面層としてはやはり用いることができない。

これらを総合すると、EOTを極薄化し、熱的に安定で、かつ高移動度特性を持つHigh-k/Geゲートスタック構造を実現するためには、High-k膜とGeチャンネルの間になんらかの界面

層が必要であるものの、その界面層はGe酸化物以外の物質である必要があると言える。

## 3 SrGe<sub>x</sub>界面層

これまで述べたように、High-k/Geの界面層としては、EOT及び熱的安定性の観点からは酸素を含まず、高移動度実現の観点からはGeとの反応によって形成された界面層が良いと考えられる。酸化物以外の絶縁性Ge化合物を調査したところ、SrとGeの化合物であるSrGe<sub>2</sub>が非金属であるという理論計算の報告例があった<sup>(5)</sup>。そこで当社は、SrGe<sub>x</sub><sup>(注2)</sup>層をHigh-k/Geの界面層として検討した。

### 3.1 SrGe<sub>x</sub>界面層の形成

まず、SrとGeを反応させてSrGe<sub>x</sub>界面層を形成することを検討した<sup>(6)</sup>。ここでは、High-k/Ge MISFET試料の作製プロセスにおいてSrGe<sub>x</sub>界面層を形成する方法について述べる。MBE(分子線エピタキシ)装置内の超高真空チャンバ内でGe基板を400 °Cで熱処理しGe(100)-2×1清浄表面を出す<sup>(注3)</sup>。続いて基板温度を変えてSrをたい積し、同チャンバ内でHigh-k膜としてランタンアルミネート(LaAlO<sub>3</sub>)膜をたい積する。そしていったん大気中に開放し、別の熱処理装置で400 °Cで熱処理を行い、LaAlO<sub>3</sub>とGe間のSrをGe基板と反応させてSrGe<sub>x</sub>界面層を形成する。なお今回は、界面準位密度(D<sub>it</sub>)を低減するための、電極形成後のフォーミングガスなどの後処理は行っていない。

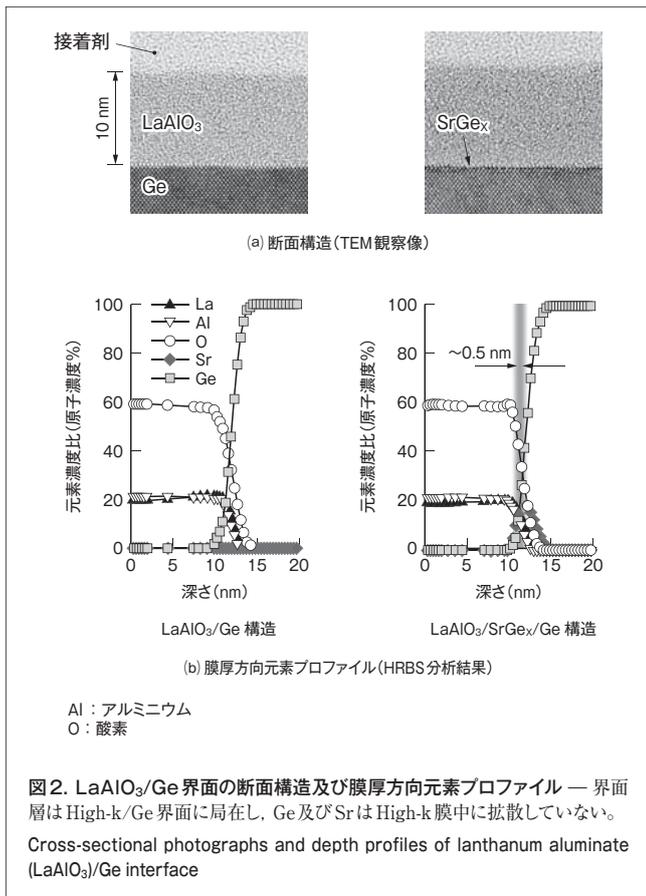
次に、SrGe<sub>x</sub>層が実際に形成されてHigh-k/Ge界面に局在しているか否かを調べた。透過型電子顕微鏡(TEM)観察及び高分解能ラザフォード後方散乱分析(HRBS)を用いた物理分析の結果から、熱的に安定なアモルファスSrGe<sub>x</sub>層がHigh-k/Ge界面に局在していることがわかった(図2)。

### 3.2 物理的特性

こうしてアモルファスSrGe<sub>x</sub>層を形成したHigh-k/Geの界面には、異常な反応による荒れなどは見られず、SrGe<sub>x</sub>界面層の形成処理を行う前と同様に平坦であった。High-k/Ge MISFETでは、High-k膜中へGeが拡散すると移動度が低下することが報告されているが<sup>(7)</sup>、今回のLaAlO<sub>3</sub>/SrGe<sub>x</sub>/Ge系ではLaAlO<sub>3</sub>膜中へGeは拡散していなかった。更に、SrもLaAlO<sub>3</sub>膜中へ拡散しておらず、界面に局在していることがわかった。Srの結合状態を調べた結果、Srは酸素ではなくGeと結合していることがわかった。また、ゲート漏れ電流を1けた以上増大させる要因である還元性ガスGeO(g)の発生も、LaAlO<sub>3</sub>/SrGe<sub>x</sub>/Ge系では観測されなかった。

(注2) SrとGeの化合物には、SrGe<sub>2</sub>以外の組成比のものも存在する。ここではSrとGeの化合物を総称してSrGe<sub>x</sub>と記述する。

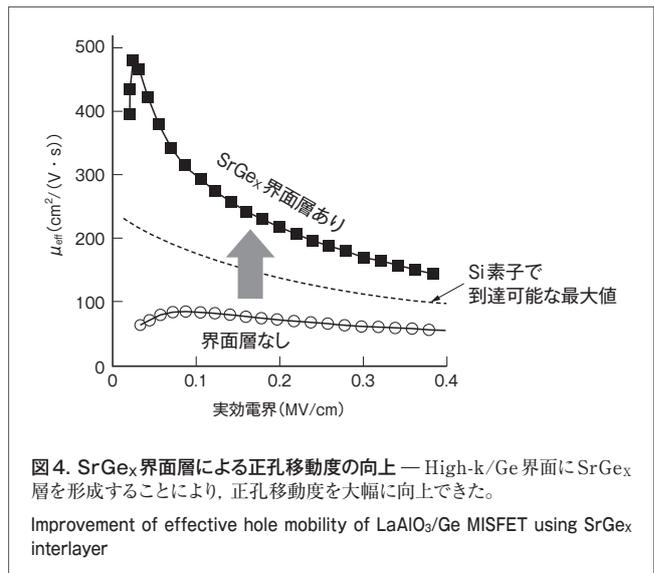
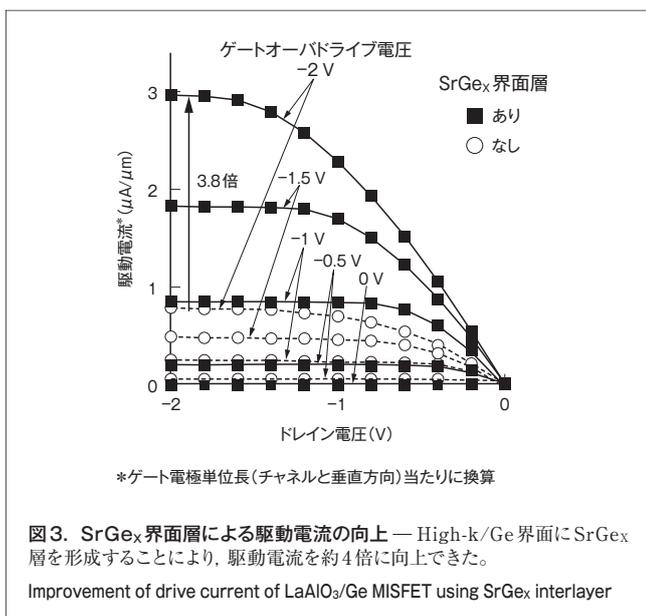
(注3) 反射高速電子線回折(RHEED)観察から、2×1周期構造に起因した回折像が得られる。これはGe(100)表面上にGe酸化物などのほかの元素がない清浄表面であることを示す。



これらの物理分析結果から、良好な電気的特性が期待された。

### 3.3 電気的特性

LaAlO<sub>3</sub>/SrGe<sub>x</sub>/Ge *p*-MISFET の電気的特性を評価したところ、MISFET の駆動電流は、SrGe<sub>x</sub> 界面層を介在させることで約4倍に向上することがわかった (図3)。



次に移動度を評価したところ、High-k/Ge *p*-MISFET としては世界最高<sup>(注4)</sup> の実効正孔移動度 ( $\mu_{\text{eff}}$ ) 481 cm<sup>2</sup>/ (V · s) (ピーク値) が得られた (図4)。この値は、SrGe<sub>x</sub> 層がない場合の4倍以上、Siで実現可能な移動度の約2倍 (同一ゲート電界条件) に相当する。高い  $\mu_{\text{eff}}$  が得られたのは、SrGe<sub>x</sub> 界面層を介在させることでHigh-k膜をチャンネルから離れたためと考えられる。

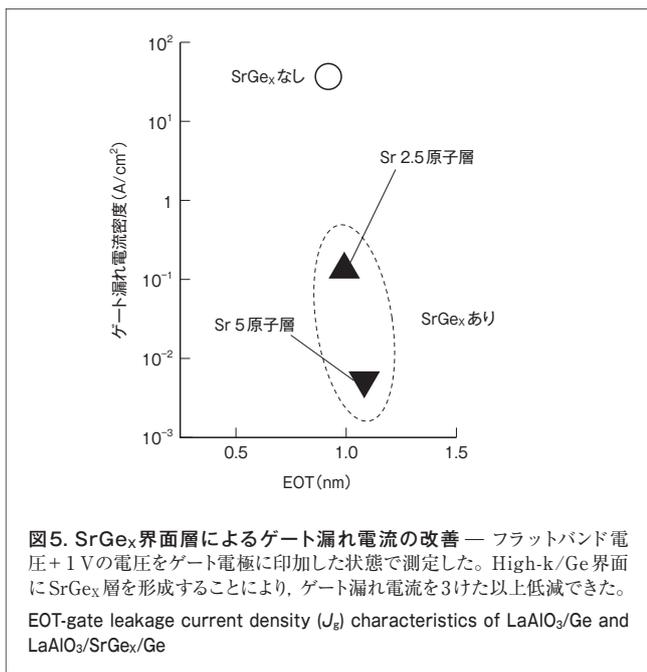
Sファクタ<sup>(注5)</sup> から算出される  $D_{\text{it}}$  は SrGe<sub>x</sub> 界面層を介在させることで約1/2にまで減少したが、まだ  $5 \times 10^{12}$  cm<sup>-2</sup> · eV<sup>-1</sup> と多い。今後、後処理などのプロセスを最適化することによって  $D_{\text{it}}$  を低減し、 $\mu_{\text{eff}}$  を更に向上できると思われる。

### 3.4 Srの反応量

良好な SrGe<sub>x</sub> 界面層を得るためには Sr をすべて Ge と反応させることが重要である。Sr は金属であるから、そのままでは界面層としては機能しない。更に、Sr 酸化物が界面に存在する場合も移動度が劣化することが今回の検討でわかってきた。今回の試作条件では、Sr たい積量が多い場合 (約10原子層) に  $\mu_{\text{eff}}$  が劣化したが、Sr の結合状態を X 線光電子分光法 (XPS) で調べてみると、Sr たい積量が多く  $\mu_{\text{eff}}$  が低い試料においてだけ、Sr 酸化物由来のスペクトルが検出された。界面に Sr 酸化物が形成されることは HRBS 結果や断面 TEM 観察像からも示唆され、TEM 像では界面の荒れも観察された。不良の試料を解析したこれらの結果から、Ge と反応しきれなかった余剰の Sr が酸化されることによって界面層が厚くなり、また界面が荒れてトランジスタ特性が劣化することがわかった。

(注4) 2009年6月現在、High-k/Ge *p*-MISFETとして、当社調べ。

(注5) Sub-threshold slopeとも呼ばれ、トランジスタのオン/オフの急しゅん性を表す量。ゲート電圧の変化に対するソース電流の変化率で定義される。 $D_{\text{it}}$  と関係があり、Sファクタから  $D_{\text{it}}$  を算出できる。



### 3.5 ゲート漏れ電流への影響

次に、薄膜EOT領域 (EOT約1 nm) でLaAlO<sub>3</sub>/Ge MISキャパシタにおいて、SrGe<sub>x</sub>界面層がゲート漏れ電流特性へ及ぼす影響を調べた(図5)。今回は、良好な界面特性を得るために界面層を意図的に介在させており、EOTは増加せざるをえないが、SrGe<sub>x</sub>界面層を介在させることで増加分は0.2 nm程度となっている。これに対して、ゲート漏れ電流は3けた以上低減している。このことから、SrGe<sub>x</sub>層をHigh-k/Ge界面に介在させることによって、ゲート漏れ電流を低減できるメリットが大きいことが明らかとなった。

## 4 あとがき

次々世代以降もLSIの高速化、低消費電力化を維持し続けていくための、High-k/Ge MISFETにおけるSrGe<sub>x</sub>界面層技術について述べた。SrGe<sub>x</sub>界面層は高移動度とEOT薄膜化の両立を可能とする新しい界面層として期待される。

今回、EOT約1 nmでの結果を報告したが、求められるEOT約0.5 nmを実証することが今後の課題である。SrGe<sub>x</sub>界面層の形成は、原理的にはHigh-k膜の種類に依存しないため、High-k膜の薄膜化又は高誘電率化によりEOT 0.5 nmを達成可能と考えている。

この研究は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) の“次世代半導体材料・プロセス基盤 (MIRAI) プロジェクト”で実施したものである。

## 文献

- (1) Kamata, Y. High-k/Ge MOSFETs for future nanoelectronics. *Materials Today*. 11, 1-2, 2009, p.30-38.
- (2) ITRS. ITRS 2007 Edition. <<http://www.itrs.net/Links/2007ITRS/Home2007.htm>>, (accessed 2009-06-15).
- (3) Nakakita, Y., et al. Interface-controlled Self-Align Source/Drain Ge pMOSFETs Using Thermally-Oxidized GeO<sub>2</sub> Interfacial Layers. 2008 Tech. Dig. IEDM, p.877-881.
- (4) Kamata, Y., et al. "Material Properties, Thermal Stabilities and Electrical Characteristics of Ge MOS Devices, Depending on Oxidation States of Ge Oxide: Monoxide [GeO(II)] and Dioxide [GeO<sub>2</sub>(IV)]". MRS Spring Meeting 2009. MRS. San Francisco, 2009-4, MRS. USA, MRS, 2009, C02-04.
- (5) Evers, J., et al. Electrical properties of alkaline earth disilicides and digermanides. *Mater. Res. Bull.* 9, 1974, p.549-553.
- (6) Kamata, Y., et al. "New Approach to Form EOT-Scalable Gate Stack with Strontium Germanide Interlayer for High-k/Ge MISFETs". Symp. VLSI Tech., Kyoto, Japan, 2009-06, IEEE and JSAP. 2009, p.78-79.
- (7) Kamata, Y., et al. Dramatic improvement of Ge p-MOSFET characteristics realized by amorphous Zr-silicate/Ge gate stack with excellent structural stability through process temperatures. 2005 Tech. Dig. IEDM, p.429-433.



鎌田 善己 KAMATA Yoshiki

研究開発センター LSI基盤技術ラボラトリー研究主務。High-k/Ge MISFETに関する研究・開発に従事。MRS、応用物理学会会員。  
Advanced LSI Technology Lab.



手塚 勉 TEZUKA Tsutomu, D.Eng.

研究開発センター LSI基盤技術ラボラトリー主任研究員、工博。ひずみSi/SiGeトランジスタの研究・開発に従事。応用物理学会、日本物理学会会員。  
Advanced LSI Technology Lab.