

高温で動作する低損失の 1.2 kV級 SiC 縦型パワー MOSFET

1.2 kV Vertical Power SiC MOSFET with Stable High-Temperature Characteristics

河野 洋志 鈴木 拓馬 四戸 孝

■ KONO Hiroshi ■ SUZUKI Takuma ■ SHINOHE Takashi

炭化ケイ素 (SiC) デバイスは、SiCの持つ優れた材料特性から、次世代のパワーデバイスとして期待されている。SiC縦型パワー MOSFET (金属酸化膜半導体型電界効果トランジスタ) は、大幅なインバータ損失の低減を期待できるが、MOS界面の欠陥により生ずる界面準位の影響のため、これまで十分な特性を得ることができなかった。

この課題を解決するため東芝は、MOS界面の欠陥を大幅に低減するプロセスを確立するとともに、デバイスの微細化を進めることで、耐圧1.2 kV級 SiC縦型パワー MOSFETを開発した。パワー MOSFETの特性オン抵抗が $5.0 \text{ m}\Omega\text{cm}^2$ という世界トップレベルの性能を実証することに成功した。

Silicon carbide (SiC) power devices are regarded as the next generation power devices that are expected to replace conventional Si power devices because of the potentially high performance of SiC materials. The SiC power metal-oxide semiconductor field-effect transistor (MOSFET) can dramatically improve inverter efficiency. However, high channel resistance due to the high interface state density has been an obstacle to achieve low specific on-resistance.

To solve this problem, Toshiba has been focusing on improving the MOS fabrication process and the use of scaled device technology. As a result, we have developed a 1.2 kV-level vertical power SiC MOSFET with a low specific on-resistance of $5.0 \text{ m}\Omega\text{cm}^2$ and a high blocking voltage of 1,360 V.

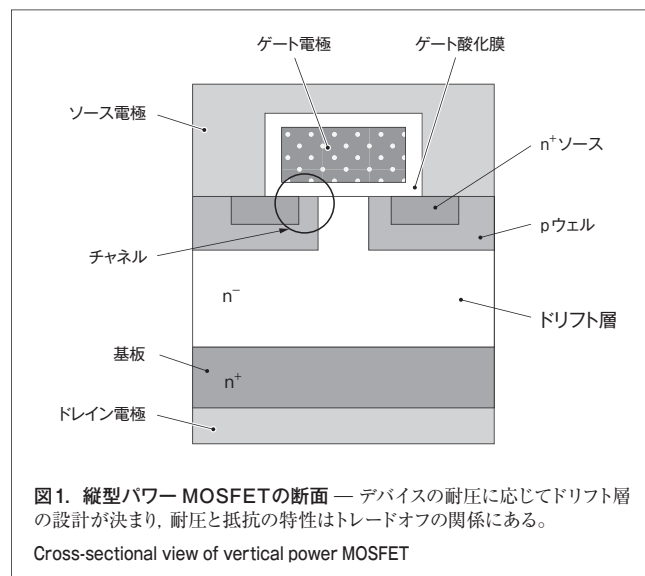
1 まえがき

半導体パワーデバイスは電力変換装置に用いられ、ハイブリッド自動車、電車、産業用モータなど幅広い分野で利用されている。これらの電力変換装置における損失の約50%がパワーデバイスの損失であり、電力変換装置の省エネルギー化にはパワーデバイスの低損失化が重要である。炭化ケイ素 (SiC) パワーデバイスは、シリコン (Si) パワーデバイスと比べて低損失であることに加え、高温で高速動作が可能であることから、次世代のパワーデバイスとして期待されている。しかし、MOS界面での欠陥のため、要求性能に対しその特性は十分でなかった。

東芝は、この課題を解決することで、耐圧1.2 kV級のSiC縦型パワー MOSFETを開発し、世界トップレベルの低損失スイッチングデバイスであることを実証することに成功した。ここでは、その概要と特長などについて述べる。

2 SiCによるパワーデバイスの低損失化

パワースイッチングデバイスの一種である縦型パワー MOSFETの単位セルの模式断面を図1に示す。パワーデバイスは印加電圧をドリフト層で緩和するように設計されるため、デバイスの耐圧に応じてドリフト層の設計が決まる。高耐圧で低抵抗のパワーデバイスが求められているが、耐圧と抵



抗の特性はトレードオフの関係にある。現在、電力変換装置用の中・高耐圧のSiパワーデバイスとして、バイポーラ動作で素子の導通損失を低減するIGBT (絶縁ゲート型バイポーラトランジスタ) が用いられているが、スイッチング時の損失の低減には限界があった。

その限界を超えることができると期待されているのがSiCパワーデバイスであり、バンドギャップがSiに比べて大きく、Siの約10倍の高い電界に耐えることができる。SiCは多くの結

晶多形を持つが、その中でも4H-SiC^(注1)はバンドギャップが3.26 eVとほかの結晶多形と比較して大きく、かつバルク移動度も高いためパワーデバイスに適していると考えられている。この特性を利用することで、SiCパワーデバイスは理論的にはドリフト層抵抗をSiパワーデバイスの約1/300にでき、現在Si-IGBTが用いられている耐圧領域をユニポーラ構造のMOSFETで実現できる。これにより、導通損失とスイッチング損失を大幅に低減し、インバータのデバイス損失を1/5まで低減することができる。また、熱安定性に優れていることから高温動作が可能であり、電力変換装置の高効率化と小型化を実現できると期待されている。

しかしこれまでのSiC-MOSFETでは、MOS界面の欠陥により生ずる界面準位の影響でMOSチャンネル移動度が小さく、期待されるほどの損失低減を実現できなかった。また、SiCでは、イオン注入した不純物を活性化するために1,600℃以上の活性化アニールが必要になる。イオン注入でチャンネル領域を形成する際は、高温アニール時に生ずるイオン注入領域表面の荒れなどもチャンネル移動度を低下させる。このためイオン注入チャンネル領域の移動度は10~20 cm²/(V·s)程度である⁽¹⁾。

これらの問題を解決するための方法としては様々な報告があり^{(2)~(5)}、その一つに、チャンネル領域をエピタキシャル成長で形成する方法がある。この方法を用いることで、チャンネル移動度を40 cm²/(V·s)程度まで上昇させることができる^{(2), (3)}。しかし、プロセス途中でのエピタキシャル成長が必要となるため、イオン注入でチャンネル領域を形成する方法と比べて、プロセスが難しくなる点や高コストになるなどの課題がある。

また、チャンネル移動度を向上させる別のアプローチとして、4H-SiCのカーボン面と呼ばれる結晶面にMOSゲートを形成する方法がある^{(4), (5)}。カーボン面ではMOS形成の際に導入される界面準位が少なく、エピタキシャル成長面上では70 cm²/(V·s)程度のチャンネル移動度が得られるなどの利点がある⁽⁴⁾。しかし、カーボン面でのイオン注入チャンネル領域の移動度の報告は少ない。

そこで当社は、カーボン面のイオン注入チャンネル領域の特性を明らかにし、低損失で、より簡便に作製できるSiC-MOSFETの実証を目指して開発を進めた。

3 カーボン面を用いた低損失MOSFETの実証

カーボン面を用いると一般にSi面の酸化膜に比べて界面準位密度を低減できるが、酸化膜の形成方法しだいで界面準位密度が大きく変化する。当社は、酸化膜の形成条件を最適化

(注1) SiCは結晶学的に同一の組成で、積層方向に対し多様な結晶構造をとる。4H-SiCは多数ある結晶多形の一つで、4は積層方向の1周期中に含まれるSiC単位層の数を、Hは六方晶という結晶構造を表している。

して界面準位密度を大幅に低減することに成功し、イオン注入面において40 cm²/(V·s)以上のチャンネル移動度を得ることができた。この結果は、Si面のイオン注入面上のチャンネル移動度の2倍であり、Si面のエピタキシャルチャンネルと同等の値である。

低損失のMOSFETを実現するためには、ゲート酸化膜の形成プロセスのほかにデバイス構造の設計が重要になる。SiCの場合、素子抵抗に占めるドリフト層の抵抗の割合を大幅に低減できるが、チャンネル抵抗をいかに減らすかが設計のポイントとなる。チャンネル抵抗を減らすためには、チャンネルの長さを短くしたり、セルの微細化でチャンネルの密度を増やすことが有効である。セルサイズやチャンネル長の微細化は耐圧などの特性や素子歩留まりとトレードオフの関係にあるため、シミュレーションやTEG (Test Elements Group) 試作による最適化を行い、最終的な構造を決定した。

こうして作製したMOSFETのドレイン電流密度とドレイン電圧(V_d)の関係を図2に、オフ状態のプロッキング特性を図3に示す。作製したMOSFETのしきい値電圧は5.5 Vであり、ゲート電圧(V_g)を印加しないときドレイン電流(I_d)が流れないノーマリオフ特性を持つ。 V_g が20 Vで定格電流密度260 mA/cm²での特性オン抵抗は5.0 mΩ cm²であり、オフ状態での耐圧は1,360 V以上である。

試作したSiCパワーMOSFETと、既に製品化されている他社製Si-IGBTや、これまで発表されている他社製SiC-MOSFETとの特性比較を図4に示す。耐圧と特性オン抵抗の間にはトレードオフの関係があるため、プロットが右下にあるほど特性が優れていることになる。ここで、Si-IGBTについては、定格電流密度(130 A/cm²)でのオン電圧から特性オン抵抗を見積

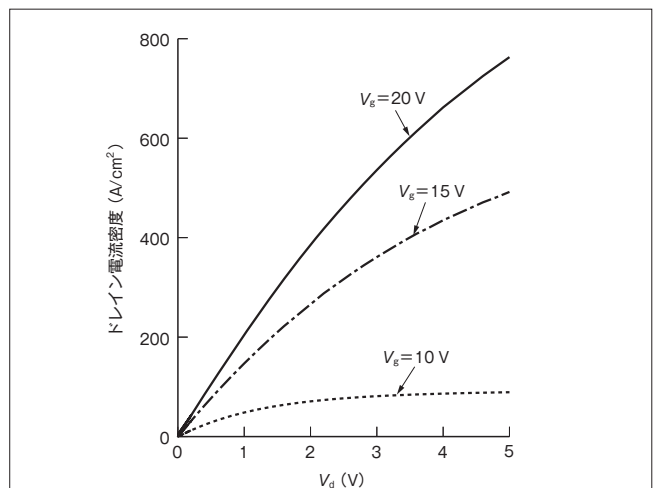
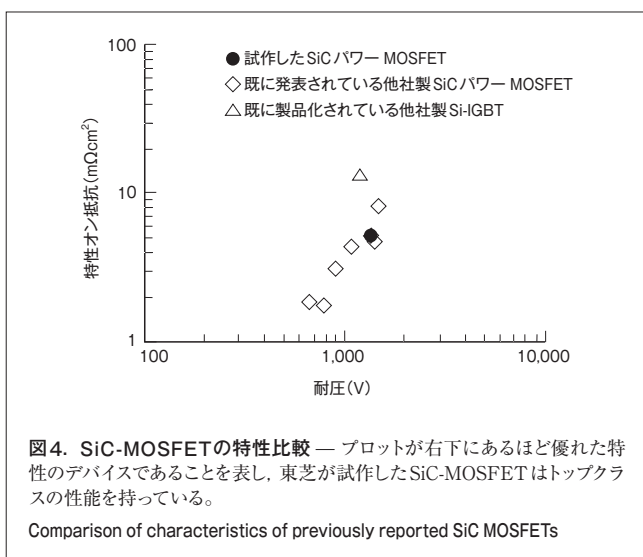
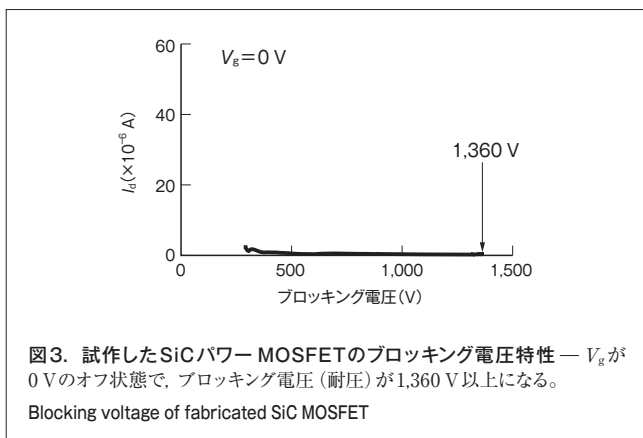


図2. 試作したSiCパワーMOSFETのドレイン電流密度と V_d の関係
— V_g が20 Vで定格電流密度を260 A/cm²とすると、特性オン抵抗は5.0 mΩ cm²である。

Relationship between drain current density and drain voltage of fabricated SiC MOSFET

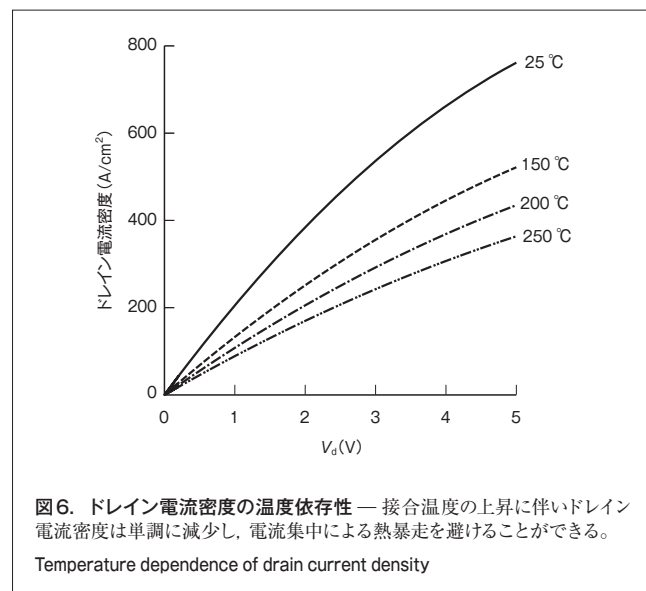
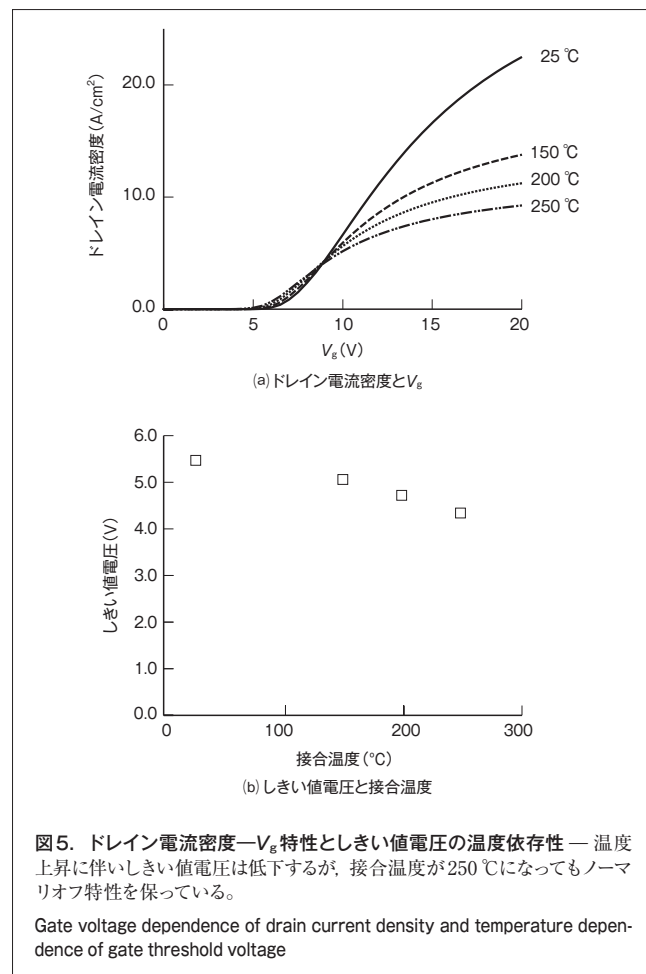


もっている。現在製品化されている Si-IGBTと比べて、当社が試作したSiC-MOSFETの特性オン抵抗は約60%小さくなっており、また既に発表されているSiC-MOSFETと比較しても、1.2 kV級デバイスとしてトップクラスの性能を持っている。

4 SiC-MOSFETの高温動作特性の検証

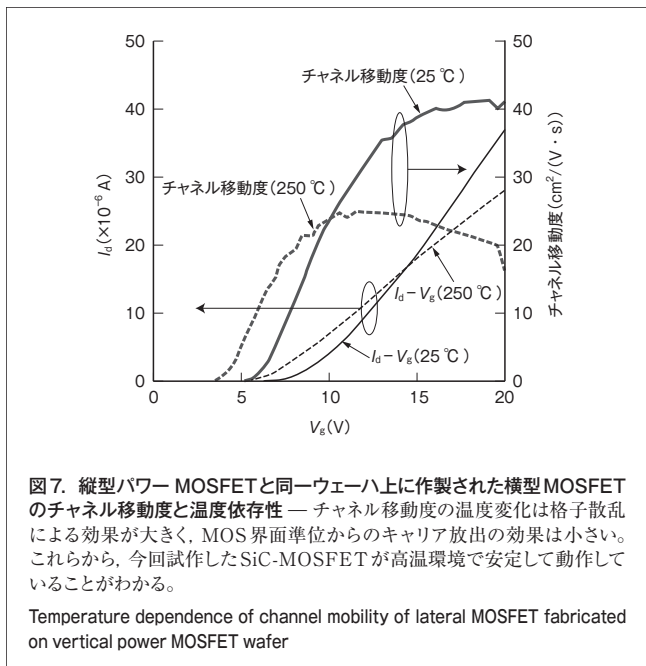
これまで報告されているSi面MOSFETでは、MOS界面準位密度が高く、高温でキャリアが増大してしきい値が低下するなどの問題を引き起こすことが指摘されていた。これに対してカーボン面MOSFETでは、界面準位密度が低く抑えられており、高温でも安定した動作が期待できる。そこで、作製したSiC-MOSFETの温度特性評価を行い、高温動作の可能性を検討した。

ドレイン電流密度と V_g の関係を図5(a)に、しきい値電圧の温度依存性を図5(b)に示す。しきい値電圧は、 V_g が0.1 Vのとき、ドレイン電流密度が26 mA/cm²となる電圧と定義した。しきい値電圧は、接合温度25℃のとき5.5 Vである。温度が上昇するとわずかに低下するが、250℃の高温でも4.3 Vと、十分



なマージンを持ってノーマリオフ特性を保つことが示された。

次に、高温時の特性オン抵抗について述べる。ドレイン電流密度と V_d の関係を図6に示す。ドレイン電流密度は負の温度係数を持ち、接合温度25℃で5.0 mΩ cm²の特性オン抵抗



は250℃で12.5 mΩ cm²まで増加する。ドレイン電流密度が負の温度係数を持つことは、電流集中による熱暴走を避けることができ、望ましい特性である。

MOSチャネル部での高温動作をより詳細に調べるために、同一ウェーハ上に作製した横型 MOSFET の特性を評価した。横型 MOSFET のチャネル長は100 μm、チャネル幅は150 μm である。I_d - V_g 特性とチャネル移動度の温度依存性を図7に示す。チャネル移動度は、接合温度25℃のとき40 cm² / (V·s) である。温度が上昇すると単調に減少し、250℃では25 cm² / (V·s) となる。チャネル移動度の温度依存性は、温度上昇に伴う格子散乱の増加によるものと考えられる。このことは、高温で問題となるMOS界面準位からの電子放出が低く抑えられていることを示唆しており、今回作製したSiC-MOSFETが高温環境で安定して動作することを実証できた。

5 あとがき

当社は、インバータ損失を大幅に低減できる耐圧1.2 kV 級SiC縦型パワー MOSFETを開発した。特性オン抵抗値が5.0 mΩ cm² という世界トップレベルであり、250℃の高温環境でも安定して動作することを実証した。

今後、大容量化に取り組むとともに、SiCダイオードと組み合わせ、小型で高効率なSiCインバータの実現を目指していく。

謝辞

この研究の一部は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)から委託された“パワーエレクトロニクスインバータ基盤技術開発”の成果である。この研究を進めるにあたり、ご協力いただいた独立行政法人産業技術総合研究所 エネルギー半導体エレクトロニクス研究ラボの関係各位に感謝の意を表します。

文献

- (1) Ryu, S. H., et al. Critical Issue for MOS Based Power Devices in 4H-SiC. Materials Science Forum. 615-617, 2008, p.743 - 748.
- (2) Tarui, Y., et al. Fabrication and performance of 1.2kV, 12.9mΩcm² 4H-SiC epilayer channel MOSFET. Materials Science Forum. 527-529, 2006, p.1285 - 1288.
- (3) Yamashita, K., et al. Normally-off 4H-SiC Power MOSFET with Submicron Gate. Materials Science Forum. 600-603, 2009, p.1115 - 1118.
- (4) Harada, S. "An ultra-low R-onS in 4H-SiC vertical MOSFET: Buried channel double-epitaxial MOSFET". ISPSD '04: Proceedings of the 16th International Symposium on Power Semiconductor Devices & ICs. Kitakyushu, JAPAN, 2004-05, IEEJ. p.313 - 316.
- (5) Harada, S. 4.3mΩcm², 1100V 4H-SiC implantation and epitaxial MOSFET. Materials Science Forum. 527-529, 2006, p.1281 - 1284.



河野 洋志 KONO Hiroshi, Ph.D.

研究開発センター 電子デバイスラボラトリー, 理博。
SiCパワー半導体素子の研究・開発に従事。
Electron Devices Lab.



鈴木 拓馬 SUZUKI Takuma

研究開発センター 電子デバイスラボラトリー。
SiCパワー半導体素子の研究・開発に従事。応用物理学会
会員。
Electron Devices Lab.



四戸 孝 SHINOHE Takashi

研究開発センター 電子デバイスラボラトリー研究主幹。
Si縦型パワー半導体素子及びSiCパワー半導体素子の研究・開発に従事。電気学会, 応用物理学会会員。
Electron Devices Lab.