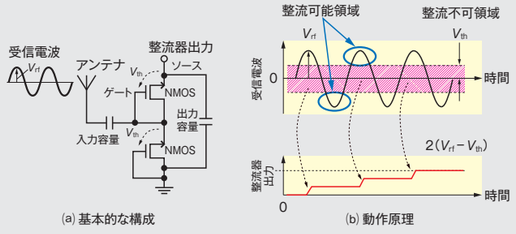
無線通信用の超低消費電力受信回路

超低消費電力受信回路を用いて家電・情報機器の待機電力を削減

近年，情報化社会の発展に伴い，家電・情報機器のワイヤレス化が急速に進んでいます。地球温暖化の対策として家電・情報機器の省エネが必須ですが，これらワイヤレス対応の機器は，待機状態でも，無線通信用の受信回路が電力を消費しています。また，携帯情報機器の高機能・小型化はとどまることがありませんが，長時間にわたってバッテリー駆動できるようにするには，待機電力をできる限り小さくすることが必要となっています。

東芝は，待機状態にある家電・情報機器の消費電力を限りなく小さくするため，当社独自の高感度整流器を用いた，超低消費電力受信回路の開発を進めています。



V_{rf}：受信電波の最大値

図1．従来の整流器の基本的な構成と動作原理 — 従来の整流器は，受信電力効率が整流を行うNMOSトランジスタのしきい値電圧V_{th}の分だけ下がるため，通信距離が短いという欠点があります。

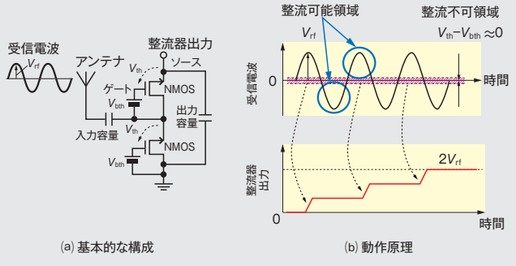


図2．提案する高感度整流器の基本的な構成と動作原理 — NMOSトランジスタのしきい値電圧V_{th}に相当する電圧V_{bth}を，ゲート-ソース間に定常的に印加することによって，しきい値電圧を見かけ上ほぼゼロにし，整流効率を大幅に改善します。

超低消費電力受信回路の構成

超低消費電力の受信回路として，パッシブRFID（無線タグ）などに用いられている，整流器を用いた方式があります。一般に整流器は，アンテナからのASK（Amplitude Shift Keying）信号を受信し，その包絡線を検波することで復調します。

しかし従来の整流器は，受信するときの電力効率が，整流を行うNMOS（n型金属酸化膜半導体）トランジスタのしきい値電圧V_{th}の分だけ下がるため，通信距離が短いという欠点があります（**図1**）。

この解決策として，東芝は高感度整流器[1]を提案しています。高感度整流器は，NMOSトランジスタのしきい値電圧V_{th}に相当する電圧V_{bth}を，ゲート−ソース間に定常的に印加することで，しきい値電圧を見かけ上ほぼゼロにします（**図2**）。これによって，小さな受信電波に対しても高感度に整流することができ，長距離の通信ができます。

当社は，この高感度整流器を用いて，RFIDなどで使われる950 MHz帯，及び無線LANやBluetooth®(注1)などで使われる2.4 GHz帯の特定小電力無線に対応した超低消費電力受信回路を開発しています（**図3**）。

比較器は，高感度整流器で復調した信号と参照電圧の大小を比較し，信号を論理回路の振幅まで大きく増幅します。デジタル信号処理回路は，受信信号のコマンド識別，比較器の参照電圧制御，近接周波数帯域からの干渉を低減する信号処理などを行います。

（注1）　Bluetoothは，Bluetooth SIG, Inc.が所有する登録商標であり，東芝は，許可を受けて使用。

950 MHz帯の干渉対策

950 MHz帯を使って通信をする場合，800 MHz帯に割り当てられているPDC（Personal Digital Cellular）システム(注2)からの干渉の影響が大きく問題になります。

PDCシステムからの干渉の影響を低減するには，狭帯域周波数フィルタを用いる方法と，時間的に回避する方法が考えられます。しかし，狭帯域周波数フィルタは，SAW（表面弾性波）フィルタなどの高価な部品が必要になり，コストアップの要因となります。

そこで，時間的に回避する方法を検討しました。PDCシステムは多重アクセス方式としてTDMA（時分割多元接続）を採用しており，割り当てられている時間スロットだけで送受信します。ほかの使用者がいない場合，それ以外の時間スロットは空きスロットとなります（**図4**）。この空きスロットの時間に着目し，キャリアセンス方法(注3)とフレームフォーマット(注4)に工夫をすることで干渉の影響を低減する方法を提案しています。

（注2）　第2世代携帯電話の通信方式の一つ。

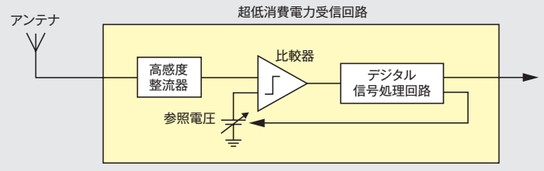


図3．超低消費電力受信回路の構成 — 当社は，この高感度整流器を用いて，950 MHz帯及び2.4 GHz帯の特定小電力無線に対応した超低消費電力受信回路を開発しています。

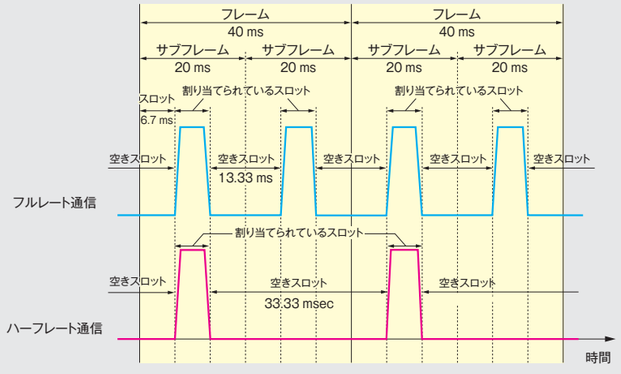


図4．PDCシステムのフレーム構成 — PDCシステムの空きスロット時間に着目し，干渉の影響を回避する通信方法を提案しています。1フレームは二つのサブフレームで構成され，1サブフレームは3スロットで構成されます。フルレート通信時は各サブフレームに一つのスロットを使って送信し，ハーフレート通信時は2サブフレームに一つのスロットを使って送信します。

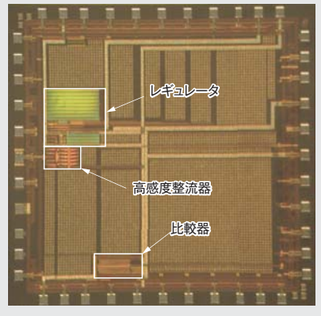


図5．試作したLSI — 試作したLSIには高感度整流器，比較器，及びレギュレータなどを搭載しました。超低消費電力受信回路が実現できることを確認しました。

0.13 μm CMOSプロセスでのLSI試作

当社の0.13 μm CMOS（相補型金属酸化膜半導体）プロセスでLSIの試作を行い，超低消費電力受信回路が実現可能であることを確認しました。試作したLSIには，高感度整流器，比較器，及び一定の電源電圧を生成するレギュレータなどを搭載しました（**図5**）。

（注3）　フレームを送信する前にまず電波の状況を確認し，ほかの機器が送信していない場合だけ送信できる方式。
（注4）　送受信するデータの形式。

デジタル信号処理回路は別のFPGA（Field Programmable Gate Array）に実装し，試作したLSIとFPGAで全体の評価を行いました。今後は，FPGAの部分もLSIに集積化する予定です。

950 MHz帯の特定小電力無線において，従来の整流器を用いた受信回路の通信距離は1～3 m程度ですが，整流効率を大幅に改善した高感度整流器を用いることで，約10 mの距離で通信が可能になることを確認しました。通信距離が約10 mまで伸びることで，多くの家電・情報機器への適用が可能になります。

今回試作した受信回路は，全体で1 μA以下の消費電流で動作し，ほかの無線通信装置の受信回路と比べ，消費電力を大幅に削減できることを確認できました。

今後の展望

今後も，待機状態にある家電・情報機器の消費電力を限りなく小さくするために，当社独自の高感度整流器を用いた超低消費電力受信回路の開発を進めていきます。

また，利用者の利便性が高まるよう，通信距離を更に伸ばすための技術開発にも取り組んでいきます。

文　献

(1) Umeda, T., et al. A 950-MHz rectifier circuit for sensor network tags with 10-m distance. IEEE Journal of Solid-State Circuits. 41, 1, 2006, p.35－41.

岩田　繁保
デジタルメディアネットワーク社
コアテクノロジーセンター
LSIコア技術開発部主務