

32 nm世代の半導体ウェーハ検査・計測技術

Metrology and Inspection Technologies for 32 nm-Generation Semiconductor Wafers

山崎 裕一郎

■ YAMAZAKI Yuichiro

32 nm世代の半導体デバイスの量産がまもなく始まるとうしているが、歩留りを改善するためのウェーハのインライン検査・計測の重要性が前世代以上に増すとともに、これらに対する技術課題も明らかになってきた。また、歩留りを改善するためには、従来のランダム欠陥^(注1)だけの管理では限界があり、システムチック欠陥^(注2)の検出と管理が重要になってきている。

東芝は、これらシステムチック欠陥の検出技術を体系的に構築し、半導体の開発から量産にかけての歩留り改善技術の向上を目指している。

As the mass production of 32 nm-generation semiconductors will begin in the near future, metrology and inspection technologies have become even more critical to improve the production yield compared with previous generations, and solutions to the technical problems are becoming clear. To improve the production yield, not only the control of random defects but also the inspection and control of systematic defects have become increasingly important.

With the aim of realizing a systematic defect control system including both a defect inspection system and a post filtering system, Toshiba has been developing novel defect filtering technologies for systematic defects and a detection and control system for lithography-induced hot spots.

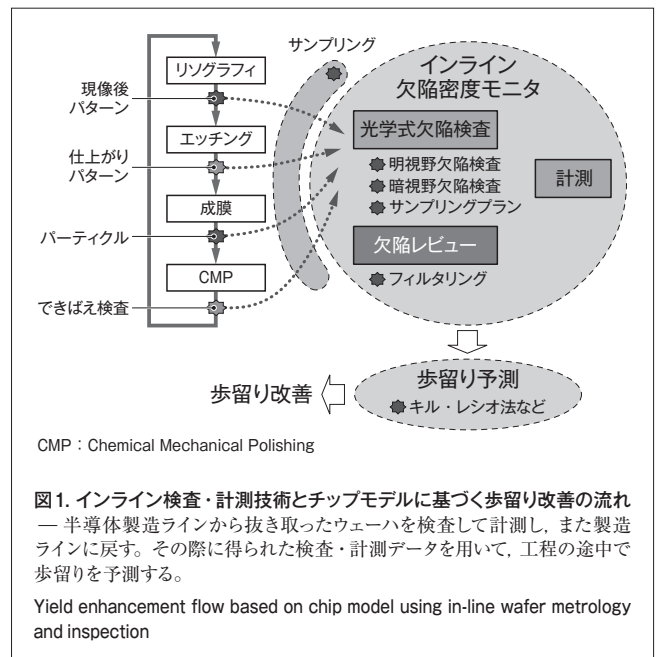
1 まえがき

半導体デバイスの製造ラインにおける歩留り管理は、歩留りを予測するモデルに基づき大きな変革を遂げてきた。1980年代には、ウェーハ上に付着したパーティクルの数で歩留りを管理していた（ウェーハモデル：第1世代）。この時期は、ウェーハ上のパーティクルをレーザ散乱方式で検出するパーティクル検査装置が主流で、現在でも装置の管理に用いられている。その後、1990年代半ばから、歩留りモデルとしてクリティカルエリア法やキル・レシオ法といったチップ単位のモデルが考案され、工程途中のウェーハの欠陥数を求めることで、最終歩留りを予測する手法が採用されはじめ、現在に至っている（チップモデル：第2世代）。

いよいよ32 nm世代の量産と20 nm世代の開発が始まるとうしているが、従来のチップモデルによる歩留り改善に限界が見えてきており、変革時期にさしかかってきている。ここでは、32 nm世代以降のインライン検査・計測技術を用いた歩留り改善手法の技術課題を明確にしたうえで、それらに対する東芝の主要な取組みについて述べる。

2 歩留り改善手法の課題と技術施策

現在の第2世代に相当する、チップモデルに基づく歩留り改善の流れを図1に示す。ここでは、あるサンプリングモデルに基づき、半導体製造プロセスからウェーハを抜き取り、その上の欠陥をウェーハ欠陥検査装置を用いて検出し、その欠陥のレビュー（欠陥の分類）を行い、ウェーハは製造ラインに戻される。



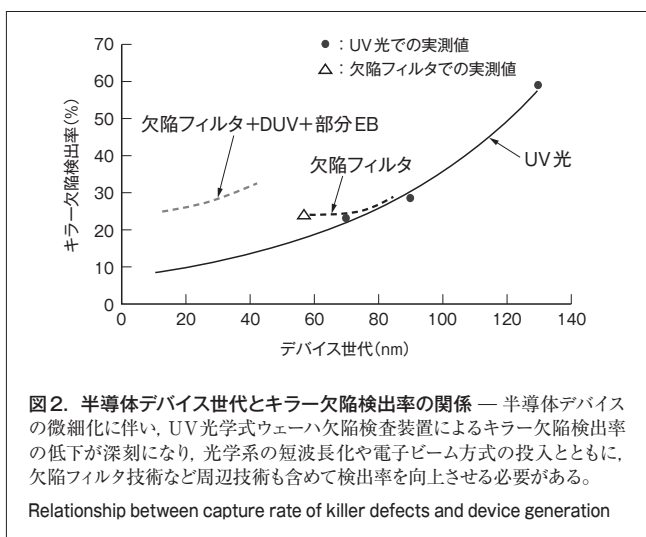
(注1) 製造装置内で発生するダストなどの、大きさ、形状、発生頻度、及び発生場所がランダムな欠陥。

(注2) 製造プロセスに起因する欠陥。

る。これは、インライン検査と呼ばれる方法で、これらの欠陥データと歩留り予測モデル（チップモデル）に基づいて予測した歩留りの異常が、歩留り改善作業に移行するトリガとなる。キル・レシオ法やクリティカルエリア法はよく知られている歩留り予測モデルで、現在、改善作業に用いられている。ウェーハの欠陥検査にはg線（波長436 nm）、h線（波長405 nm）、及びi線（波長365 nm）といった活性エネルギー線を用いたUV（紫外）光学式ウェーハ欠陥検査装置が使用されており、歩留り改善シーケンスの最大の課題は、装置の欠陥検出能力である。必要とされている欠陥をいかに高感度で検出できるかがこのモデルの最大のキーである。

半導体デバイスの世代とウェーハ欠陥検査装置によるキラー欠陥^(注3) 検出率の関係を図2に示す。この検出率とは、検査装置で検出された欠陥の電気的特性試験との一致率を示し、電気的特性に直接関係する欠陥の検出率を表す指標である。微細化が加速すると、歩留りを決定するキラー欠陥の検出率は低下し、55 nm世代では20%前後まで小さくなるのがわかる。更に微細化が進むことで検出率の低下が深刻になると予想され、欠陥レビューの検出率も考慮すると、キラー欠陥の検出率はいっそう低下する。このようなキラー欠陥の検出率の低下は、UV光学式ウェーハ欠陥検査装置によるインライン検査とチップモデルの組合せによる歩留り改善手法の精度を低下させ、極めて深刻な問題である。これは、危険点に代表される微小形状欠陥や、ホール不良などシステムチック欠陥の検出性能の劣化が主な要因である。

このような検出率の低下を踏まえて、数々の技術的施策を検討している。これまでは主に欠陥検査装置の検出感度向上に注力してきたが、最近、検査周辺技術の機能向上も不可欠な課題となってきた。遠紫外線レーザ（DUV：Deep Ultraviolet Radiation）光源を用いた光学系の短波長化や、電子ビーム



(注3) 電気的特性不良の原因となる欠陥。



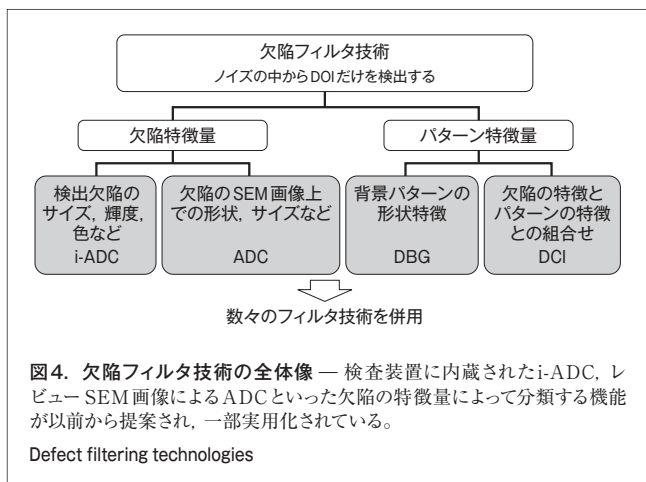
(EB：Electron Beam)方式の投入とともに、欠陥フィルタ技術といった周辺技術を含めて検出率の向上を目指している。インライン欠陥検査技術の検出率向上に向けた当社の取組みを図3に示す。検出したい欠陥（DOI：Defect of Interest）を選別する欠陥フィルタ技術、危険点などパターン異常欠陥の検出と管理技術、及び画像シミュレーションなどによる検査の高感度化技術を用いて検出率の向上を目指している。

システムチック欠陥が量産ラインの歩留りに影響を与え始める段階にさしかかっており、当社が最近特に注目している、システムチック欠陥とランダム欠陥を分離するフィルタ技術と、危険点の検出・管理技術の開発について次に述べる。

3 欠陥フィルタ技術

ここでは、検出された欠陥又はその背景パターンの特徴量に基づくフィルタ技術について述べる。この技術は、光学式ウェーハ欠陥検査技術の延命や検査コスト低減の点でも極めて重要であると位置づけ、半導体デバイスメーカーとしては注目している。ウェーハ欠陥検査装置で検出された欠陥をなんらかの手法で選別することで、歩留りの解析につなげることができる。以前はウェーハ欠陥検査装置の光学条件の設定で、DOIだけを容易に検出できていたが、半導体デバイスの微細化が進むにつれて、擬似欠陥を含む検出対象としない欠陥（non DOI）も多数検出されるため、non DOIとDOIの分類が必要になってくる。更に、システムチック欠陥が多発する開発～量産初期では、システムチック欠陥とランダム欠陥の分類も重要なアイテムとなる。このような状況のなかで、得られた欠陥を選別するフィルタ技術は極めて重要になる。

このような欠陥の分類は、レビュー SEM (Scanning Electron Microscope: 走査型電子顕微鏡) を用いた人間の能力に依存していたが、non DOIとシステムチック欠陥の分離など、



膨大な欠陥の中からDOIを手で分類することは限界に来ている。欠陥フィルタ技術の全体像を図4に示す。検査装置に内蔵されたi-ADC (in-line Automatic Defect Classification) や、レビューSEM画像によるADCなど、欠陥の特徴量によって分類する機能が以前から提案され、一部実用化されている。更に最近になって、欠陥の背景となるパターン情報 (GDS^(注4) 情報) を用いた欠陥分類技術も提案され⁽¹⁾、適用が始まろうとしている。

当社は、検出欠陥の背景のGDSデータからパターン形状ごとに分類するDBB (Design Based Binning) と、欠陥のサイズと背景パターンの粗密から危険度を算出するDCI (Defect Criticality Index) を用いて、ランダム欠陥を高精度に分類する手法を提案した(図5)。その結果、DOIのレビューの効率性を表すDOI比率を12%から68%まで向上させることに成功した⁽²⁾。

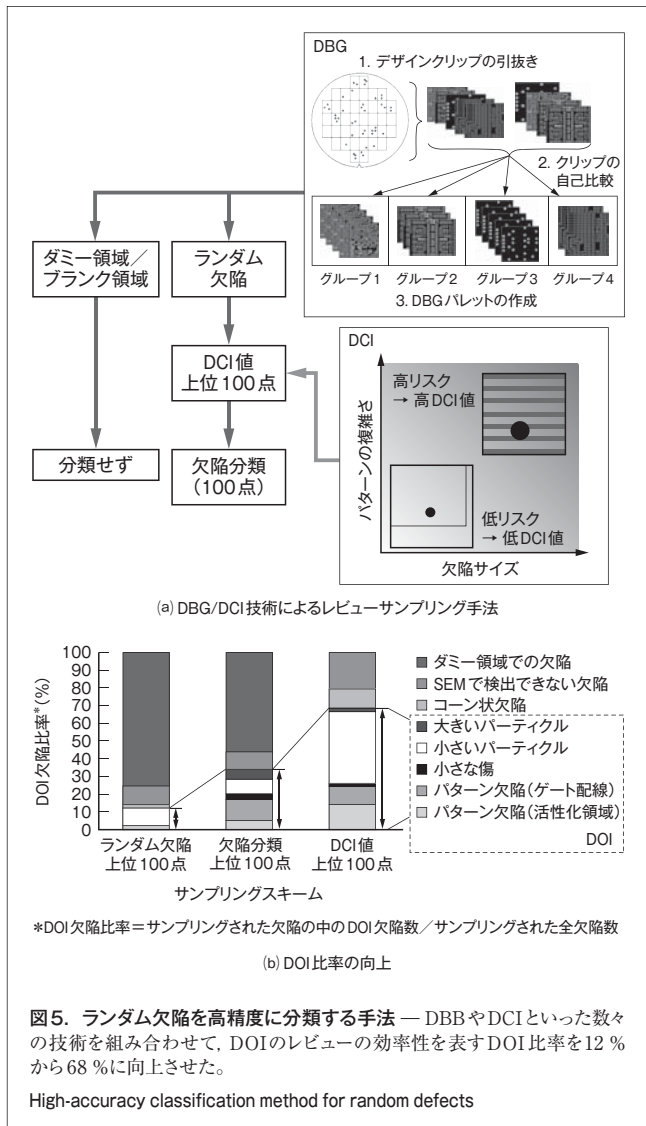
このように、検出された欠陥位置のGDSデータの形状情報に基づくフィルタ技術は、既に実用段階に入っており、ランダム欠陥とシステムチック欠陥を分離することで、高精度な歩留り予測が期待できる⁽³⁾。欠陥レビューのサンプリングの最適化からリソグラフィでのプロセスウインドーの判定、更には、DCI機能による実ウエーハの欠陥検査結果から歩留り予測など、数々のアプリケーションが考えられる。

4 危険点の検出・管理技術

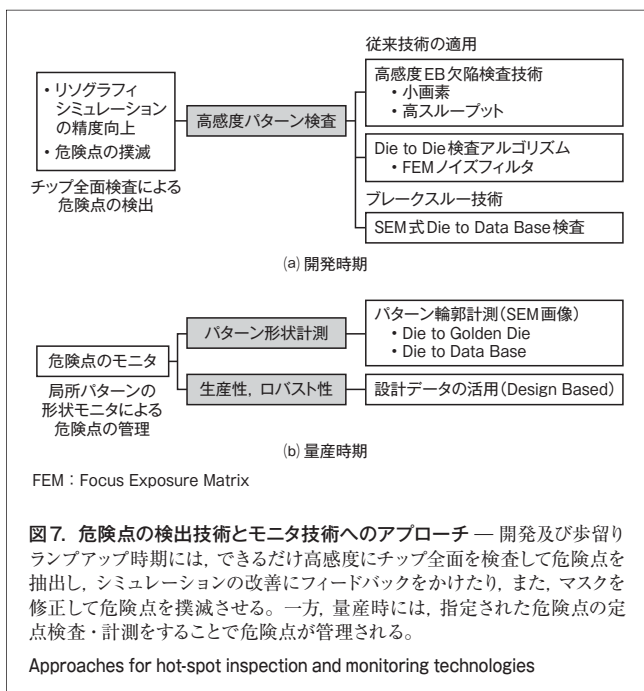
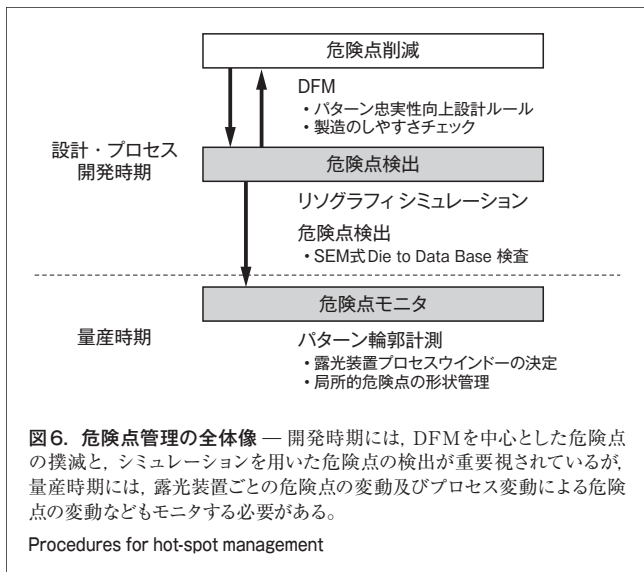
システムチック欠陥に関する取組みは、開発時期と量産時期では大きく異なり、それぞれの特徴に合わせた技術の展開が必要になる。リソグラフィでのシステムチック欠陥としては、OPE (Optical Proximity Effect) に起因する危険点が挙げられる。

このような危険点管理の全体像を図6に示す。開発時期はDFM (Design for Manufacturability) を中心とした危険点の撲滅と、リソグラフィシミュレーションを用いた危険点の検出が設計へフィードバックされる形で最適化が進められてきた。しかし、リソグラフィシミュレーションは、精度向上の意味からも、危険点を検出する技術として重要視されるようになってきた。更に、量産時期には露光装置ごとの危険点の変動及びプロセス変動による危険点の変動などもモニタすることが必要になると予想される。特にシミュレーション以外での危険点の検出と、量産ラインでの危険点のモニタには、新規技術の導入が必要となる。

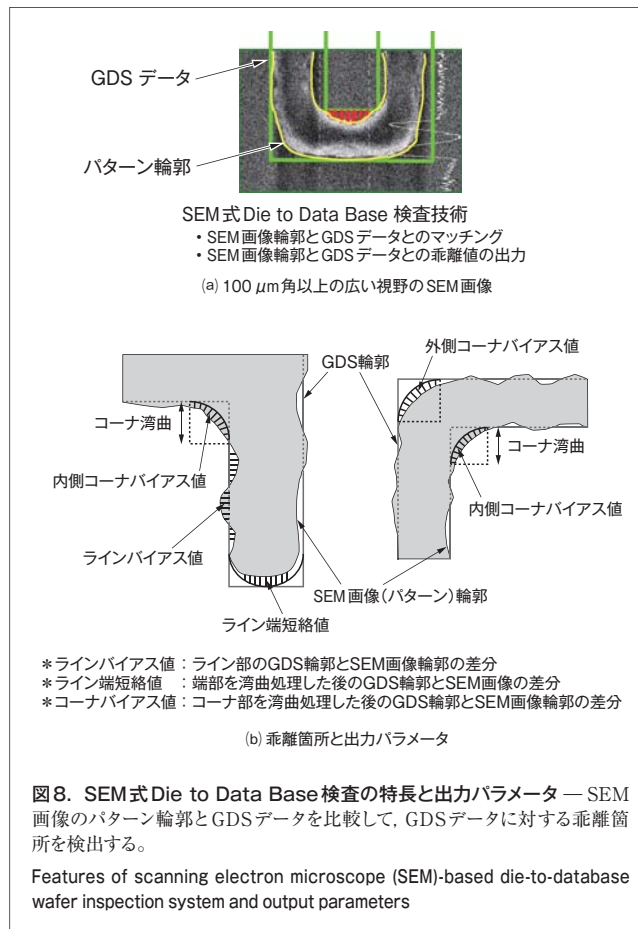
危険点の検出技術と危険点の形状モニタ技術に対する当社のアプローチを図7に示す。開発及び歩留りランプアップ時期には危険点が多発する。この時期には、できるだけ高感度



(注4) CADのバイナリーデータファイルの一種。



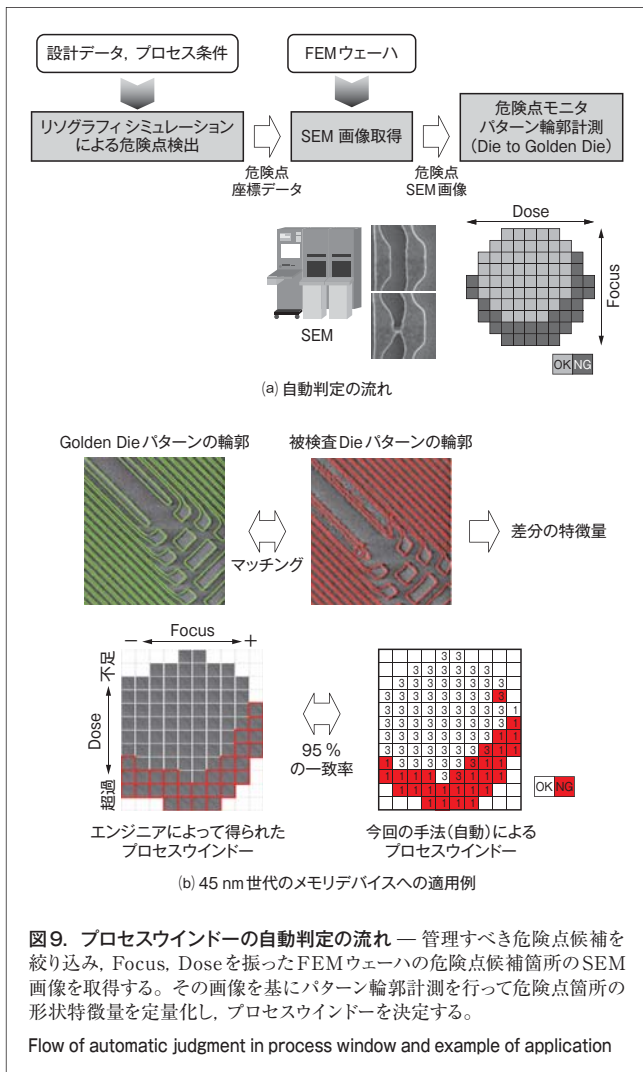
にチップ全面を検査して危険点を検出することにより、リソグラフィシミュレーションの改善にフィードバックをかけたり、マスクを修正したりすることで危険点を撲滅させる。このような場合には、チップ全面を高感度に検査し、危険点を検出する技術が要求される。この場合の検査技術として、パターン形状と設計形状 (GDS) の乖離 (かいり) を高精度に検出し計測する、SEM式Die to Data Base検査技術が有効となる。一方、量産時期には、複数台の露光装置に展開される場合の装置間差により発生する危険点や、プロセス変動などによる危険点の再発が非常に気になりである。そのような場合には、指定された危険点の定点検査・計測をすることで、危険点の管理が行われる。その際には、危険点の高分解能な輪郭形状を



用いたSEM画像ベースの形状計測技術が必要となる。

当社は、(株)ナノジオメトリー研究所のSEM式Die to Data Base検査装置 NGR-2100⁽⁴⁾を用いて、危険点検出の運用システムを構築した。図8に示すようにNGR-2100では、100 μm 角以上の広い視野のSEM画像を高速に取得して、パターンの輪郭を検出し、GDSデータと比較し、乖離箇所を検出してコーナバイアス、短縮、及びゲートバイアスといった乖離の定量値を算出し、欠陥箇所を同定する。このシステムは、既に65種類のロジックIC製品で危険点の検出や露光条件のマージン検証に展開され、開発TAT (Turn Around Time) 短縮に貢献している⁽⁵⁾。

更に、図7(b)に示した量産ラインでの危険点の管理技術として、当社はSEM画像を用いた危険点の形状判定システムを開発した^{(6), (7)}。今回開発した危険点を用いたリソグラフィのプロセスウインドーを自動的に判定するシステムの流れを図9に示す。リソグラフィシミュレーションから管理すべき危険点候補を絞り込み、Focus (焦点距離)、Dose (露出度)を振ったFEM (Focus Exposure Matrix) ウェーハの危険点候補箇所のSEM画像を取得する。その画像を基に、被検査チップ (Die) のパターン輪郭と、高歩留りが得られる理想形状チップ (Golden Die) のパターン輪郭を比較 (Die to Golden Die) す



るパターン輪郭計測を行うことで危険点箇所の形状特徴量を定量化し、プロセスウインドーを決定する。図9は、45 nm 世代のメモリデバイスに適用した例である。参照すべきGolden Dieの輪郭と検査対象パターンの輪郭を比較し、差分の特徴量を算出し、プロセスウインドーを決定している。この結果、エンジニアが目視でパターンを判定する従来のプロセスウインドーと今回の自動判定システムでは、95%の一致率が得られている。この手法を用いれば、量産ラインにおける複数台の露光装置のプロセスウインドー調整や、危険点形状の自動定點管理への適用が可能となる。32 nm 世代の量産ラインでは、このようなSEM画像の輪郭ベースの危険点形状判定と管理システムを適用することが必須と思われる。

5 あとがき

インライン欠陥検査技術とチップモデルに基づくインライン歩留り改善は、その欠陥の検出率の低下が顕著で、32 nm 世代以降は歩留り予測精度の劣化が深刻に懸念されている。検出率の低下を引き起こす要因は、危険点などの微小形状欠陥やホール不良などのシステムチック欠陥の検出率の低さにある。

当社は、システムチック欠陥とランダム欠陥を分離するための欠陥フィルタ技術の開発と、危険点検出及びモニタシステムの開発を今後も積極的に進めていく。

文献

- (1) Yeh, J. H., et al. "Novel technique to separate systematic and random defects during 65nm and 45nm process development". Proc. SPIE E 6521. San Jose, CA, USA, 2007-02, 652114. (CD-ROM).
- (2) Sato, Y., et al. "Defect criticality index (DCI): a new methodology to significantly improve DOI sampling rate in a 45nm production environment". Proc. SPIE 6922. San Jose, CA, USA, 2008-02, 692213. (CD-ROM).
- (3) Kaga, Y., et al. "Integrated defect sampling method by using design attribute for high sensitivity inspection in 45 nm production environment". Proc. ISSM 2008. Tokyo, Japan, 2008-10, p.379 - 381.
- (4) Kitamura, T., et al. "Introduction of a Die-to-Database verification tool for the entire printed geometry of a Die: Geometry verification system NGR2100 for DFM". Proc. SPIE 5756. San Jose, CA, USA, 2005-03, 575608. (CD-ROM).
- (5) Hashimoto, K., et al. "Hot spot management with Die-to-Database wafer inspection system". Proc. SPIE 6925. San Jose, CA, USA, 2008-02, 692517. (CD-ROM).
- (6) 三井 正, ほか. "許容検査に基づいた半導体パターンの自動評価". LSI テスティングシンポジウム/2005会議録. 大阪, 2005-11, LSI テスティング学会. 2005, p.37 - 42.
- (7) 藤井明子, ほか. "形状計測手法を用いたホットスポットの自動判定システム". 第28回LSI テスティングシンポジウム/2008会議録. 大阪, 2008-11, LSI テスティング学会. 2008, p.7 - 12.



山崎 裕一郎 YAMAZAKI Yuichiro

セミコンダクター社 プロセス技術推進センター 歩留改善・評価技術開発担当グループ長。半導体製造プロセスにおける検査及び計測技術の開発に従事。

Process & Manufacturing Engineering Center