

半導体プロセスDFMを実現する TCADスルーシミュレーション

TCAD Through-Simulation for Realizing Semiconductor Process DFM

尾上 誠司 寺本 竜一 塩山 善之

■ ONOUE Seiji ■ TERAMOTO Ryuichi ■ SHIOYAMA Yoshiyuki

近年、半導体デバイスの微細化に伴うプロセスの高度化と工程数増加により、開発期間の短縮が困難になってきている。開発効率を向上させる一環として、TCAD (Technology CAD) などのDFM (Design for Manufacturability) ツールを用いた素子構造の設計が行われているが、プロセス開発の段階では十分活用されていないため、ウェーハ試作時に開発の後戻りが発生している。

この問題に対して東芝は、量産プロセスデータに基づいたプロセスモデルを形状シミュレーションに組み込んだTCADスルーシミュレーション技術を開発した。これによって、プロセスマージンを試作レスで定量化できるようになり、開発時のリスクの早期発見とプロセスの適正化を行うことで、開発期間の大幅な短縮を実現した。

As semiconductor design rules have continued to shrink in recent years, advanced processes and an increasing number of process steps have become necessary and the shortening of product development periods has become more difficult. Design for manufacturability (DFM) tools such as technology computer-aided design (TCAD) have been widely applied to the device design phase in order to improve the efficiency of development. However, such tools have been insufficiently utilized in the process development phase, leading to rework and delays during prototype wafer manufacturing.

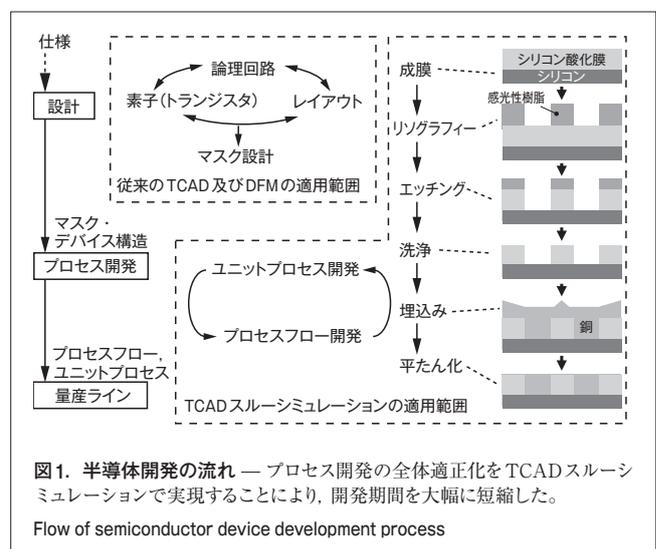
To overcome this problem, Toshiba has developed a TCAD through-simulation with models based on actual mass-production processes. This simulation makes it possible to achieve quantification of process margins without trial production and significantly reduce the product development period by quickly identifying potential development risks and performing early process optimization.

1 まえがき

半導体デバイスでは、動作の高速化と素子の高集積化のため微細化が急速に進んでいる。デバイス寸法の指標となる設計ルールは、最先端デバイスでは50 nmを切るまで来ている。これに伴い、要求される技術レベルが高くなり、開発期間の短縮が困難になっている。この問題に対して、シミュレーションが積極的に活用されるようになってきた。

半導体開発の流れを図1に示す。デバイスの設計段階では、回路や素子構造、配線レイアウト設計のためにTCAD (Technology CAD) デバイスシミュレーションなど各種DFM (Design for Manufacturability) ツールが用いられている。しかし、プロセス開発段階でのユニットプロセス及びプロセスインテグレーション開発は、ウェーハの試作が中心で、シミュレーションの活用が進んでいない。この理由としては、ユニットプロセスの現象の複雑さがある。例えば、配線を形成するドライエッチング工程のシミュレーションモデルには、プラズマ中でのガスの解離や、ウェーハ表面での反応などを組み込む必要があるが、明らかになっていない現象が多い。

これらの複雑な現象をすべて盛り込み、ガスの流量や圧力といったプロセス条件に対応したシミュレーションを実現する



ことは、一般的に困難と考えられている。しかし、プロセス開発では、単一工程の適正化だけでなく、複数工程にまたがる全体適正化が必要となることが多い。

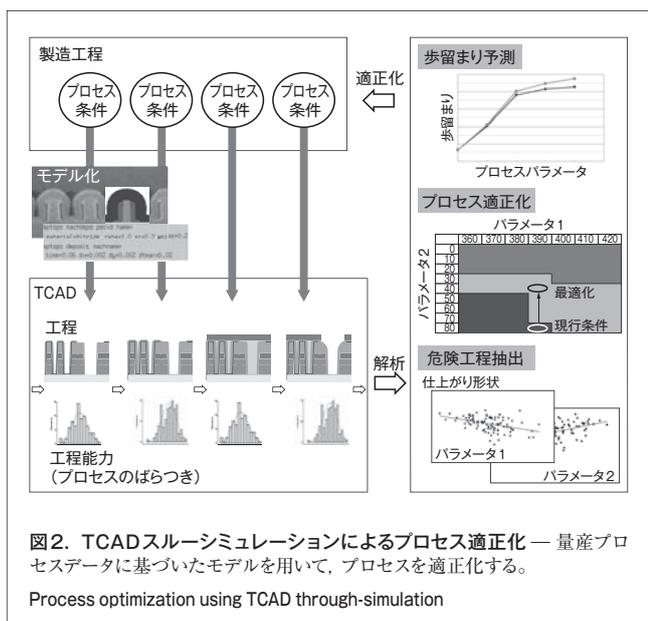
今回東芝は、プロセスインテグレーションの全体適正化に着目し、TCADスルーシミュレーション技術を開発した。この技術をプロセス開発に適用することで、開発期間の大幅な短

縮を実現した。ここでは、その技術の概要と適用方法について、更に、精度向上への取組みについて述べる。

2 TCADスルーシミュレーション概要

TCADスルーシミュレーションによるプロセスインテグレーション適正化の流れを図2に示す。TCADスルーシミュレーションには、TCADツールである“Sentaurus™(注1)”を用いている。各ユニットプロセスのモデルは、試作や量産時のデータを元に構築する。例えば成膜工程のモデル化では、成膜レートとパターン付きウェーハを用いた成膜形状データを元に、TCAD形状シミュレーションのパラメータである異方性や成膜レートの下地角度依存性などを決定することができる。

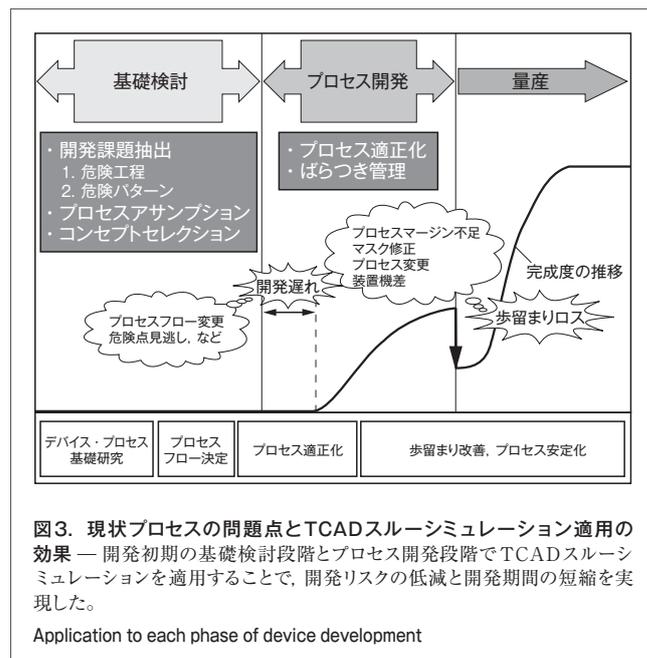
このように、各工程のプロセスモデリングを行い、連続工程でのモジュールシミュレーションを行う。また、各工程のプロセスばらつきを正規分布と仮定し、モジュールプロセスの完成度や歩留まり、工程能力を算出する。更に、各工程のプロセスパラメータと完成度の相関、及びプロセスマージンの定量化により、プロセスの適正化を行う。



3 適用方法

新デバイスの開発初期段階から量産までの完成度の推移と、各段階でのTCADスルーシミュレーションの適用方法を図3に示す。

開発初期の基礎検討段階では、デバイスの素子構造や設計、プロセスフローを考案する。次に、プロセス開発段階で



は、実際にウェーハを用いた実験により、プロセス条件やフローを決定するが、プロセスマージンの不足やレイアウト変更に伴い発生する危険パターンの見逃しなどによって、開発の後戻りや歩留まりのロスが発生する。

このような問題に対し、TCADスルーシミュレーションを用いて以下の検討を行うことで、開発リスクの低減と開発期間の短縮が可能になる。

- (1) 危険工程・パターンの抽出 前世代のプロセスを用いてプロセスを構築した場合に、プロセスが破たんする工程とパターンを抽出する。
- (2) プロセスアサンプション レイアウト上に存在するパターンごとに、工程を経ることによってどのように形状が推移するかトレースを行い、視覚的にチェックする。
- (3) コンセプトセレクション モジュールの完成度や工程能力が高いプロセスフロー案を作成する。
- (4) プロセスの適正化 プロセスマージンが最大となるプロセス条件を決定する。
- (5) ばらつきの管理 各工程のプロセス条件に対し、工程能力が最大となるようにプロセスの仕様を決定する。

この中から、(1)と(4)について、事例を用いながら説明する。

3.1 危険工程・パターンの抽出

SRAM (Static RAM) セルを上から見た模式図を図4に示す。図中のA～Fの各断面に対して、素子分離形成からゲート配線形成、コンタクト形成まで工程トレースを行った(図5)。その結果、A-A'断面ではコンタクト配線の埋込み性が不十分なことによるコンタクト不良が、B-B'断面ではゲートとコンタクトホールの合わせ精度が不十分であることがわかる。また、C-C'断面ではゲート間距離の不足により、基板とのコン

(注1) Sentaurusは、米国 Synopsys, Inc. の登録商標。

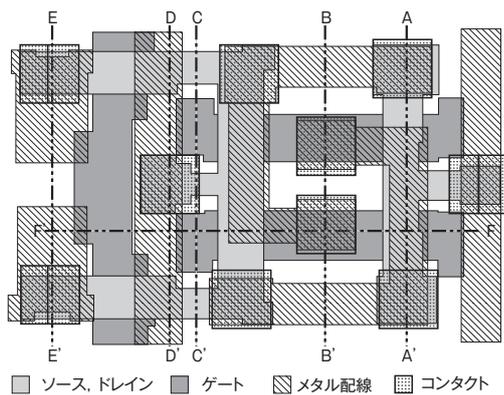


図4. SRAMセル構造 — SRAMセルを上から見た模式図である。A～F各断面の工程トレースのシミュレーションを行った。

Mask layout for static random access memory (SRAM) cell

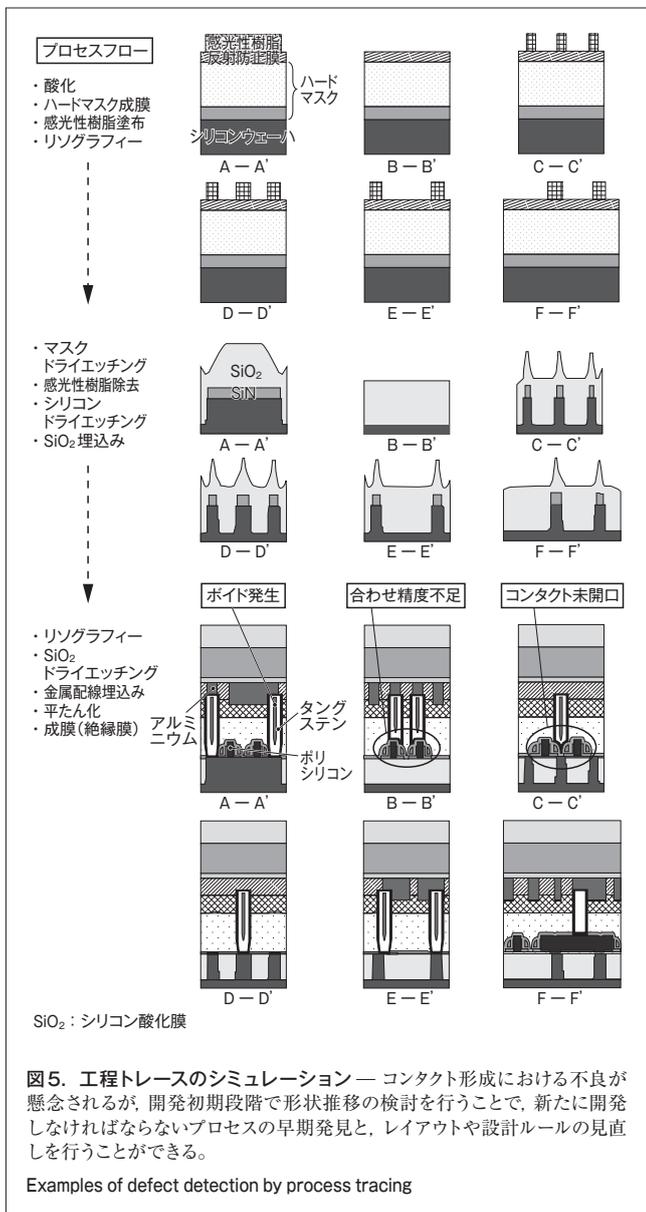


図5. 工程トレースのシミュレーション — コンタクト形成における不良が懸念されるが、開発初期段階で形状推移の検討を行うことで、新たに開発しなければならないプロセスの早期発見と、レイアウトや設計ルールの見直しを行うことができる。

Examples of defect detection by process tracing

タクトホールが未開口になることがわかる。

これらの検討を開発初期段階で行うことで、新たに開発しなければならないプロセスの早期発見と、レイアウトや設計ルールの見直しを行うことができる。

3.2 プロセスの適正化

ゲート間の距離とシリコン窒化膜 (SiN) の成膜量をパラメータとして、埋込み性を評価した結果を図6に示す。ゲート間の距離が狭いと、SiN成膜前にゲート間の初期ふさがりが発生するが、ゲート間の距離が広く、SiN成膜量が少ないほど埋込み時にボイド (膜中のすき間) が発生しにくくなる。試作段階に想定していた成膜条件は、ゲート間の距離の変動や成膜量がばらつくとボイド発生危険性があり、“プロセスの崖 (がけ)” であることがこのシミュレーションから明らかになった。SiN-2成膜量を少なくすることによって、プロセスマージンを確保できる。

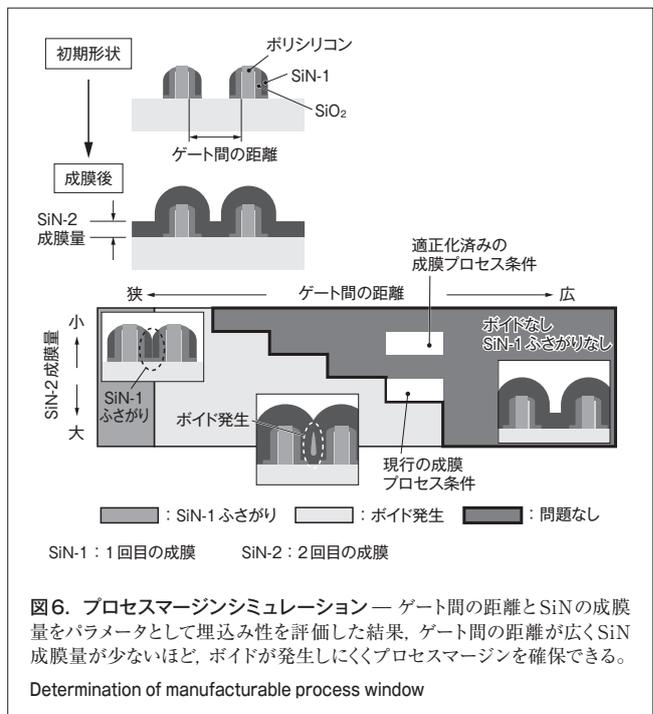


図6. プロセスマージンシミュレーション — ゲート間の距離とSiNの成膜量をパラメータとして埋込み性を評価した結果、ゲート間の距離が広くSiN成膜量が少ないほど、ボイドが発生しにくくプロセスマージンを確保できる。

Determination of manufacturable process window

4 精度向上への取組み

TCADスルーシミュレーションの精度を向上させるため、マイクロレーディング効果を組み込んだシミュレーション技術を開発している。マイクロレーディング効果とは、加工時のアスペクト比 (縦横比) に応じてプロセスが変動する現象であり、例えばドライエッチングでは、微細化によってエッチングレート (E/R) の低下やエッチストップが発生することが知られている。TCADスルーシミュレーションでは、ユニットプロセスモデルに簡易モデルを採用しており、マイクロレーディング効果の再現は困難とされていたが、ウェーハ表面での反応を考慮

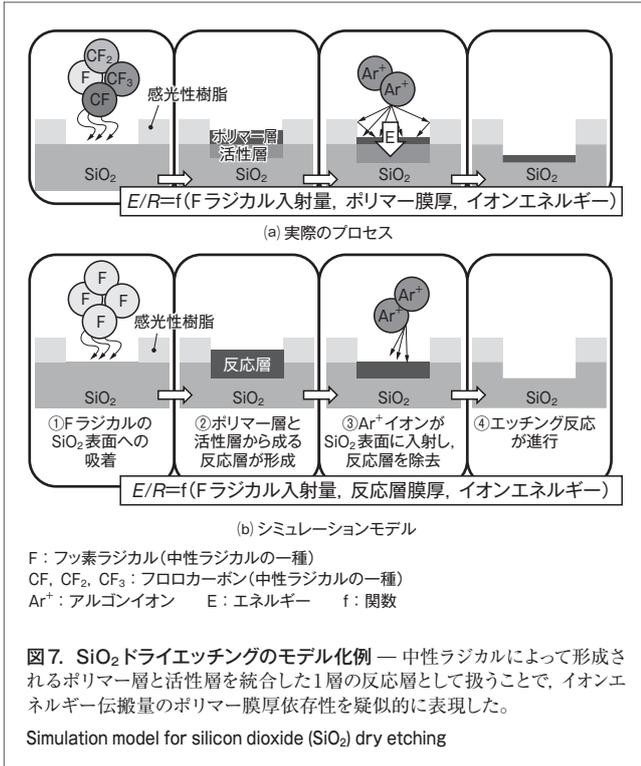
できるシミュレーションモデルの使用により、実現が可能になった。

これまでTCADスルーシミュレーションに用いていたユニットプロセスモデルでは、取り扱える活性種に制限があり、ウェーハ表面反応に対する制限を E/R などでしか与えることができなかったため、プロセスのパターン寸法依存性を十分に再現することが困難であった。これに対して新しいモデルでは、複数のラジカル^(注2)種の取扱いと入射フラックス量を考

慮したウェーハ表面での反応を組み込むことで、中性ラジカル入射量のパターン寸法依存性の取扱いが可能となり、マイクロローディング効果を再現できるようになった。

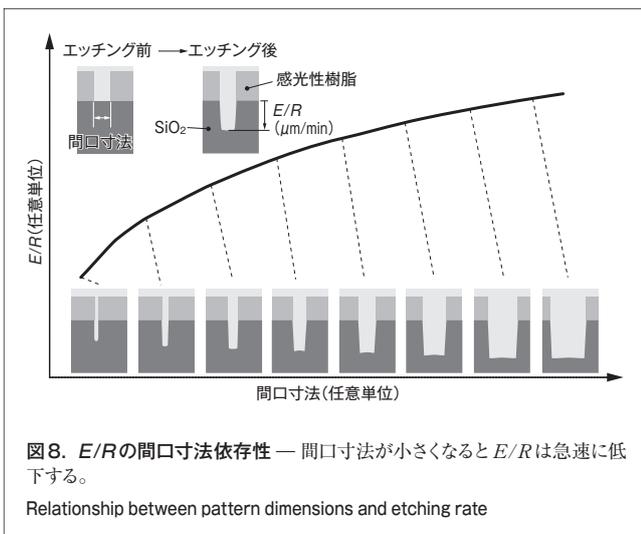
シリコン酸化膜(SiO_2)ドライエッチングのモデル化例を図7に示す。実際の反応は、中性ラジカルにより、活性層とその上部で組成がフロロカーボンから成るポリマー層が形成され、ポリマー層を介して活性層に伝搬されるイオンエネルギーによる活性層の除去と、スパッタエッチングによるポリマー層の除去によってエッチングが進行する。

これに対してシミュレーションでは、ポリマー層と活性層を1層の反応層として取り扱い、イオンエネルギー伝搬量のポリマー膜厚依存性を疑似的に表現した。このモデルを用いて、 E/R の間口寸法依存性を検証した結果を図8に示す。間口寸法が小さくなると E/R が急激に低下することがわかる。



5 あとがき

量産プロセスデータに基づいたモデルを形状シミュレーションに組み込み連続工程シミュレーションを行う、TCADスルーシミュレーション技術を開発した。このシミュレーションを半導体開発の初期の基礎検討段階とプロセス開発段階に適用することで、プロセスインテグレーションにおける全体適正化を図り、開発期間の短縮を実現した。また、形状シミュレーションにウェーハ表面の反応を組み込むことで、マイクロローディング効果を再現し、TCADスルーシミュレーションの高精度化を達成した。



(注2) 電氣的に非常に不安定な原子の状態の一つであり、極めて反応性が強いという性質を持つ。



尾上 誠司 ONOUE Seiji

生産技術センター プロセス研究センター主任研究員。
電子デバイスの形状シミュレーション技術の開発に従事。
応用物理学会会員。

Process Research Center



寺本 竜一 TERAMOTO Ryuichi

生産技術センター プロセス研究センター。
電子デバイスのTCAD及びCAE技術の開発に従事。
Process Research Center



塩山 善之 SHIOYAMA Yoshiyuki

セミコンダクター社 プロセス技術推進センター 半導体プロセス開発第三部主務。半導体プロセスのTCAD技術の開発に従事。

Process & Manufacturing Engineering Center