

異種デバイスを高密度集積化できる擬似SOC技術

Pseudo-SOC Technology to Integrate Different Types of Devices

小野塚 豊 山田 浩 板谷 和彦

■ ONOZUKA Yutaka ■ YAMADA Hiroshi ■ ITAYA Kazuhiko

ユビキタス社会における機器の小型・軽量化、多機能化、及び高性能化の要求に応えるために、半導体チップと様々な関連デバイスをより高密度に集積化する必要性が高まっている。しかし、異種デバイス混載が可能なSIP (System in Package) 技術はその集積度に限界があり、高密度集積化が可能なSOC (System on Chip) 技術は集積できるデバイスに制限がある。

東芝は、異種デバイスを高密度集積化できる“擬似SOC技術”を開発した。異種デバイスを樹脂でウェーハ状に再構築した後、半導体プロセス技術を用いて微細配線を形成することで、機器の小型化だけでなく新規システムの開発期間の短縮も可能となる。

High-density heterogeneous integration technology has become increasingly important to realize high-performance multifunctional systems with smaller size and lighter weight for use in the ubiquitous society. However, system-in-package (SIP) technology, which can integrate different types of devices, has an integration density limitation, while the types of integrated devices are restricted in system-on-chip (SOC) technology.

To overcome these problems, Toshiba has developed a novel integration technology named pseudo-SOC technology. The feature of this technology is the interconnection of wiring using semiconductor processing technology after the large-scale integrations (LSIs) and various components are reconstructed into wafer shape with resin. Pseudo-SOC technology makes it possible not only to minimize device size but also to shorten the development period for new systems.

1 まえがき

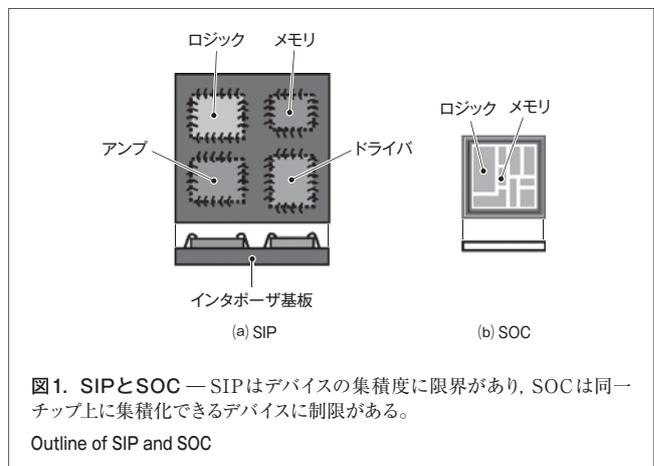
ユビキタス社会の到来に向けて、携帯電話やPDA (Personal Digital Assistants) に代表される携帯情報機器の小型化、多機能化、及び高性能化への要求が高まっている。とりわけ、無線システムにおいて高周波信号を扱うアナログフロントエンド部では、LSIチップと受動部品の混載や異種電子デバイスどうしの集積化が必須となる。しかし、従来の集積化技術では、受動部品やLSIチップといった異種デバイスを高密度集積化することは困難であった。

東芝は、樹脂印刷技術と半導体プロセス技術を組み合わせることにより、異種デバイスを高密度集積化しワンチップ化する“擬似SOC技術”を開発した^{(1), (2)}。ここでは、この集積化技術の概要と特長について述べる。

2 擬似SOC技術の概要

2.1 従来の集積化技術の課題

従来の集積化技術の主流は、異種デバイス(回路)を同一チップ上に混載するシステムLSIあるいはSOC (System on Chip) と、異種デバイス(チップ)を同一回路配線基板(インタポーザ基板)上に混載するSIP (System in Package) の二つがある⁽³⁾。それぞれの技術のイメージを図1に示す。



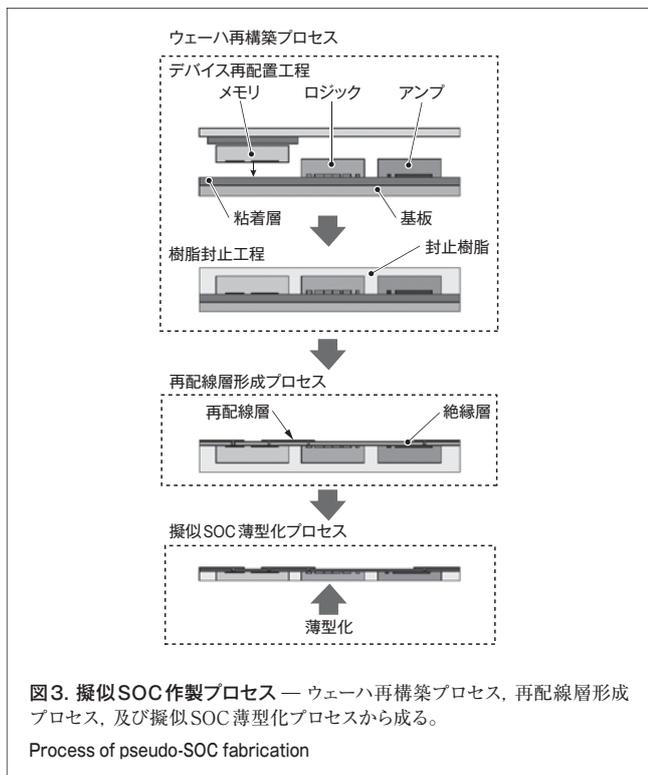
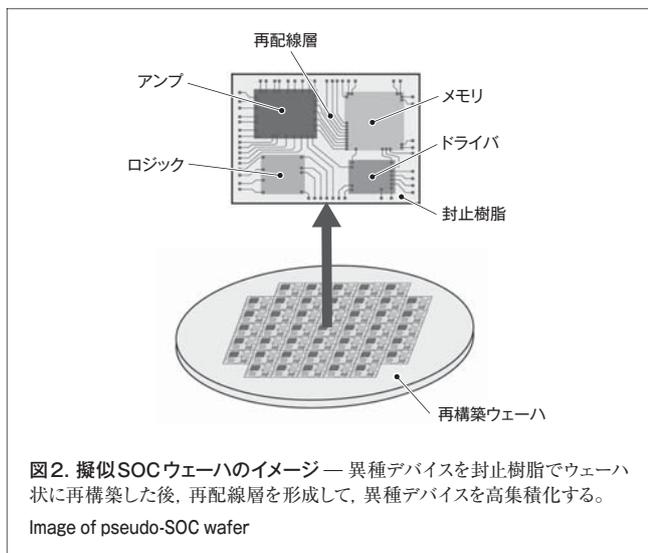
SOCは、最先端の半導体プロセスを用いて、シリコン基板の同一チップ上に、半導体デバイスを微細配線(数百nm幅)を介して集積化する技術であり、小型で高性能なシステムLSIを構築することができる。しかし、混載できるデバイスの種類に制限があるばかりでなく、微細化が進む半導体の設計・プロセス技術が前提となるため、設計や開発にコストや時間を要するという課題があった。

一方、先端集積化技術を応用するSIPは、インタポーザ基板上に異種デバイスを混載実装する技術であるため、既存の低コストの半導体デバイスを用いることができる。更に、搭載

するデバイスの種類に制限がないため、システム設計から市場投入までが短く、製品開発コストが低い。しかし、インタポーザ基板の回路配線幅は数十 μm 程度で、高密度化が難しかった。したがって、これら既存の集積化技術の問題点を補う新たな集積化技術が望まれていた。

2.2 擬似SOC技術とは

当社は、これらの課題を克服するため、擬似SOC技術を提案した^{(1), (2)}。この技術のイメージを図2に示す。この技術では、それぞれ独自の製造技術で形成された異種デバイスを検査して選別した後、封止樹脂を用いて再構築ウェーハとして集



積化する。更に、半導体プロセスを用いて数 μm 程度の微細な配線幅の再配線層を形成する。この技術により、SIPでは不可能であった高集積化とSOCでは不可能であった異種デバイスの混載が実現する。したがって、新たな機能やシステムを構築する際にも既存のデバイスを活用して開発期間を短縮し、開発コストを下げることができる。

擬似SOCの作製プロセスを図3に示す。まず、メモリ、ロジックやアンプといった異種デバイスを、基板の上に固定された粘着層上に再配置する。次に、樹脂封止工程で、封止樹脂であるエポキシを真空印刷法により塗布した後、焼成して硬化させる。封止樹脂には粘度を調整するためフィラー（充てん剤）である石英粒子が分散されている。粘着層をはく離することで、これら異種デバイスは再構築ウェーハ上に集積化される。更に、半導体プロセスを用いて絶縁層と再配線層を形成する。最後に、機械研磨法などで擬似SOCを薄型化する。

3 擬似SOCの構造設計

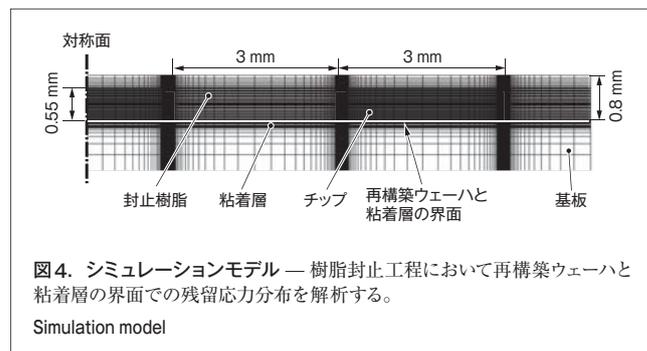
3.1 擬似SOCの課題

擬似SOCは、インタポーザ基板を用いずに樹脂だけで異種デバイスを支持する必要があるため、十分な機械的強度が必要である。しかし、樹脂封止工程では、デバイスと樹脂の界面で熱膨張率差や樹脂硬化時の収縮率（以下、硬化収縮率と略記）により発生する残留応力のため、はく離やクラックが発生しうる。そこで、樹脂封止工程での応力解析を系統的に行い、デバイスと樹脂の残留応力差を小さくするために樹脂特性の最適化を行った。

3.2 擬似SOCの残留応力解析

擬似SOCの残留応力について、有限要素法 (Finite Element Method) によるシミュレーションを行った。シミュレーションモデルは、図4に示すように、粘着層上に等間隔 (3 mm) で配置された三つのチップ (3×0.55 mm) と封止樹脂 (厚さ 0.8 mm) から成り、対称性を考慮して右半分だけの2次元とした。このモデルで粘着層と再構築ウェーハの界面の残留応力を解析した。

封止樹脂の熱膨張率や硬化収縮率はフィラー量に大きく依



存することから、フィラー量を封止樹脂中に分散可能な最大量(74 vol%)までの範囲で変化させた樹脂A, B, C, Dの4種類で比較した。用いた封止樹脂のフィラー量とその材料定数を表1に示す。

また、樹脂封止工程で発生するチップ上の残留応力を、応力測定用チップを用いて測定し、シミュレーション結果と比較した(図5)。両者は20 MPa程度の差で一致しており、いずれもフィラー量が増えると残留応力は減る傾向がみられる。これは、フィラー量が増えたことにより、硬化収縮率及び、チップと封止樹脂の間の熱膨張率差が減った結果であると考えられる。

残留応力の更に詳細な面内分布をシミュレーションで求めた結果を図6に示す。フィラー量を増やしても、樹脂上では応力の変化はチップ上に比べて小さく、樹脂とチップの間の残留

応力差は小さくなる傾向にあることがわかった。これらの結果から、フィラー量を最大にした樹脂Dを用いるのが最適であることがわかった。

4 擬似SOCの作製と評価

チップを擬似SOC技術で高集積化した例を図7に示す。テストチップ(3.5×3.5×0.2 mm)を狭ギャップ(100 μm)で配置した後、最適化された封止樹脂(樹脂D)を真空印刷法ですき間なく充てんすることにより、高集積化できることを確認した。更に半導体プロセスを用いて絶縁層(ポリイミド膜)を形成した後、配線幅50 μmの再配線層(アルミニウム膜)でテストチップ間を接続した。作製工程中クラックの発生は見られず、樹脂特性の最適化により残留応力が小さくなり、十分な機械的強度が得られた結果だと考えられる。

デバイス実証のために作製したRF(Radio Frequency)受信回路モジュールをモチーフとした、擬似SOCを図8に示す。RF-ICの周りに27個の受動部品(0603サイズ:0.3×0.6×0.3 mm)が集積された極小チップ(6×6×0.7 mm)を作製した。

この擬似SOCを従来のCOB(Chip on Board)実装技術と比較した結果を図9に示す。回路基板上に実装されていた受

表1. 封止樹脂とその材料定数

Encapsulation resins and material properties

材料定数	樹脂A	樹脂B	樹脂C	樹脂D
フィラー量 (vol%)	33	54	67	74
熱膨張率 (ppm/°C)	37	23	14	10
硬化収縮率 (%)	0.85	0.59	0.43	0.33

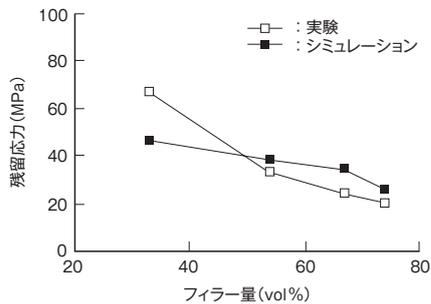


図5. 残留応力のフィラー量依存性 — フィラー量を増やすことで、残留応力は小さくなる。

Dependence of residual stress on filler content

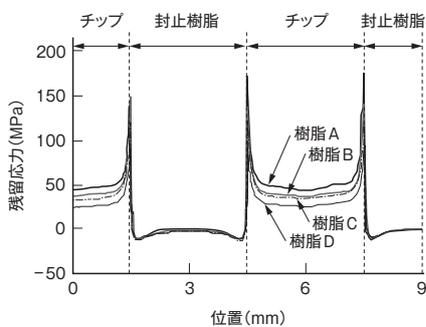


図6. 残留応力の面内分布 — フィラー量を増やすことで、チップと封止樹脂の間の残留応力差は小さくなる。

In-plane distribution of residual stress

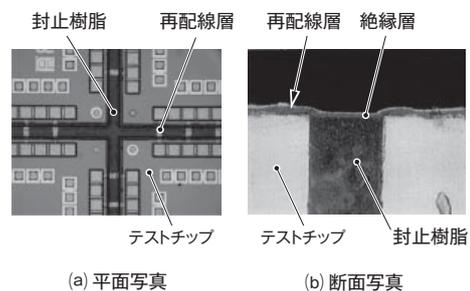


図7. 高集積化擬似SOC — チップ間を100 μmまで狭化してチップを高集積化した擬似SOCを実現した。

High-density integrated pseudo-SOC

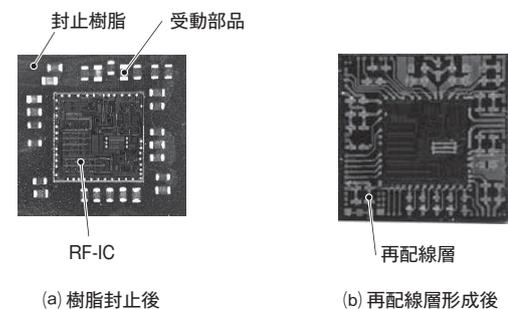
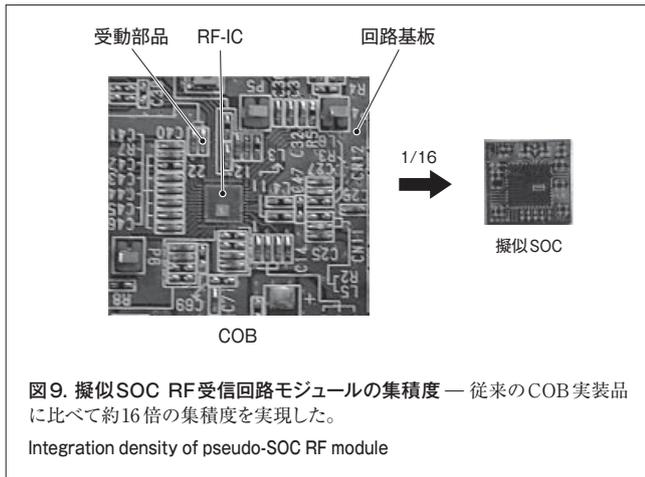


図8. 擬似SOC RF受信回路モジュール — RF-ICの周りに27個の受動部品を集積化した極小チップを実現した。

Pseudo-SOC radio frequency (RF) receiver module



動部品をRF-ICの周りに集積化することにより、COB実装品に比べて約16倍の集積度を実現した。また、直流電圧印加によって各機能ブロックの動作を確認し、再配線層による電気的な接続に顕著な問題がないことを確認した。

5 あとがき

ユビキタス社会の到来に向けて、電子デバイスの小型・軽量化、多機能化、及び高性能化を実現するために必須となる異種電子デバイスの高密度集積化技術として、従来のSIPやSOCとは異なる新たな集積化技術“擬似SOC技術”を開発した。異種デバイスを樹脂でウェーハ状に再構築後、半導体プロセス技術を用いて微細配線を形成することで、従来技術に比べて約16倍の密度で集積化した。この技術により、次世代の電子機器の小型・高性能化に道が開けた。

この研究の一部は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) の助成事業「高集積・複合MEMS製造技術開発事業」によって行ったものである。

文献

- (1) Onozuka, Y., et al. "Wafer-Level Integration Technology with Heterogeneous Chip Redistribution and Inter-Chip Layer Process". Proceeding of IMAPS 40th International Symposium on Microelectronics, San Jose, California, U.S.A., 2007-11, International Microelectronics And Packaging Society (IMAPS). p.777 - 784.
- (2) Onozuka, Y., et al. "Pseudo-SOC Technology: Its Basic Structure and Stress Analysis". Proceeding of International Conference on Electronics Packaging (ICEP), Tokyo, 2008-06, IMAPS Japan, IMAPS, and IEEE CPMT Society Japan. p.89 - 94.
- (3) 大塚寛治. 次世代実装技術—SiPとSoC. 表面技術. 55, 12, 2004, p.817 - 820.



小野塚 豊 ONOZUKA Yutaka

研究開発センター 電子デバイスラボラトリー研究主務。
液晶ディスプレイ及び半導体デバイスパッケージ技術の研究・開発に従事。応用物理学会, IMAPS会員。
Electron Devices Lab.



山田 浩 YAMADA Hiroshi

研究開発センター 電子デバイスラボラトリー主任研究員。
高密度・高速実装を主体にした集積回路パッケージ技術の研究・開発に従事。電子情報通信学会, IEEE会員 (フェロー)。
Electron Devices Lab.



板谷 和彦 ITAYA Kazuhiko D. Eng.

研究開発センター 電子デバイスラボラトリー研究主幹, 工博。
半導体デバイス・材料及びMEMS, 関連するモジュール技術の研究・開発に従事。応用物理学会会員。
Electron Devices Lab.