

SpursEngine™ のLSIアーキテクチャ

LSI Architecture of SpursEngine™

安川 英樹 後藤 治隆 上野 喜代治

■ YASUKAWA Hideki ■ GOTO Harutaka ■ UENO Kiyoji

東芝は、パソコン (PC) アーキテクチャ上でHD (High Definition) コンテンツに対するストリーミング処理を高速に行える、メディアストリーミング処理プロセッサ SpursEngine™を開発し、当社製AVノートPCのQosmio™に搭載した。SpursEngine™はHDコンテンツが要求する高速処理に対応するため、PCシステムとはPCI (Peripheral Component Interconnect) Express^(注1) インタフェースを介して最大1 Gバイト/sのバンド幅を、ワーク用メモリにはRambus社のXDR™^(注2)メモリを採用することで最大12.8 Mバイト/sの高バンド幅を確保している。

SpursEngine™は、HD動画像に対する定型のコーデック処理に対しては専用ハードウェアエンジンを、ハンドジェスチャ入力などのより高度で柔軟な各種画像処理に対してはCell/B.E.™ (Cell Broadband Engine™)^(注3)のSPE (Synergistic Processor Element) を割り当てるといふ、ハイブリッド型アーキテクチャを採用している。

Toshiba has developed SpursEngine™, a high-performance stream processor that offers high-speed stream processing of high-definition (HD) contents when connected to a PC system, and has implemented this chip in the new Qosmio™ AV notebook PCs. SpursEngine™ is connected to the PC system via a PCI (Peripheral Component Interconnect) Express interface, which can transfer data at up to 1 Gbyte/s. It also utilizes XDR™ DRAM as working memory, allowing it to support high data transfer rates of up to 12.8 Gbytes/s.

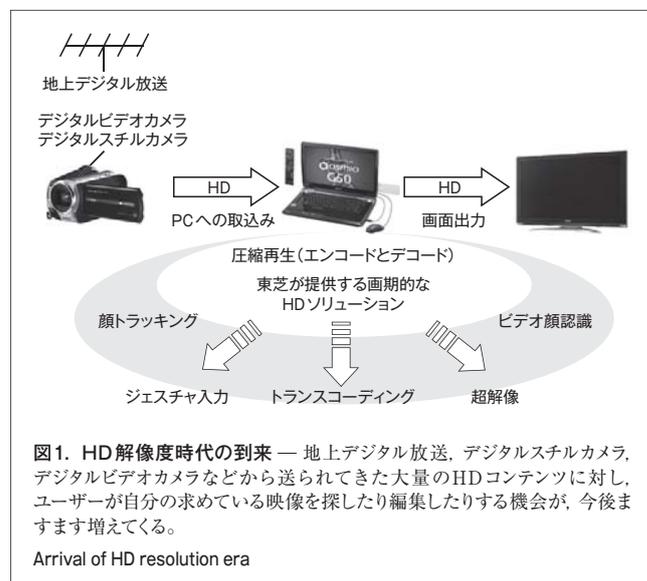
SpursEngine™ uses hybrid architecture featuring special-purpose hardware engines for fixed codec processing and synergistic processor elements (SPEs) derived from the Cell Broadband Engine™ (Cell/B.E.™), providing advanced and flexible processing such as a hand gesture application.

1 まえがき

2003年末から地上デジタル放送が開始され、デジタルビデオカメラもHD解像度で録画可能なものがあたりまえのように販売され、デジタルスチルカメラの有効画素数は10メガピクセルを超えてきている。世はまさにHD解像度の時代が到来したと言える(図1)。

HD解像度は、これまでのSD (Standard Definition) 解像度に比べ画像情報が約6倍に膨れ上がる。また、デジタルビデオカメラなどのAV機器の発達だけでなく、インターネット上の動画サイトの発達により、手軽に動画コンテンツを扱う機会が増えてきている。

このHDコンテンツが氾濫(はんらん)した時代において、ユーザーにとっては次に何が必要になってくるだろうか?それは、自分のPCに保存された大量の動画データの中から自分が探しているシーンをすばやく見つけることであったり、そのシーンを自分の好きなように編集することであったり、映像ファイル



をより効率良く保存することであったりするだろう。

東芝が今回開発したメディアストリーミング処理プロセッサ SpursEngine™は、PCで扱う大量のHDコンテンツに対して、上記のような各種処理を高いパフォーマンスで提供するLSIである。ここでは、SpursEngine™のLSIアーキテクチャの概要について述べる。

(注1) 2002年にPCI SIG (Special Interest Group)により策定されたシリアル転送インタフェース。

(注2) XDRは、米国及びその他の国におけるRambus社の商標。

(注3) IBM, SONYグループ、東芝が共同で開発に高性能プロセッサで、Cell/B.E., Cell Broadband Engineは、(株)ソニー・コンピュータエンタテインメントの商標。

2 機能仕様

SpursEngine™の機能仕様を表1に示す。SpursEngine™は、PCアーキテクチャとPCI Express (PCIe) インタフェースで接続されるアクセラレータである(図2)。地上放送やインターネット上の動画、PC上の磁気ディスク装置(HDD)に蓄えられた画像データなどに対してSpursEngine™で処理を行う場合、

表1. SpursEngine™の仕様

Specifications of SpursEngine™

項目	仕様	
チップ概要	名称	SpursEngine™
	TDP	10 W台
	テクノロジー	65 nmプロセスルール (CMOS5)
	チップ面積	102.9 mm ² (9.98×10.31 mm)
	総トランジスタ数	239.1 Mトランジスタ
	パッケージ	P-BGA624-2727-1.00AZF
コントローラ	プロセッサ	SCP
	動作周波数	300 MHz
メインエンジン	プロセッサ	SPE
	エレメント数	4
	動作周波数	1.5 GHz
	演算器	SIMD, 浮動小数点, 積和
	メモリ	LS 256 Kバイト/SPE
	レジスタ	128ビット×128本/SPE
	その他機能ブロック	DMAC, MMU
コーデックエンジン	MPEG-2 デコーダ	
	動作周波数	300 MHz
	プロファイルレベル	MP@HL
	最大画像サイズ	1,920×1,080画素
	最大入力ビットレート	50 Mビット/s
	MPEG-4 AVC (注4) (H.264) デコーダ	
	動作周波数	300 MHz
	プロファイルレベル	ハイプロファイル@レベル4.1
	最大画像サイズ	1,920×1,080画素
	最大入力ビットレート	50 Mビット/s
	MPEG-2 エンコーダ	
	動作周波数	150 MHz
	プロファイルレベル	MP@ML, MP@HL-1440, MP@HL
	最大画像サイズ	1,920×1,080画素
	最大入力ビットレート	45 Mビット/s
	MPEG-4 AVC (H.264) エンコーダ	
	動作周波数	150 MHz
	プロファイルレベル	ハイプロファイル@レベル1.1~4.1, メインプロファイル@レベル1.1~4.1, ベースプロファイル@レベル1.1~4.1
	最大画像サイズ	1,920×1,080画素
	最大入力ビットレート	50 Mビット/s
ホストインタフェース	インタフェース	PCI Express Endpoint
	レーン数	×4, ×1リンクサポート
ローカルメモリインタフェース	ローカルメモリ	XDR™ DRAM
	データ幅, ch数	32ビット, 1チャンネル
	最大メモリバンド幅	12.8 Gバイト/s
	メモリ容量	128 Mバイト

TDP : Thermal Design Power
SIMD : Single Instruction Multiple Data
MMU : Memory Management Unit

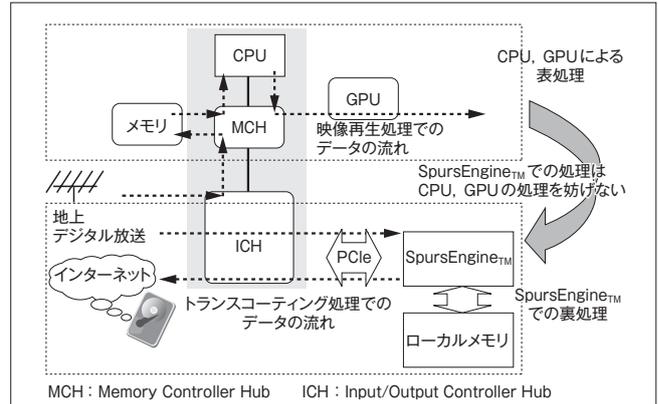


図2. PCシステム上のアクセラレータSpursEngine™ — SpursEngine™はPCシステムに接続され、ホスト側の処理を妨げることなく、HDコンテンツデータに対して検索や編集など各種処理を行う。

Processing flow of SpursEngine™ as accelerator connected to PC system

SpursEngine™専用のローカルメモリ(XDR™ DRAM)にいったんデータを取り込んでから、SpursEngine™内部で閉じた処理を高速に行うという手法を採っている。これにより、PCのCPUやGPU(Graphics Processing Unit)の処理を妨げることなく、SpursEngine™で各種画像処理を行うことを可能とした。

SpursEngine™で行う主な処理として、以下が挙げられる。

- (1) エンコード(画像圧縮処理)
- (2) デコード(画像解凍処理)
- (3) トランスコーディング(圧縮フォーマット変換処理)
- (4) 超解像処理(SD→HD高画質化処理)
- (5) ビデオ顔認識(動画中の人物の顔を認識する処理)
- (6) ハンドジェスチャ認識(動画中の手形状を認識する処理)
- (7) 顔トラッキング(動画中の顔の部分を追いかける処理)

一般に、専用ハードウェアは固定的な処理しかできないが、処理自体は高速で消費電力は低い。汎用プロセッサを用いたソフトウェアによる手法は柔軟な処理が可能だが、専用ハードウェアに比べ処理が遅く消費電力も高くなる傾向にある。

(1)~(3)の処理は、計算量は膨大だが固定的な処理であるため専用ハードウェアで対応でき、消費電力を抑えることが可能である。(4)~(7)の処理は、高度かつ柔軟な処理が必要で専用ハードウェア化しづらい処理であるため、汎用プロセッサのSPEを搭載し、処理に応じたプログラムを適宜SPE上で実行することで対応している。このようにSpursEngine™は、処理内容によって専用ハードウェアと汎用プロセッサを使い分けることで、高い性能/消費電力比を実現できるハイブリッド構成のアーキテクチャを採用している(図3)。

(注4) MPEG-4 (Moving Picture Experts Group-phase 4) AVC (Advanced Video Coding) は、ISO (国際標準化機構)/IEC (国際電気標準会議)で規定された圧縮符号化方式の一つで、H.264とは技術的には同一のもの。

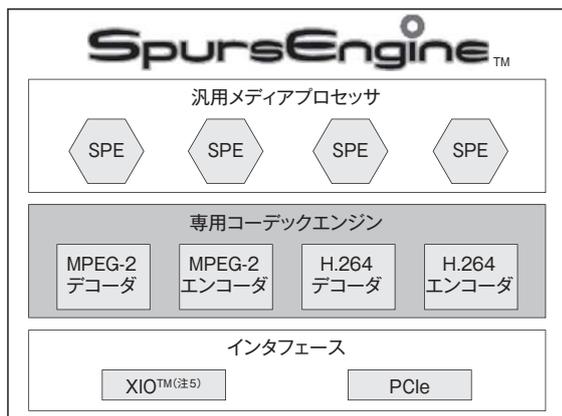


図3. 専用用途のコーデックエンジンと汎用用途のSPEを持つハイブリッド型アーキテクチャ。動画のエンコードやデコードなどの固定的な処理は専用のコーデックエンジンで、ハンドジェスチャ入力などのより高度で柔軟な処理は汎用のSPEで行うというハイブリッド型アーキテクチャを採用することで、高い性能/消費電力比を実現している。

Hybrid architecture with special-purpose codec engines and general-purpose processors

3 内部構成及び特長

3.1 内部構成

SpursEngine™の内部ブロック図を図4に示す。

SCP (SPE Control Processor) は、SpursEngine™内部のSPE、コーデックエンジン、及びDMAC (Direct Memory Access Controller) に対し統括的な制御を行うコントローラであり、

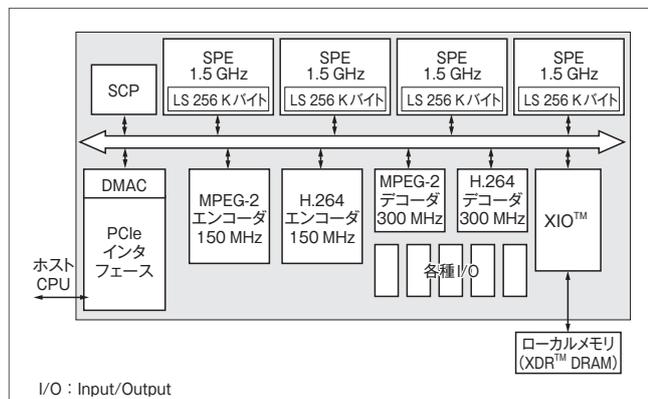


図4. SpursEngine™の内部ブロック図 — MPEG-2及びH.264用コーデックエンジンとSPE 1.5 GHz 4個を、統括プロセッサSCP (動作周波数: 300 MHz)で制御している。SpursEngine™は2種類の内部コアロジック電源の供給又は停止を制御するシステムレベル電力制御機能と、3種類のブロック単位に対してクロックの供給又は停止を制御する内部ブロックレベル電力制御機能を持っている。

Block diagram of SpursEngine™

(注5) XIOは、米国及びその他の国におけるRambus社の商標。
(注6) ITU-T (国際電気通信連合 - 電気通信標準化部門)とISO (国際標準化機構)が2003年に共同で勧告した動画圧縮符号化の国際標準規格。

300 MHzで動作している。

SPEは1.5 GHzで動作する汎用用途のメディアプロセッサであり、Cell/B.E.™のSPEと互換性が保たれている。各SPEには、Local Storage (LS) と呼ばれるワークメモリが256 Kバイトずつ搭載されている。

コーデックエンジンは、MPEG-2 (Moving Picture Experts Group-phase 2) デコーダ、MPEG-2エンコーダ、H.264^(注6) デコーダ、及びH.264エンコーダの合計4種類が搭載されている。デコーダは300 MHz、エンコーダは150 MHzでそれぞれ動作する。

DMACは、メインメモリ (PC側のDRAM) とSpursEngine™のローカルメモリ間のデータ転送を行っている。

SpursEngine™のローカルメモリにはRambus社のXDR™ DRAMを採用しており、最大12.8 Gバイト/sの高バンド幅を確保している。

3.2 電力制御

SpursEngine™には、システムレベルと内部ブロックレベルの大きく2種類の電力制御機構が搭載されている。

システムレベルの電力制御とは、SpursEngine™内部コアロジックに供給されている2種類の外部電源に対する制御を指す。SpursEngine™が動作状態のときは、分離供給されている各電源からの電力供給をすべて行った状態で、TDP (Thermal Design Power) 10 W台で動作している。一方、SpursEngine™に処理をさせない場合は、ホスト側から休止状態指示をSpursEngine™が受け取り、動作状態へ復帰するのに必要な回路を除きすべての回路が休止状態に入る。このように、回路への外部電源の供給を切断することで、1W以下の消費電力を達成している。

内部ブロックレベルの電力制御とは、SpursEngine™動作状態時におけるSPE及びコーデックエンジンに対するクロック制御を指す。SpursEngine™では、個別のSPE、SPE全体、及びエンコーダ (MPEG-2エンコーダ、H.264エンコーダで共通) という3種類の内部ブロック単位に対して、クロックの供給又は停止を切り替える機能 (クロックゲーティング機能) がある。SpursEngine™動作状態時には、使用していない内部ブロックへのクロック供給をそのつど停止させることで、消費電力の削減が可能となっている。

4 LSIインプリメンテーション

SpursEngine™のパッケージを図5に、ダイを図6に示す。テクノロジーは65 nm CMOS (相補型金属酸化膜半導体) プロセスルールを使用している。配線は全8層中7層で銅 (Cu) を使用し、239.1M個のトランジスタを102.9 mm²に集積している。パッケージは624ピンのフリップチップBGA (Ball Grid Array) を使用している。

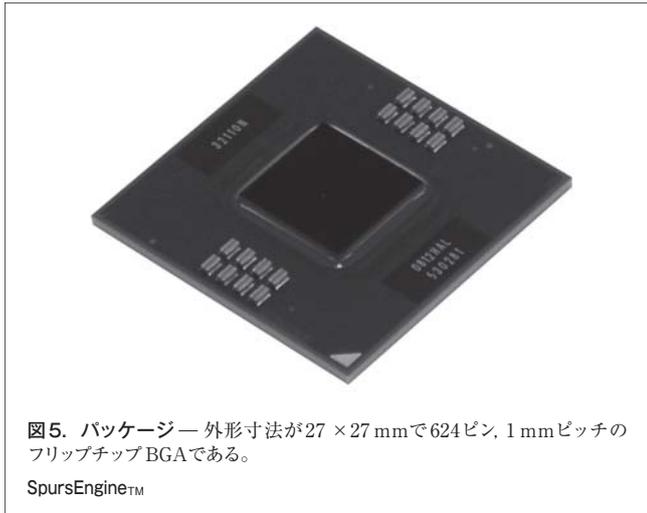


図5. パッケージ—外形寸法が27×27 mmで624ピン、1 mmピッチの
フリップチップBGAである。
SpursEngine™

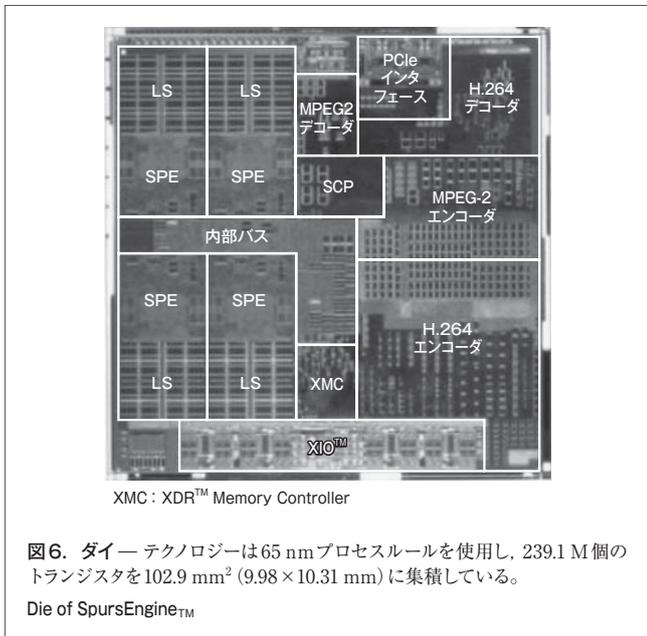


図6. ダイ—テクノロジーは65 nmプロセスルールを使用し、239.1 M個の
トランジスタを102.9 mm² (9.98×10.31 mm)に集積している。
Die of SpursEngine™

5 あとがき

SpursEngine™は、HDコンテンツ氾濫の時代に、ユーザーが効率よく映像データを検索、編集できるように設計されている。動画のデコードやエンコードのような定型的な処理に対しては専用コーデックエンジンを使用し、ハンドジェスチャ入力

のような高度な処理に対しては汎用プロセッサのSPEを使用するという、ハイブリッド型アーキテクチャを採用することで高い性能／消費電力比を実現している。

現在、SpursEngine™は当社製AVノートPCのQosmio™ G50, F50に搭載されており、これからのHDコンテンツ時代を牽引(けんいん)していくことが期待されている。

文 献

- (1) Ueno, K., et al. "A Design Methodology Realizing an Over GHz Synthesizable Streaming Processing Unit". VLSI Symposium 2007. Kyoto, 2007-06, IEEE and JSAP, p.48-49.
- (2) Hayashi, H. "SpursEngine: A High-performance Stream Processor Derived from Cell/B.E. for Media Processing Acceleration". Hot Chips. Stanford University Palo Alto, CA, USA, 2008-08, IEEE.
- (3) 檜田和浩, ほか. メディアストリーミングプロセッサSpursEngine™とその応用例. 東芝レビュー. 63, 7, 2008, p.17-21.



安川 英樹 YASUKAWA Hideki

セミコンダクター社 システムLSI事業部 先端SoC開発センター主務。システムLSIの開発に従事。
System LSI Div.



後藤 治隆 GOTO Harutaka

セミコンダクター社 システムLSI事業部 先端SoC開発センター主幹。システムLSIの開発に従事。
System LSI Div.



上野 喜代治 UENO Kiyoji

セミコンダクター社 システムLSI事業部 先端SoC開発センター主査。システムLSIの開発に従事。
System LSI Div.