

高耐圧大電流 IEGT

High-Voltage and High-Current IEGT Devices

西谷 和展

小倉 常雄

家坂 進

■ NISHITANI Kazunobu

■ OGURA Tsuneo

■ IESAKA Susumu

MW級以上の電力変換装置には、今でもパワーデバイスとしてサイリスタが数多く使われているが、機器のコンパクト化や信頼性の向上のため、より特性の優れたパワーデバイスが求められている。

東芝は、これらの要求に応えるため高耐圧・大電流のIEGT (Injection Enhanced Gate Transistor) デバイスを開発した。定格電圧は最大4,500 Vで定格電流が最大2,600 Aとなっており、電力変換機器に合わせてモジュール形又は圧接形のパッケージを選択できる。ゲート回路の工夫と適切なチップ構造の設計で十分なスイッチング耐量を確保し、トレンチゲート構造でオン電圧を低くしパワーデバイスの損失も低減した。

Thyristors are still used as power devices for MW-class power electronics equipment, however, there is an increasing need for high-performance devices offering compact and higher reliability for these equipment.

To meet these requirements, Toshiba has developed high-voltage and high-current injection enhanced gate transistors (IEGTs) with maximum blocking voltage of 4.5 kV and maximum current of 2.6 kA. Users are able to select from two types of package - a plastic case module type and a press pack type - according to the application. These devices have excellent switching performance due to a good balance of gate connection and optimized chip design. In addition to planar gate type IEGTs, lower saturation voltage is achieved by trench gate to make lower power loss of power devices.

1 まえがき

1993年に東芝が提案した高耐圧IGBT (Insulated Gate Bipolar Transistor) における電子注入促進 (IE: Injection Enhanced) 効果コンセプトは、その後IGBTの性能向上技術として広く使われ、当社はその応用製品として、主に数100 kWからMW級電力変換機器向けのIEGT製品を開発してきた⁽¹⁾。

使用される装置や機器の機能によって選択できるように、片面放熱で内部絶縁されて使い勝手の良いモジュール形IEGTデバイスPMI (Plastic Case Module IEGT) と、両面放熱によってパワー密度向上と高電圧・大電流下での高信頼性を実現した当社独自のマルチチップ圧接形IEGTデバイスPPI (Press Pack IEGT) の2種類のパッケージが商品化されている。

電気鉄道の車両用機器向けにはPMIが主に使用され、より高電圧大電流の鉄鋼圧延やオイルガス輸送用電動機などには水冷などでコンパクトな装置を実現できるPPIが主に使用されている。

一方、微細化されたトレンチゲート構造技術をはじめとするチップ性能の向上とマルチチップの安定した並列動作で、同じサイズのパッケージでの電流量を大きくできた。その結果、従来のGTO (Gate Turn-off Thyristor) をはじめとするバイポーラ形パワーデバイスの応用分野はIEGTに置き換えが進んでいる。

ここでは、高耐圧・大電流化のための技術と、4,500 VのPPI及び3,300 VのPMIの概要と特長について述べる。

2 高耐圧・大電流化への採用技術

PPIとPMIの主な仕様を表1、表2に示す。

2.1 IE効果技術

IGBTとIEGTのトレンチゲート構造の代表例を図1に示す。IEGTは深く幅の広いトレンチゲート領域を設け、オン状態でのNベース (N:N型半導体) 中の蓄積キャリア密度をIGBT構造に比べてエミッタ側で増大させることで導通抵抗を下げ、オン電圧を低減している^{(1), (2)} (図2)。

表1. PPIの主な仕様

Main specifications of press pack IEGT (PPI)

項目	仕様	
定格電圧 (V)	4,500	
定格電流 (A)	2,600	2,100
オン電圧*1 (定格電流, Tj: 125°C) (V)	2.5	3.0
スイッチング損失*1 (定格電流, Tj: 125°C, Vcc: 2.7 kV)	ターンオン (J)	19
	ターンオフ (J)	15
内蔵IEGTチップのゲート構造	トレンチ	プレーナ
熱抵抗*2 (接合部と電極の両表面間) (K/kW)	5.25	
パッケージ	形状	圧接形
	直径*3 (mm)	162
	厚さ (mm)	26

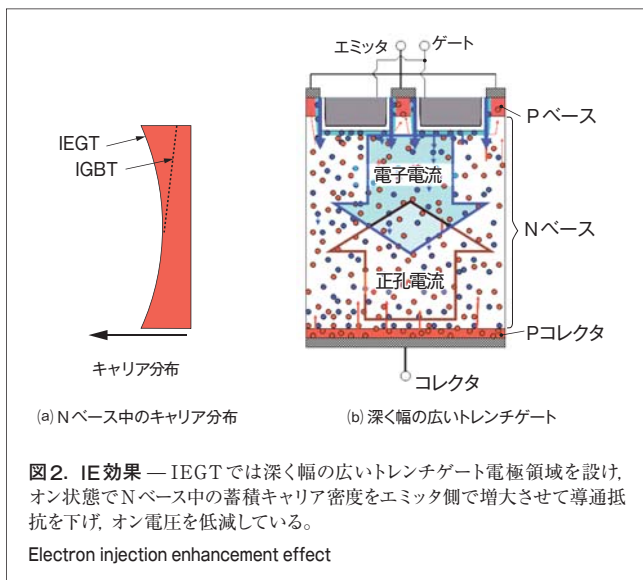
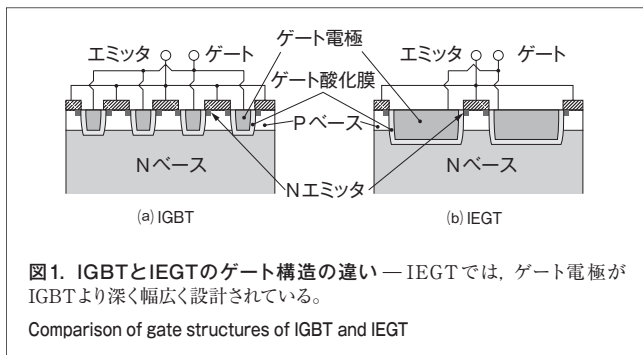
*1: 代表値 *2: 最大値 *3: 電極の直径は125 mm
Tj: 接合部温度 Vcc: 直流通電圧

表2. PMIの主な仕様

Main specifications of plastic case module IEGT (PMI)

項目		仕様	
定格電圧	(V)	3,300	4,500
定格電流	(A)	1,200	900
オン電圧*1 (定格電流, Tj: 125°C)	(V)	3.0	3.5
スイッチング損失*1 (定格電流, Tj: 125°C)	ターンオン (J)	1.7*3	5.0*4
	ターンオフ (J)	1.7*3	3.7*4
内蔵IEGTチップのゲート構造		トレンチ	プレーナ
熱抵抗*2 (IEGTパート接合部と底部金属の表面間)		7.6	8.0
パッケージ	形状	モジュール形	
	外形寸法 (mm)	140(幅)x190(奥行き)x38(高さ)	

*1: 代表値 *2: 最大値 *3: Vccが1.8kVのとき *4: Vccが2.8kVのとき



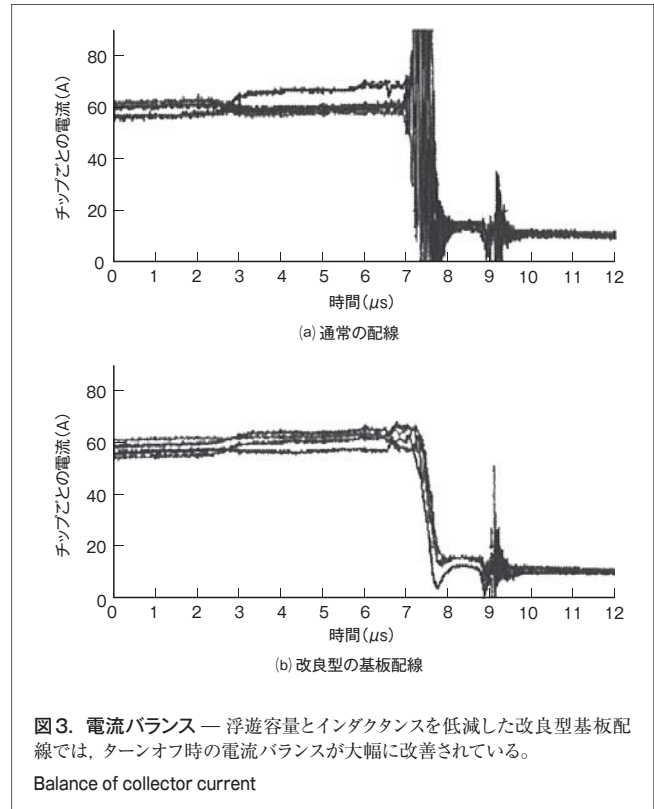
2.2 IEGTチップの並列動作技術

PPIでは最大42個、PMIでは24個のIEGTチップを並列接続し1パッケージに内蔵している。並列接続のスイッチング動作では、ゲート電圧の不均一などでチップ間の電流のバランスが崩れ、振動が生じることがある。

当社のIEGTでは、このようなアンバランスの要因となるゲート容量の低減と適切なゲート配線でこれを回避し、均一動作を

実現している。電流バランス検証の実験結果を図3に示す。

4個のIEGTチップを並列にした圧接形試験ジグを用いた通常のゲート配線の場合と、浮遊容量及びインダクタンスを低減した改良型の基板配線の場合で、ターンオフ時の電流波形を比較している。基板配線の改良で電流バランスが大幅に改善されている⁽³⁾。



2.3 IEGTのスイッチング性能向上技術

3,300 Vや4,500 Vの高耐圧・大電流IEGTでは、通常使用されるインダクタンス負荷時のターンオフにおいて、チップに印加されるコレクタ電圧はコレクタ電流の減少以前に電源電圧まで上昇し、その後電流の減少とともに寄生インダクタンスで電源電圧を超えて上昇する。このとき、電圧は最大時には静耐圧程度の大きな電圧となるため、チップ破壊が起こりやすくなる。また、電圧の急上昇で振動が発生しやすくなる。

ここでは、十分な破壊耐量を確保し振動発生を抑制するために適用したチップ設計技術について述べる。

2.3.1 高破壊耐量化のためのチップ設計技術

前述のようなターンオフ時の安全動作領域は、RBSOA (Reverse Bias Safe Operating Area) として電圧-電流領域で定義されている。1,200 V耐圧程度のIGBTでは、一般に定格電流の2倍程度の電流と静耐圧から成る正方形の領域が安全動作領域となっており、十分な耐量が確保されている。

しかし、高耐圧大電流IEGTでは、定格電流の2倍程度の

電流ターンオフ時において、エネルギーが増加した走行キャリアが格子原子の電子に衝突することで、電子と正孔の対が発生する。その結果、キャリアが増倍するアバランシェ現象が発生し破壊の要因となるため、より精密なチップ設計を行った⁽⁴⁾。

まず、ターンオフ時の破壊とアバランシェ現象の相関を、評価用サンプルの測定結果とシミュレーション結果を比較することで検証した。故意に定格を大きく超える電流を流し、アバランシェ現象が発生しやすくなったときのターンオフ時のコレクタ電流とコレクタ電圧の軌跡を図4に示す。なお、図中のアバランシェ臨界曲線は、アバランシェ現象発生時の電圧-電流の境界を示す曲線であり、右上の領域がアバランシェ現象が発生する可能性がある領域である⁽⁵⁾。

測定結果とシミュレーション結果の比較から以下のことがわかった。

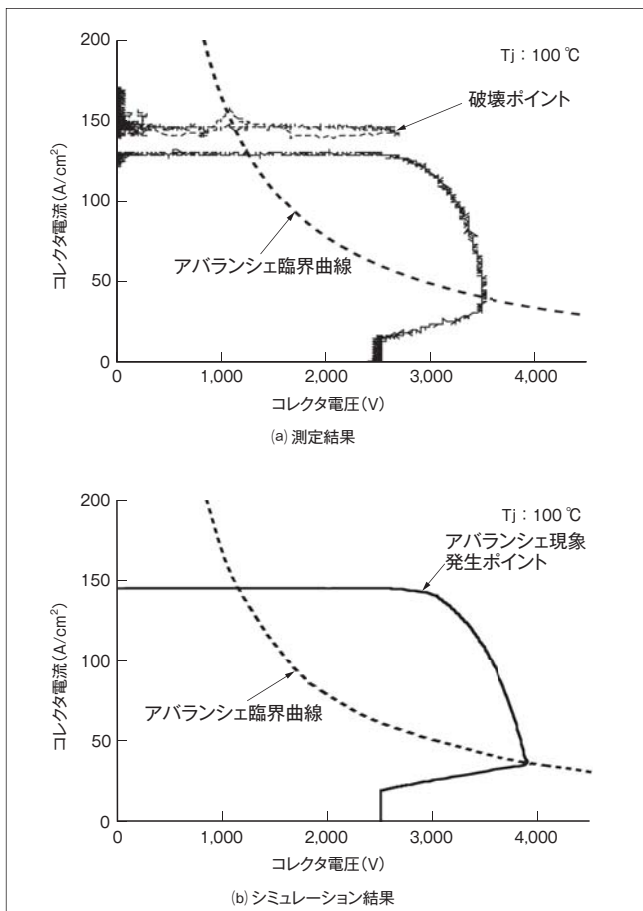


図4. 4,500V-IEGT ターンオフ時のコレクタ電流・コレクタ電圧の軌跡 — アバランシェの発生ポイントは、臨界曲線より右上で、破壊はアバランシェ現象がトリガになっている。

Locus curves of collector current density and collector voltage at turn-off transient of 4,500 V IEGT

(注1) PNP構造素子がオン状態のまま制御不能となり、電流が流れ続けてしまうことで、外部から電流を遮断するまで制御可能な状態に戻らないこと。

(1) アバランシェ現象の発生ポイントは、臨界曲線より右上でかつゲート電流がゼロになる時点である。

(2) 破壊は、アバランシェ現象発生ポイントで発生しており、アバランシェ現象がトリガになっている。

これらの考察を基に、アバランシェ現象が発生してもチップが破壊しないように、チップの構造設計を行い、アバランシェ電流がエミッタ電極に流れ込むときに、Nエミッタ層をラッチアップ^(注1)させないような構造とした。最大遮断電流のPベース (P:P型半導体) シート抵抗依存性を図5に示す。

ここで、実線は、式 (1)で表される最大遮断電流 I_{TGQM} である。この図から、Pベースシート抵抗 ρ_{pb} とNエミッタ層幅 Wn を最適化して、应用上、十分な破壊耐量を持つ高耐圧大電流 IEGT を設計できる。

$$I_{TGQM} = \frac{8V_{in}}{\rho_{pb}} SP \frac{1}{Wn^2} \quad (1)$$

V_{in} : ビルトイン電圧

S, P: IEGT の表面構造パラメータ

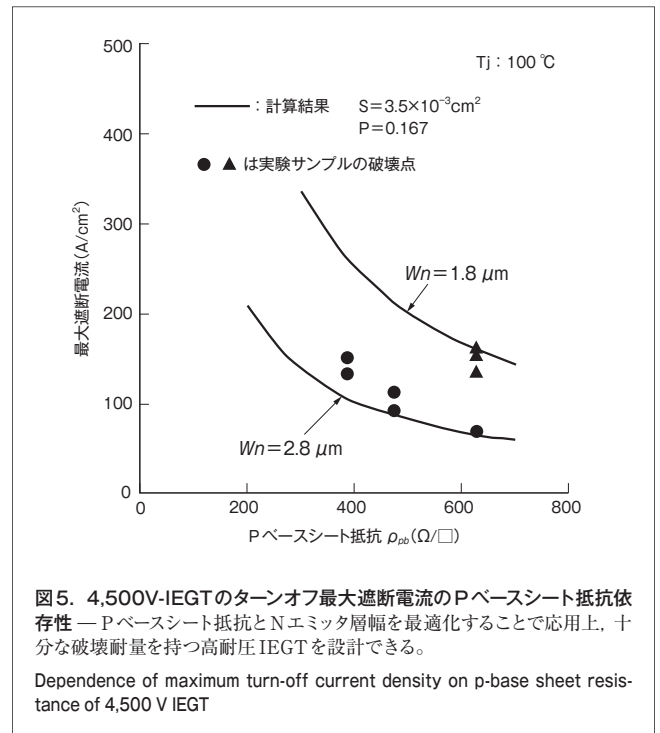
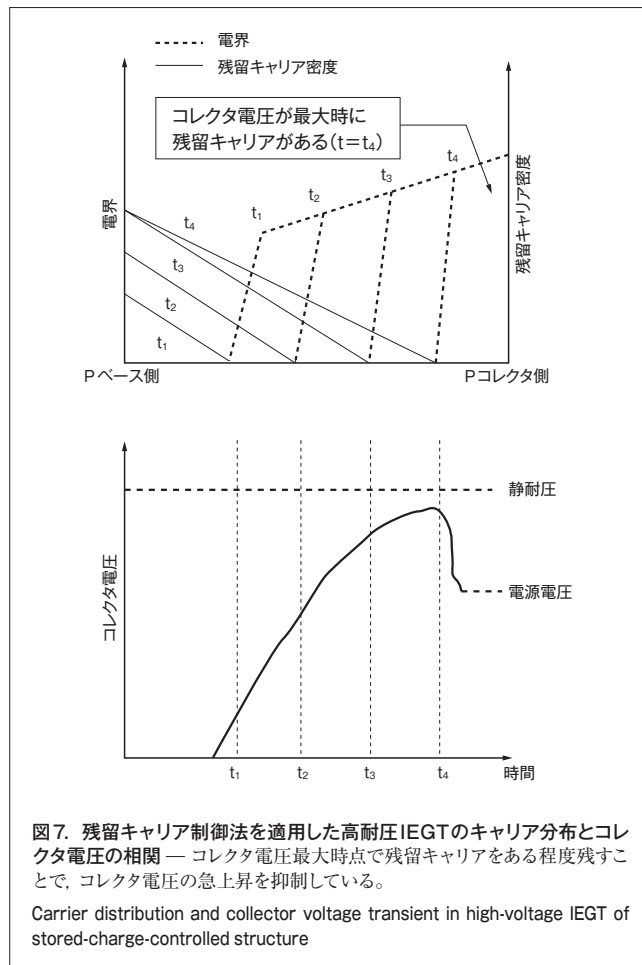
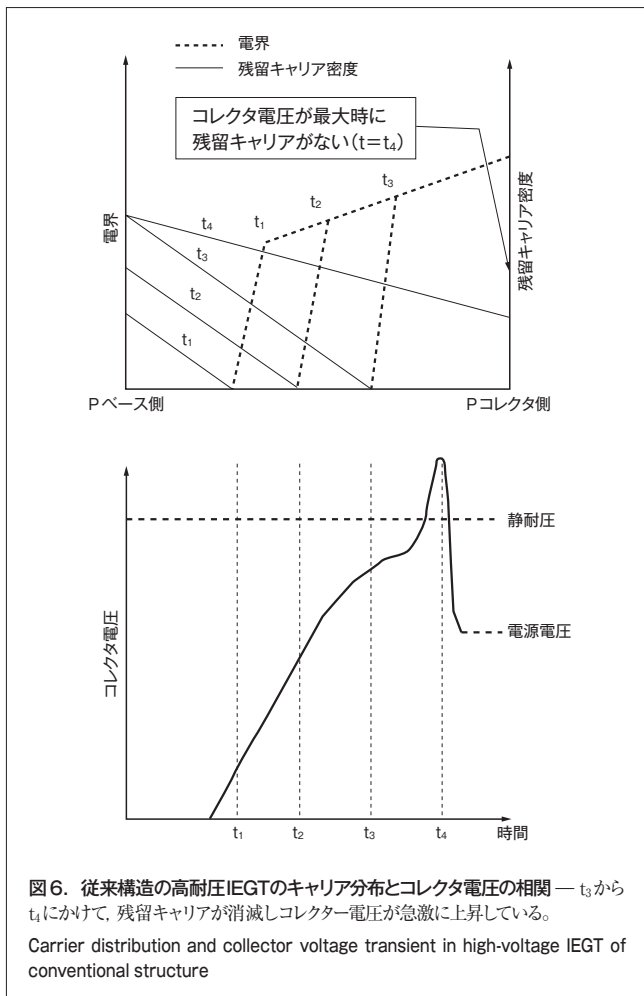


図5. 4,500V-IEGTのターンオフ最大遮断電流のPベースシート抵抗依存性 — Pベースシート抵抗とNエミッタ層幅を最適化することで应用上、十分な破壊耐量を持つ高耐圧IEGTを設計できる。

Dependence of maximum turn-off current density on p-base sheet resistance of 4,500 V IEGT

2.3.2 振動抑制のためのチップ設計技術 IGBTではターンオフのとき、コレクタ電流が減少するとコレクタ電圧が急上昇し、これがトリガになり振動が発生する現象が知られている。更に、コレクタ電圧が静耐圧以上になり、チップ破壊のトリガにもなる。

高耐圧・大電流IEGTのチップ設計においてこの現象を解析し、チップ内部のキャリア分布を制御することでコレクタ電



圧の急上昇を抑え電圧振動を抑制した。ここでは、その設計技術について述べる^{(5), (6)}。

大電流ターンオフスイッチング時のチップ内部状態をシミュレータで計算し、キャリア分布とコレクタ電圧の相関を分析した。従来構造の高耐圧IEGTのキャリア分布とコレクタ電圧の相関を、4点の時間($t_1 \sim t_4$)ごとに図6に示す。電圧の上昇に伴い、電界分布がPベース側からPコレクタ側に広がる、すなわち空乏層が広がることがわかる。残留キャリアは $t_3 \sim t_4$ の間に消滅し、その時点で電界が急激に広がり、その結果電圧が急上昇していることがわかった。そこで、残留キャリア量を制御してターンオフさせる残留キャリア制御過電圧抑制法と呼ぶ新しい設計技術を適用した。その残留キャリア制御過電圧抑制法を適用した高耐圧IEGTのキャリア分布とコレクタ電圧の相関を、図6と同様に4点の時間ごとに図7に示す。

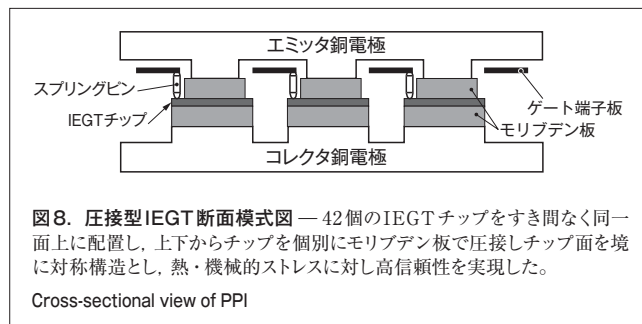
コレクタ電圧が最大になる時点(t_4)でキャリアがPコレクタ側に残留しており、この効果で電圧の急上昇を抑制している、すなわちこの時点でアバランシェ現象が発生しても、空乏層の広がりを残留キャリアが抑制し、その結果電圧上昇を抑制できていることがわかる。更に急激な電圧変化を抑えたことで、その後の電圧振動も抑制できた。

3 4,500V PPI

3.1 PPIの構造

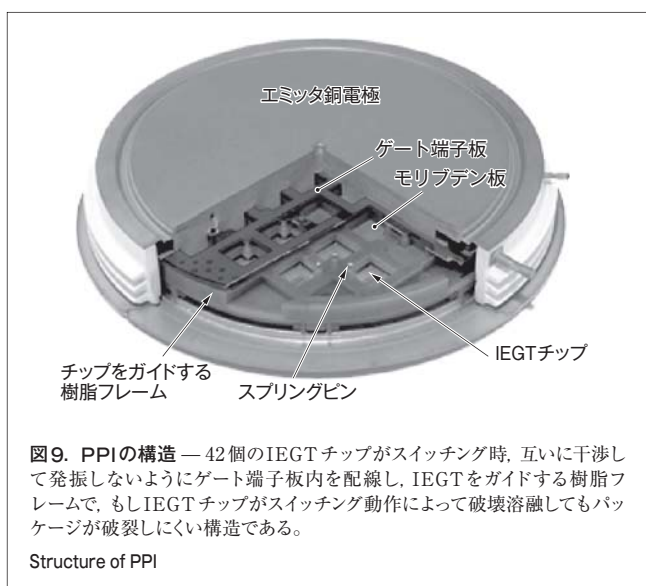
定格電圧4,500 V - 定格電流2,600 AのPPIには15 mm角のIEGTチップが42個内蔵されている。

IEGTチップをすき間なく同一面上に配置して上下からチップを個別にモリブデン板で圧接し、チップ面を境に対称構造として、熱・機械的のストレスに対し高信頼性を実現した。また42個の角状突起を持った銅電極がIEGTチップ上面に接触している(図8)。



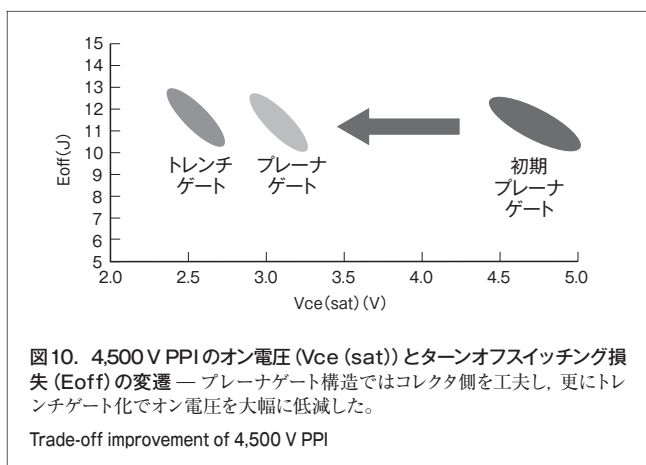
チップのコレクタとエミッタの電極をモリブデン板に、更には銅電極に外部からの機械的圧接力で接触させ、電気的導通と放熱を行う。これで多数のチップを均一に圧接し、更に不活性ガスを気密封止し内部の電極表面の酸化による劣化を防ぎ、熱的に高い信頼性を実現している。チップのゲートにはゲート端子板とゲート電極端子（スプリングピン）が接触し信号電流を導通させIEGTをオン、オフする。なお、ゲート端子板内の配線は、42個のIEGTチップがスイッチング時に互いに干渉して発振することを防ぐとともに均一動作するように工夫している。

また、IEGTチップをガイドする樹脂フレームで、もしチップがスイッチング動作によって破壊溶解してもパッケージが破裂しにくい構造となっている（図9）。



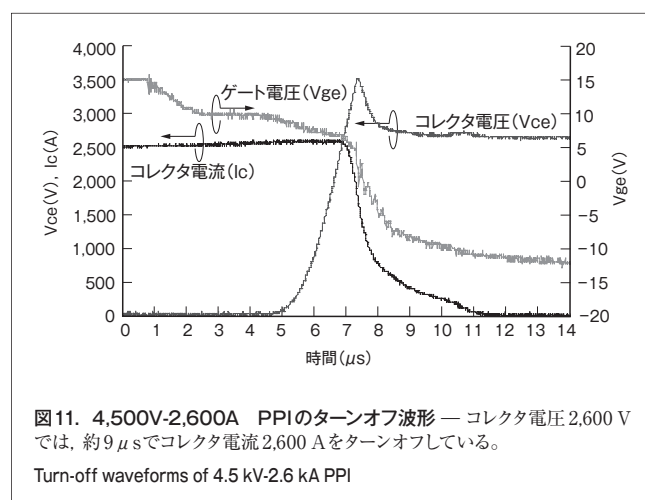
3.2 PPIの性能向上

定格電圧4,500V-定格電流2,600AのPPIはトレンチゲート構造を採用し、コレクタ電流が2,600Aで接合部温度



(Tj) が125℃のとき4,500V級としてはトップクラスの約2.5Vという低オン電圧を実現している。オン電圧とターンオフスイッチング損失の特性改善の変遷を図10に示す。1997年に製品化された初期プレーナゲート形では約4.7V、2003年はコレクタ側を工夫することにより約3.0Vと大幅にオン電圧が低減されている。更に、トレンチゲート化することでオン電圧を低減し性能を向上させた。

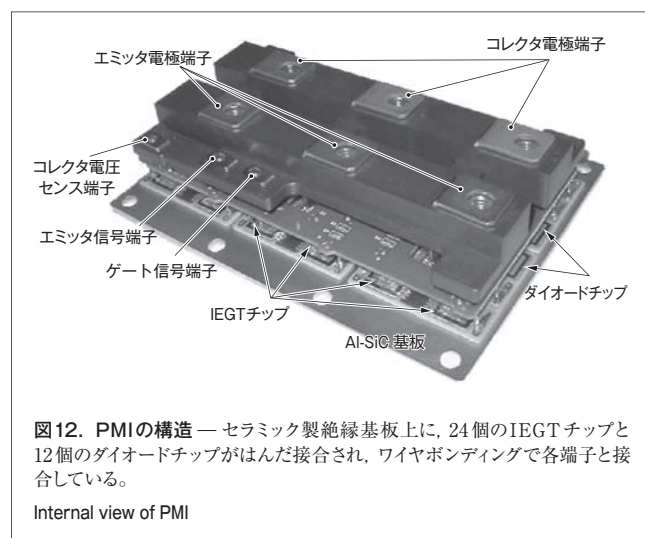
定格電圧4,500V-定格電流2,600AのPPIの定格ターンオフ波形例を図11に示す。コレクタ電圧2,600Vでは約9μsでコレクタ電流2,600Aをターンオフしている。



4 3,300V PMI

4.1 PMIの構造

定格電圧3,300V-定格電流1,200AのPMIには13.5mm角のIEGTチップが24個、13.5mm角のダイオードチップが12個内蔵されている。



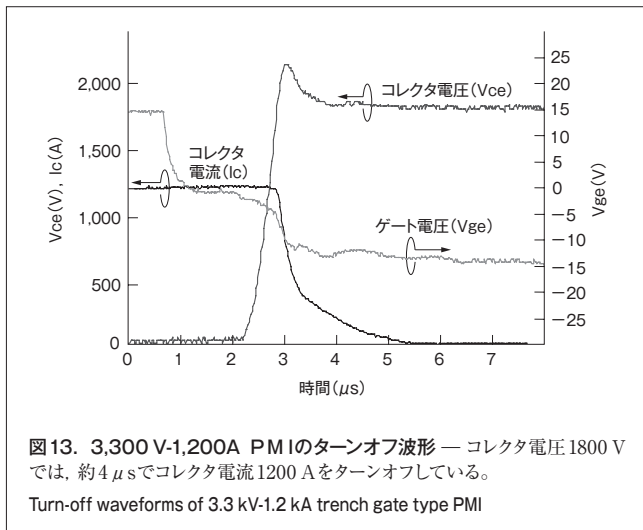
セラミック製絶縁基板上に、24個のIEGTチップと12個のダイオードチップがはんだ接合され、ワイヤボンディングで各端子と接合している(図12)。

なお、熱的信頼性を確保するためパッケージ底面の金属板には低熱線膨張係数のアルミニウムとシリコンカーバイドの複合材 (Al-SiC) を用いている。

4.2 PMIの性能向上

定格電圧4,500 V PPIと同様に、3,300 V PMIも初期のプレーナゲート形ではコレクタ電流が1,200 AでTjが125℃のとき約3.6 Vというオン電圧が、現在のトレンチゲート化で約3.0 Vまで低減され、応用装置の変換効率向上とコンパクト化に貢献している。

定格電圧3,300 V-定格電流1,200 AのPMIの定格ターンオフ波形例を図13に示す。コレクタ電圧1,800 Vにおいて約4 μsでコレクタ電流1,200 Aをターンオフしている。



5 あとがき

MW級以上の電力変換装置には今でもサイリスタが数多く使われているが、可変速モータインバータ及び高機能電力変換装置にはIEGTなどIGBT系自己消弧型素子が急速に普及した。

PPIは鉄鋼圧延、オイルパイプライン、及び風力発電などの

駆動や電力制御に応用され、更に電力送配電分野にもエネルギーと地球環境の重要性とともにその活躍の場が拡大されていく。

PMIは、主に鉄道車両駆動用のコンバータとインバータに適用され、新幹線の電車を代表に海外の電気機関車にまで市場を拡大するに至った。

今後は、IEGT素子の損失低減及び、接合動作温度を125℃から最大150℃へ高め、応用回路装置のよりいっそうのコンパクト化と高パワー密度化の実現に向けた開発を進めていく。

文献

- (1) Kitagawa, M., et al. "A 4500V Injection enhanced insulated gate bipolar transistor (IEGT) operating in a mode similar to a thyristor". IEDM Tech. Dig. Washington, D.C., 1993-12, IEEE, p.649 - 682.
- (2) 家坂 進, ほか. "パワーエレクトロニクス用大容量IEGT". 東芝レビュー, 55, 7, 2000, p.7 - 10.
- (3) Omura, I., et al. "IEGT Design Concept Against Operation Instability and its Impact to Application". Proc. 12th ISPSD, Toulouse, 2000-05, IEEE, p.25 - 28.
- (4) Ogura, T., et al. "4.5-kV Injection-Enhanced Gate Transistors (IEGTs) With High Turn-Off Ruggedness". IEEE-ED, 51, 4, 2004, p.636 - 641.
- (5) Tsukuda, M., et al. "Critical IGBT Design Regarding EMI and Switching Losses". Proc. 20th ISPSD, 2008, p.185 - 188.
- (6) Ogura, T., et al. "A New Stored-Charge-Controlled Over-Voltage Protection Concept for Wide RBSOA in High-Voltage Trench-IEGTs". Proc. 18th ISPSD, Naples, Italy, 2006-06, IEEE, p.25 - 28.



西谷 和展 NISHITANI Kazunobu

セミコンダクター社 ディスクリート半導体事業部 ハイパワーデバイス技術部参事。パワーデバイスの開発業務に従事。Discrete Semiconductor Div.



小倉 常雄 OGURA Tsuneo, D.Eng.

セミコンダクター社 ディスクリート半導体事業部 先端ディスクリート素子開発部参事, 工博。パワーデバイスの研究開発業務に従事。電気学会, 米国電気学会会員。Discrete Semiconductor Div.



家坂 進 IESAKA Susumu

セミコンダクター社 ディスクリート半導体事業部 ハイパワーデバイス技術部参事。パワーデバイスの設計・開発業務に従事。Discrete Semiconductor Div.